

+

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА

3636/2-80

4/8-80  
13-80-279

С.Г.Басиладзе, Нгуен Тхи Ша, А.Н.Парфенов

СХЕМЫ СОВПАДЕНИЙ  
НАНОСЕКУНДНОГО ДИАПАЗОНА

Направлено в ПТЭ

1980

В настоящей работе описываются две схемы совпадений наносекундного диапазона. Первая имеет четыре входа совпадений и один - антисовпадений. Ее отличительная особенность, по сравнению с предшествующими разработками /см., например, <sup>1-6</sup>/, состоит в наличии каналов цифрового управления включением-выключением входов, а также канала цифровой регулировки длительности выходного импульса. Вторая - 16-входовая мажоритарная схема совпадений с цифровым отбором, в отличие от аналоговых <sup>7,8</sup>. Она отличается от других цифровых схем <sup>9-11</sup> тем, что не требует формирования длительности входных импульсов; ее разрешающее время может быть как больше, так и меньше  $t_{\text{ИХ}}$ . Это существенно упрощает ее подключение к наиболее часто используемому детектору множественных частиц - пропорциональным камерам, имеющим большой разброс как длительности, так и задержки выходных сигналов с проволоочек.

#### УПРАВЛЯЕМАЯ СХЕМА СОВПАДЕНИЙ

Принципиальная схема ее показана на рис. 1. На транзисторах Т1-Т5 собраны переходники уровней Niш - ЭСЛ. Совпадения выделяются по методу перекрытия импульсов узлом "Проводное И", образованным путем соединения выходов схем К138ЛП1. Дифферен-

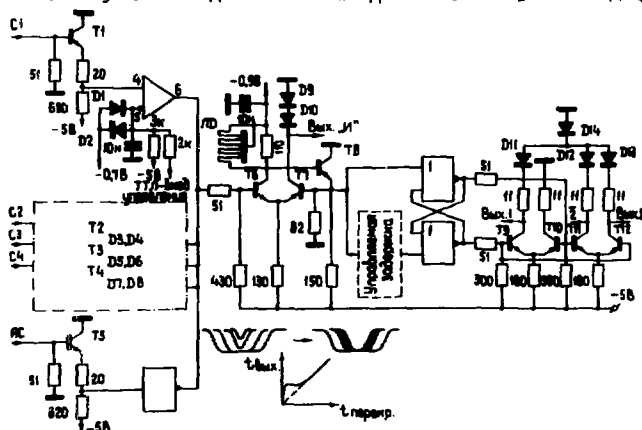


Рис. 1. Принципиальная схема управляемой схемы совпадений.

циальные приемники использованы здесь в трехуровневом включении - как элементы коммутации, способные давать при "отключении" постоянный сигнал совпадений по своему каналу.

Центральным узлом схемы является дискриминатор выделения импульсов наложений, имеющих непрерывный спектр по длительности от 0 до  $t_{вх}$  /см. рис.1/. Если попытаться использовать в качестве дискриминатора логический элемент, или триггер Шмитта на интегральных схемах ЭСЛ, то в силу одинаковой инерционности дискриминатора и элементов "проводного И" спектр импульсов на его выходе мало будет отличаться от спектра импульсов на входе. Достаточно резкого обрезания импульсов неполной амплитуды на выходе элемента "И" можно добиться, лишь включив последовательно довольно большое количество логических элементов. Но такое решение неприемлемо вследствие значительного увеличения задержки схемы совпадений. Поэтому дискриминатором должен быть элемент, инерционность которого значительно меньше, чем у интегральных схем ЭСЛ. В качестве дискриминатора может быть использован туннельный диод <sup>1,3,6/</sup>, однако он имеет высокую скорость переключения лишь при токовом запуске. При запуске же с выходов интегральных схем ЭСЛ /эмиттерные повторители/ скорость его переключения существенно падает, снижается перепад уровней, кроме того, такой дискриминатор требует подстройки, в силу большой чувствительности к разбросу параметров. В качестве дискриминатора выделения совпадений в описываемой схеме применен триггер Шмитта на сверхвысокочастотных транзисторах /3 ГГц/ с током переключения в паре 20 мА, благодаря чему он сохраняет крутизну дискриминационной характеристики при длительности входных импульсов вплоть до 1 нс. Схема на транзисторах Т6÷Т8 трехуровневая. После переключения, благодаря действию дифференцирующей печатной линии ЛД в интервале до 4 нс, порог отпускания триггера ниже, чем нулевой уровень с выхода "проводного И". В силу этого импульсы с малым перекрытием стандартизируются по длительности /см. график для сигнала "И" на рис.1/. После возвращения отраженного импульса в ЛД порог отпускания триггера повышается до -1,2 В и сигнал на выходе "И" прекращается, либо продолжается до окончания импульса перекрытия. С эмиттера Т8 снимается дифференцированный импульс совпадений, запускающий старт-стопный триггер, формирующий длительность выходного импульса.

Длительность выходного сформированного импульса регулируется с помощью управляемой задержки, содержащей звенья по 4, 8, 16, 32 нс. Схемно задержка идентична использованной в формирователе <sup>12/</sup>. Она выполнена на дискретных сверхвысокочастотных транзисторах, что позволило снизить ее собственную /нулевую/ задержку до 0,7 нс на ячейку. Схема одной ячейки задержки показана на рис.2.

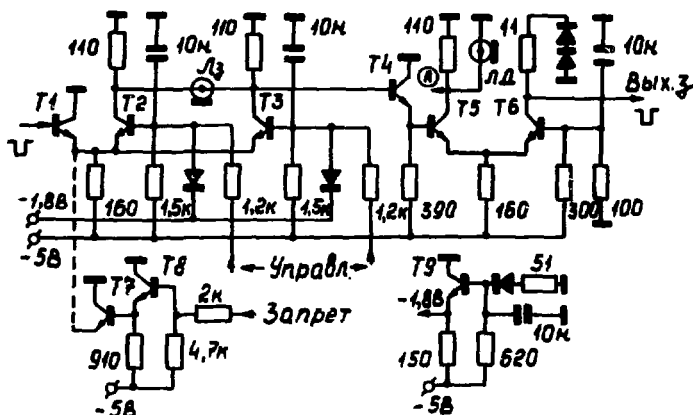


Рис. 2. Принципиальная схема ячейки задержки.

В блоке КАМАК единичной ширины размещены две управляемые схемы совпадений, имеющие общий 16-разрядный регистр управления и дешифратор функций КАМАК.

### Основные параметры

Входные сигналы:

а/ уровни

- NIM,

б/ длительность

- любая, свыше 2 нс.

Требуемое минимальное время перекрытия входных сигналов<sup>13/</sup>

- 0,5 нс.

Дрейф времени перекрытия при изменении напряжения питания

- менее 50 пс/В.

Собственное разрешающее время

- менее 10 пс.

Задержка:

а/ сигнал "И"

- 7 нс,

б/ сформированного импульса

- 10 нс.

Фронты выходных сигналов

- 2,5 нс.

Длительность сформированного импульса

- 6 нс ÷ 66 нс, управляется с шагом 4 нс.

### Сигналы и функции КАМАК

Код длительности выходных импульсов 1-й схемы

- шины W1 ÷ W4 - запись,  
R1 ÷ R4 - чтение.

Включение входов 1-й схемы совпадений	-	$W5 \div W8$ - запись, $R5 \div R8$ - чтение.
Код длительности выходных импульсов 2-й схемы	-	$W9 \div W12$ - запись, $R9 \div R12$ - чтение.
Включение входов 2-й схемы совпадений	-	$W13 \div W16$ - запись, $R13 \div R16$ - чтение.

Команды:

NA(0)F(17) - запись управляющего слова в регистр,

NA(0)F(1) - чтение управляющего слова.

Z - сброс регистра управления.

Потребляемые токи от источников

питания:

- +6 В, -0,9 А,

-6 В, -0,9 А.

При включении питания во все разряды управляющего регистра заносятся "единицы". При включении всех входов на выходе "И" появляется единичный логический потенциал. Схема не имеет органов ручного управления, но может управляться вручную с помощью специализированного блока, обеспечивающего централизованную установку и индикацию состояний управляющих регистров для всех модулей наносекундной логики в крейте.

#### МАЖОРИТАРНАЯ СХЕМА СОВПАДЕНИЙ

Разрешающее время схем совпадений, работающих по методу перекрытия, определяется, как известно, длительностью входных импульсов. Необходимость задавать длительность импульсов в каждом канале совпадений требует аппаратных затрат, кроме того, имеются некоторые неудобства при регулировании разрешающего времени /например, при изменении напряжения питания детекторов/.

Если параллельно с элементом "И" в схему совпадений включить элемент "ИЛИ", объединяющий все входные импульсы, и подать сигналы с его выхода на вход запрета элемента "И", то, изменяя задержку одного этого сигнала, можно регулировать разрешающее время схемы совпадений. По такому принципу, как известно, работают дифференциальные схемы совпадений<sup>14,15</sup>. Недостаток такого подхода состоит в том, что регулировать разрешающее время можно только в сторону уменьшения от  $t_{\text{вх}}$ . В описываемой схеме совпадений /рис.3/ этот недостаток устранен путем запоминания входных сигналов в каждом канале на триггерах.

Входные импульсы, пройдя диодный переходник уровней, формируются по амплитуде дифференцированными приемниками К500ЛП115. Такое формирование необходимо, если импульсы подаются по кабелям большой длины и испытывают значительное затухание. Порог регистрации регулируется путем изменения потенциала на неин-

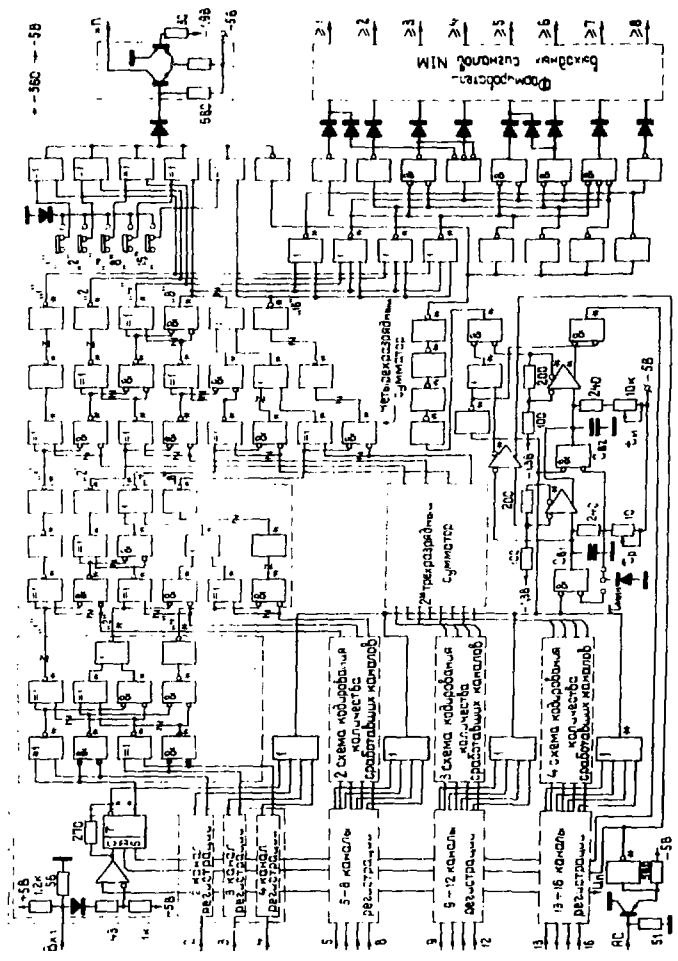


Рис. 3. Принципиальная схема мажоритарной схемы совпадений.

вертирующих входах дифференциальных приемников и может быть доведен до  $\sim 100$  мВ. В исходном состоянии на Д-входах триггеров имеется низкий  $-1,7$  В/, а на выходах Q - высокий  $-0,8$  В/ потенциал.

Сброс триггеров /K500TM131/ производится передним фронтом входных импульсов. Высокий потенциал, появляющийся на  $\bar{Q}$ -выходе, удерживает триггер через резистор  $270$  Ом, в данном состоянии до поступления импульса на вход S /нагрузочные резисторы на выходах дифференциальных приемников не установлены /16/. Логическое сложение зарегистрированных сигналов осуществляется четырьмя четырехходовыми элементами "ИЛИ", запускающими одновибратор задержки. По окончании его времени выдержки, определяющего разрешающее время  $\tau_p$ , блокируется запись входных сигналов в триггеры установкой на их Д-входах высокого потенциала. Последовательно с одновибратором задержки включен второй одновибратор, задающий длительность выходных сигналов  $-t_H$ . Срезом импульса этого одновибратора триггеры переводятся в начальное состояние. Для достижения минимально возможного разрешающего времени  $\tau_{мин}$   $\sim 8$  нс, сигнал "ИЛИ" может подаваться, минуя одновибратор задержки.

Для реализации собственно пороговой логики 16 входных каналов совпадений разбиты на 4 группы. Определение кратности совпадений производится методом цифрового суммирования двоичных кодов количеств сработавших каналов в группах /9,11/. Перевод линейного позиционного кода в группе в двоичный код количества сработавших каналов производится узлами кодирования /см. рис. 3/, собранными на схемах "исключающее ИЛИ" и "И". Далее имеются два трехразрядных сумматора для сложения кодов 1-й и 2-й, а также 3-й и 4-й групп. За ними расположен 4-разрядный сумматор, на выходе которого образуется 5-разрядный двоичный код общего количества сработавших каналов. В этих узлах для упрощения схемы /используется серия K500/ принята отрицательная логика.

Задержки по разным путям на каждой стадии выравнены, во избежание появления ложных коротких импульсов, вызванных эффектом разброса задержек элементов схемы. Это достигнуто включением последовательно дополнительных логических элементов, дающих задержку  $2^{\pm 3}$  нс; либо элементов задержки на  $0,6^{\pm 0,8}$  нс, представляющих собой резисторы  $100$  Ом, включенные последовательно со входами интегральных схем /помечены на рис. 3 символами Z /.

Выходы сумматора подключены к двум компараторам. Первый отбирает совпадения с кратностью, равной набранной на переключателе, расположенном на передней панели. Второй представляет собой систему простейших компараторов, дающих выходной сигнал при превышении кратности совпадений  $1, 2, 3, \dots, 8$ . Подобная организация выходов позволяет каскадировать мажоритарные схемы

совпадений<sup>/10/</sup>. Поскольку окончательная кратность совпадений может установиться лишь к концу интервала  $t_p$ , а до этого момента она точно не определена, что может повлечь за собой ложные импульсы совпадений, выходные сигналы схемы стробируются импульсом  $t_{II}$ , задержанным на время суммирования.

### Краткие характеристики

Входные сигналы:	
а/ уровни	- NIM,
б/ длительность	- любая, свыше 2 нс.
Разрешающее время	- регулируется от 13 до 180 нс при $C_{B1} = 40$ пФ.
Минимальное разрешающее время	- 8 нс.
Задержка выходного импульса по входам совпадений	- 35 нс.
Длительность выходного импульса	- регулируется от 5 до 150 нс, при $C_{B2} = 40$ пФ.
Мертвое время по входам совпадений	- равно длительности выходных импульсов.
Токи, потребляемые от источников питания	- +6 В, -0,1 А, -6 В, -2,2 А.
Схема размещена в блоке КАМАК двойной ширины.	

В заключение авторы считают своим долгом выразить благодарность С.Г.Бороздину, А.А.Виноградовой, В.А.Григорьевой, В.И.Какуриной, В.И.Максименковой за помощь в работе и оформление технической документации.

### ЛИТЕРАТУРА

1. Кузнецов В.М., Петлин Г.Н., Томчаков В.К. ПТЭ, 1976, №5, с.101.
2. Деменков В.Г., Нестеренко В.С. ПТЭ, 1976, №2, с.70.
3. Борейков В.Ф., Гребенюк В.М., Зинов В.Г. ПТЭ, 1976, №1, с.84.
4. Басиладзе С.Г. и др. ОИЯИ, 13-10017, Дубна, 1976.
5. Бушнин Ю.Б. и др. Препринт ИФВЭ, СЭФ 74-124, Серпухов, 1974.
6. Борейко В.Ф. и др. ОИЯИ, P13-12334, Дубна, 1979.
7. Басиладзе С.Г. и др. ОИЯИ, 13-6383, Дубна, 1972.
8. Борейко В.Ф., Гребенюк В.М., Зинов В.Г. ОИЯИ, P13-10639, Дубна, 1977.
9. Bertolucci V., Horelick D., Rosche F. IEEE Trans. on Nucl. Sci., 1972, vol.NS-19, No.1, pp.526-533.
10. Басиладзе С.Г., Маньяков П.К., Парфенов А.Н. ОИЯИ, 13-7056, Дубна, 1973.



11. Басиладзе С.Г., Гвоздев В.Я. ОИЯИ, 13-7603, Дубна, 1973.
12. Басиладзе С.Г., Нгуен Тхи Ша. ОИЯИ, 13-12833, Дубна, 1979.
13. Басиладзе С.Г. ПТЭ, 1977, №5, с.83.
14. *Bay Z. Phys.Rev.*, 1951, vol.83, No.2, p.242.
15. Винклер Е., Гребенюк В.М., Зинов В.Г. ОИЯИ, Р13-10899, Дубна, 1977.
16. Басиладзе С.Г., Парфенов А.Н. ОИЯИ, 13-11449, Дубна, 1978.

Рукопись поступила в издательский отдел  
10 апреля 1980 года.