

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



СЗ44.39

Г-79

2408/2-74

13 - 7898

В.М.Гребенюк, В.П.Николаев, В.Т.Сидоров

БЫСТРОДЕЙСТВУЮЩИЕ ТРИГГЕРЫ
СО СЧЕТНЫМ ВХОДОМ
НА ИНТЕГРАЛЬНЫХ СХЕМАХ

1974

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

13 - 7898

В.М.Гребенюк, В.П.Николаев, В.Т.Сидоров

**БЫСТРОДЕЙСТВУЮЩИЕ ТРИГГЕРЫ
СО СЧЕТНЫМ ВХОДОМ
НА ИНТЕГРАЛЬНЫХ СХЕМАХ**

Направлено в ПТЭ

Объединенный институт
ядерных исследований
БИБЛИОТЕКА

В настоящее время наибольшим быстродействием обладают интегральные схемы на переключателях тока типа ЭСЛ. Широкое применение в ядерной электронике нашли интегральные схемы серий К 137 и К 138^{1/1}. Однако в составе этих серий отсутствуют триггеры со счетным входом, которые необходимы, например, для построения счетчиков. Быстродействие известных триггерных структур со счетным входом, собранных на элементах И-НЕ/ИЛИ-НЕ^{2-6/}, не превышает 50 МГц для серии К 137 и 80 МГц - для серии К 138.

В данной работе описываются два варианта построения триггеров со счетным входом, имеющих быстродействие более 100 МГц.

На *рис. 1* изображена структура триггера, собранного из элементов И-НЕ/ИЛИ-НЕ, на *рис. 2* приведены временные диаграммы, поясняющие работу триггера.

Назначение элементов структуры следующее: Т - счетный вход, 1 - элемент, образующий прямой и инверсный сигналы, 2-5 - триггеры управления; 6, 7 - триггеры памяти. Выходные сигналы снимаются с 6 и 7.

В исходном состоянии на входе Т - уровень "1". На выходах 2-6 - "0", на выходах 4 и 7 - "1" /см. *рис. 2/*.

При поступлении сигнала "0" на вход Т в соответствующих выходах элемента 1 через τ_1 появляются прямой и инверсный сигналы,

$$\tau = \frac{\tau_+ + \tau_-}{2};$$

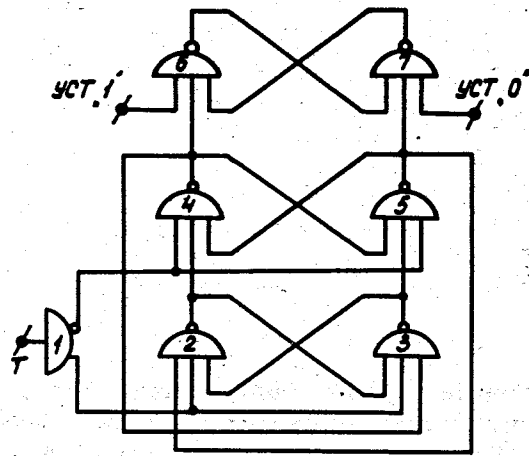


Рис. 1. Структурная схема триггера на элементах И-НЕ/ИЛИ-НЕ.

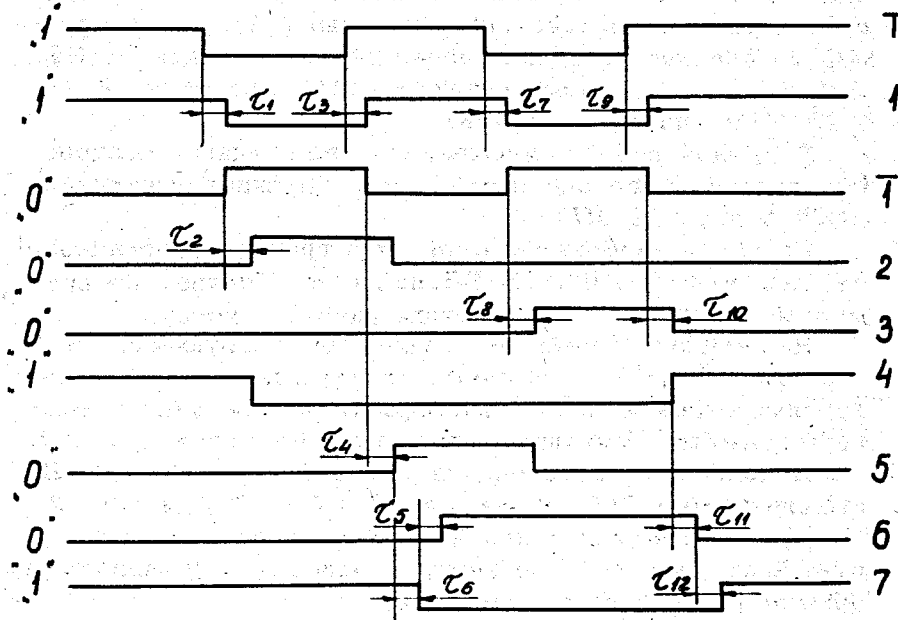


Рис. 2. Временные диаграммы работы триггера на элементах И-НЕ/ИЛИ-НЕ.

τ - здесь и далее - усредненная задержка распространения сигнала через элемент, τ_+ - задержка распространения положительного фронта; τ_- - задержка распространения отрицательного фронта.

С приходом "0" на входы 2 и 3 через τ_2 на выходе 2 устанавливается "1", а выход 3 не изменяется из-за наличия "1" на выходе 4. Сигнал "1" поступает на входы 4 и 5 и через τ_2 на выходе 4 появляется "0"; состояние выхода 5 не изменяется. По истечении времени τ_2 триггер управления находится в следующем состоянии: выходы 3-5 - "0", выход 2 - "1". Элементы триггера "памяти" 6 и 7 в этой фазе работы своего состояния не изменяют.

С окончанием сигнала "0" на входе T через τ_3 на инверсном выходе появляется "0", а на прямом - "1". Через τ_4 на выходе 2 устанавливается "0", а на выходе 5 - "1", и триггер памяти 6,7 изменяет свое состояние. Причем сигнал "0" появляется на выходе 7 через τ_5 , а на выходе 6 сигнал "1" появляется через τ_6 . Выходы 3,4 остаются в состоянии "0".

С приходом следующего сигнала "0" на вход T на выходах 1 через τ_7 появляются прямой и инверсный сигналы. Через τ_8 на выходе 3 появляется "1", а на выходе 5 - "0". Выход 2 не изменяет своего состояния, т.к. в течение τ_8 на его вход поступает "1" с выхода 5, а затем "1" с выхода 3. Состояние выходов 2,4,6,7 в течение действия "0" на входе T не изменяется.

С окончанием сигнала "0" на входе T, через τ_9 на прямом выходе появляется сигнал "1", а на инверсном - "0". На выходе 3 через τ_{10} устанавливается "0", а на выходе 4 - "1". Появление "1" на выходе 4 приводит к изменению через τ_{11} состояния 6 и через τ_{12} - 7, на выходах которых устанавливаются сигналы "0" и "1", соответственно, т.е. с окончанием второго сигнала "0" на входе T триггер возвращается в исходное состояние.

Работа триггеров управления и памяти происходит последовательно, причем в логике, определяющей путь прохождения сигнала управления, участвуют лишь задержки элементов триггера управления. Подготовка триггера управления осуществляется за время действия "1" на входе T в течение τ . Срабатывание триггера памяти

происходит при действии "1" на входе Т в течение 2τ . Следовательно, минимальный период следования счетных импульсов равен 3τ . В известных триггерных структурах на элементах И-НЕ/ИЛИ-НЕ этот период не может быть менее 5τ , что, конечно, сказывается на максимальном быстродействии.

Типичное быстродействие триггерных структур, собранных по описанной схеме, составляет 110 МГц для элементов серии К 137 и 140 МГц - серии К 138.

Отметим, что эта схема составляется из 3 элементов типа К1ЛБ372 или К1ЛБ382. Лишь для запуска первого триггера используется дополнительно $1/2$ элемента.

Наиболее удачное построение триггера со счетным входом может быть выполнено на имеющихся в серии К 138 D-триггерах типа "Защелка". Как известно, сам по себе этот триггер работать в счетном режиме не может [7].

Схема счетного триггера, состоящего из двух D-триггеров типа "Защелка", соединенных по принципу "Master-Slave", изображена на рис. 3. Для запуска первого триггера используется $1/2$ корпуса схемы К1ЛБ382. Сигналы для запуска последующих триггеров берутся с выходов предыдущего.

Временная диаграмма работы триггера приведена на рис. 4. В исходном состоянии на вход А подан сигнал логического "0". Выходы Б, Т, К находятся в "0", а В, Е, Д - в "1". При поступлении "1" на вход А на выходах В и Б через τ_1 /усредненная задержка распространения сигнала через элемент/ соответственно появляются "0" и "1". Сигнал "1" на входе Т/Б/ осуществляет перенос состояния с входа Д(К) на выход Е через время τ_2 . Наличие "0" на входе Т/В/запрещает изменение состояния выходов К и Л. С окончанием входного сигнала /установлением уровня "0"/ на выходе В через τ_3 появляется сигнал логической "1", что приводит к появлению на выходах Л и К "0" и "1", соответственно. По истечении τ_4 состояние выходов схемы следующее: Б, Е, Л - "0", В, Г, К - "1".

С приходом следующего сигнала логической "1" на вход схемы он через τ_5 появляется на выходе Б,

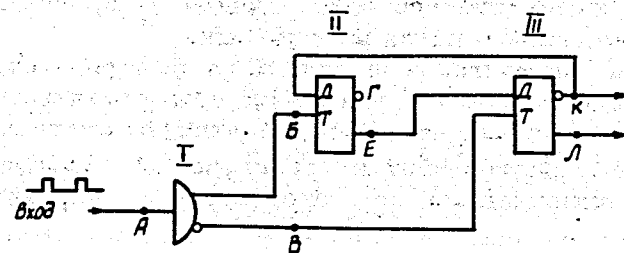


Рис. 3. Структурная схема триггера на "D"-триггерах типа "Защелка".

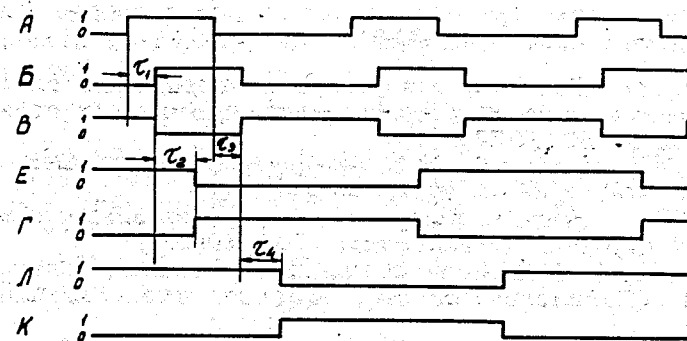


Рис. 4. Временные диаграммы работы триггера, собранного на D-триггерах.

осуществляя через τ_6 изменение состояний выходов Г на "0", а Е - на "1". Перенос состояния входа Д/Е/запрещается наличием "0" на выходе В.

С окончанием входного сигнала через τ_7 на выходах Б и В появляются сигналы "0" и "1". Через τ_8 выход К принимает состояние "0", а Л - "1". Выходы Е и Г своего состояния не изменяют.

Таким образом, с окончанием второго входного сигнала схема возвращается в исходное состояние.

Процесс изменения состояния длится 2τ, причем используются сигналы и пауза между ними.

Задержка элемента 1 не влияет на быстродействие схемы. Однако ее следует учитывать при создании схем с обратными связями, например, десятичных счетчиков.

Типичное быстродействие триггеров на элементах К1ТР382, выполненных по этой схеме, составляет 170 МГц.

В заключение авторы считают своим долгом выразить благодарность В.Г.Зинову и А.Н.Синаеву за полезные обсуждения и постоянный интерес к работе.

Литература

1. К.А.Валиев. Быстродействующие интегральные схемы на токовых ключах. *Электронная промышленность*, № 7, стр. 56-59, 1972 г.
2. D.Zissos. A Step-by-Step Design of Two-Way Binary Counter. *Electronic Engineering*, v. 37, No. 447, p.p. 311-315 (1965).
3. Сэнфорд. Путь к применению интегральных схем. Русский перевод. "Электроника" № 5, 1967 г.
4. Г.Р.Мэдленд, Г.К.Дикен и др. Интегральные схемы. Изд-во "Советское радио", Москва, стр. 317-324, 1970 г.
5. G.W.Dummer, M.K.Robinson. 68-69 *Anglo-American Microelectronic Data*, v. 1, II, Pergamon Press.
6. *Integrated Circuits*, Nippon Electric Co. Ltd. Japan, 1969.
7. И.Н.Букреев, Б.М.Мансуров, В.И.Горячев. Микроэлектронные схемы цифровых устройств. "Советское радио", Москва, 1973 г.

Рукопись поступила в издательский отдел
26 апреля 1974 года.