

Б-272

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА



1296/2-74

1/10-74

13 - 7603

С.Г.Басиладзе, В.Я.Гвоздев

МНОГОВХОДОВАЯ МАЖОРИТАРНАЯ  
СХЕМА СОВПАДЕНИЙ БОЛЬШОЙ КРАТНОСТИ  
С ЦИФРОВЫМ ОТБОРОМ

**1973**

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

13 - 7603

С.Г.Басиладзе, В.Я.Гвоздев

**МНОГОВХОДОВАЯ МАЖОРИТАРНАЯ  
СХЕМА СОВПАДЕНИЙ БОЛЬШОЙ КРАТНОСТИ  
С ЦИФРОВЫМ ОТБОРОМ**

*Направлено в ПТЭ*

В связи с развитием многоканальных годоскопических систем, например, на основе пропорциональных камер или сцинтилляционных счетчиков повысился интерес к блокам, определяющим число частиц, одновременно прошедших через годоскопическую плоскость.

Схемы подобного типа выполнялись ранее на основе методов аналогового суммирования <sup>1,2/</sup>, что возможно лишь для малого числа частиц /малой кратности совпадений/ и небольшого числа входов.

С повышением числа входов целесообразно использовать цифровые методы отбора числа сработавших каналов в годоскопической плоскости <sup>3-5/</sup>. При большой кратности совпадений /свыше четырех/ из различных способов цифрового отбора <sup>4/</sup> выгоднее применять метод цифрового суммирования, предложенный в работе <sup>3/</sup>.

Схема, описываемая в настоящей статье, предназначена в основном для совместной работы с блоком годоскопа-шифратора <sup>5/</sup>. Этот блок содержит 16 быстрых входов и запоминающих триггеров, с выхода которых снимаются сигналы на данную мажоритарную схему совпадений. Для схемы совпадений используются выходы триггеров, на которых создаются отрицательные перепады уровня потенциала при регистрации прошедшей частицы.

Мажоритарная схема совпадений состоит из трех функциональных узлов /рис. 1/. Первый узел, схема которого показана на рис. 2, предназначен для шифровки количества сработавших триггеров в двоичный код. Второй функциональный узел /рис. 3/ производит суммирование этого числа с числом срабатываний, полученным в предыдущем блоке. Третья часть блока /рис. 3/ производит анализ суммы на соответствие заданным границам  $N_1$  и  $N_2$ .

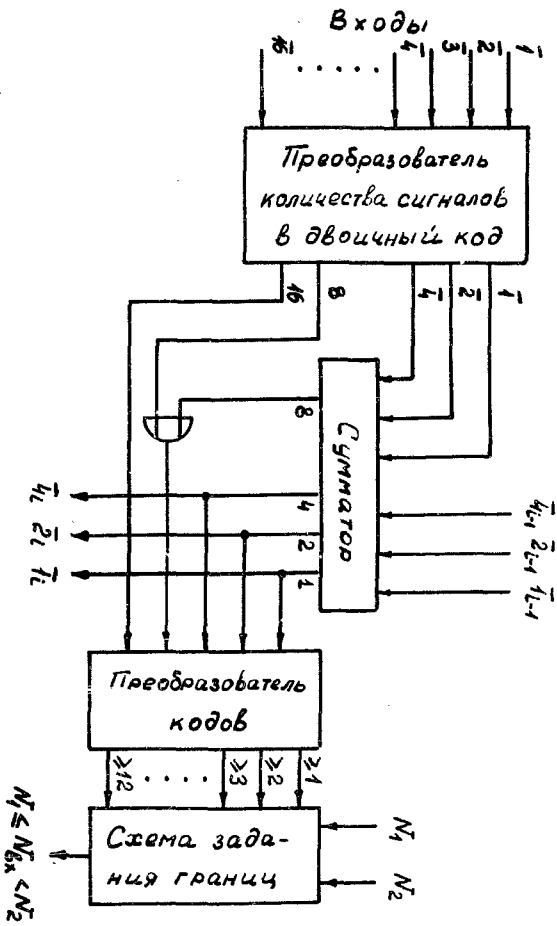


Рис. 1. Структурная схема цифровой многоходовой мажоритарной схемы совпадений большой кратности.

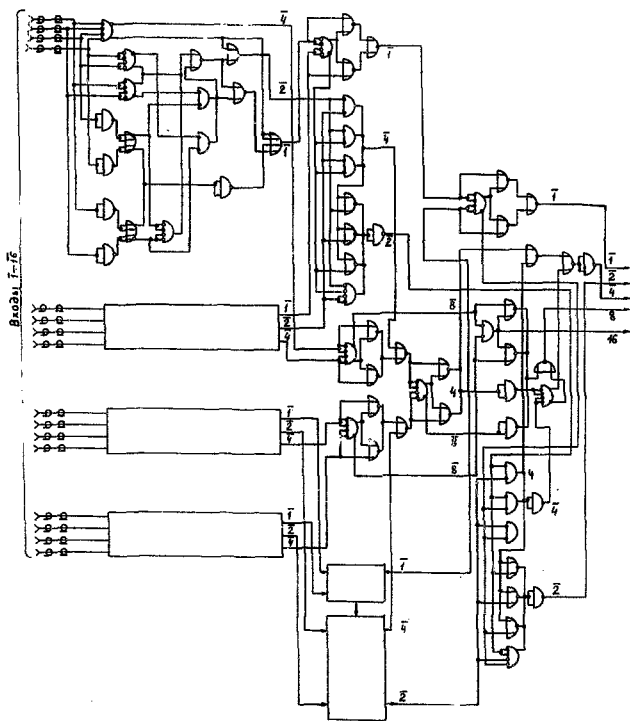


Рис. 2. Схема шифрации количества работающих каналов в двоичный код.

схема задания границ

сумматор

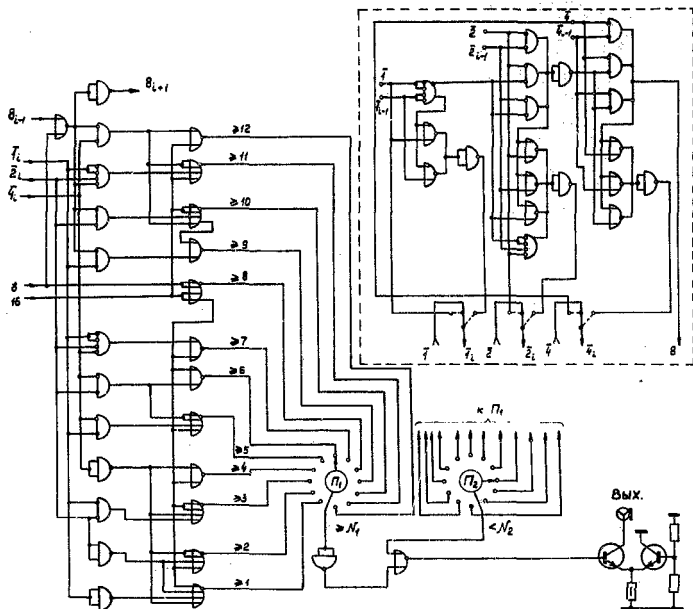


Рис. 3. Схема сумматора для объединения блоков и устройства задания границ.

Для получения двоичного кода числа зарегистрированных блоком частиц используется разбиение 16 входов на 4 группы. В каждой группе /на рис. 2 показана только первая/ логическая схема выбрана таким образом, чтобы на ее выходах по шинам  $\bar{1}$ ,  $\bar{2}$ ,  $\bar{4}$  получить десятичные коды числа частиц, зарегистрированных в данной группе. Для этого предусмотрены следующие операции. Элемент "И" на 4 входа дает сигнал  $\bar{4}$  /принята положительная логика/ и запрет на схемы пропускания на выходах  $\bar{1}$  и  $\bar{2}$ . Реализуются двойные совпадения  $\bar{1} \cdot \bar{2}$  и  $\bar{3} \cdot \bar{4}$ , а также  $(\bar{1} + \bar{2}) \cdot (\bar{3} + \bar{4})$ , объединенные по "проводному ИЛИ". Для получения тройных совпадений добавлены элементы, выполняющие операций  $(\bar{1} \cdot \bar{2}) \cdot (\bar{3} + \bar{4})$  и  $(\bar{3} \cdot \bar{4}) \cdot (\bar{1} + \bar{2})$ , которые также объединены по "проводному ИЛИ". Эти сигналы, объединенные с сигналами двойных совпадений на элементе "ИЛИ-НЕ", подаются на выходную схему пропускания шины  $\bar{2}$ . Сигнал двойных совпадений проходит также через дополнительную схему запрета, подключенную к второму управляющему входу схемы пропускания шины  $\bar{1}$ , а сигнал тройных совпадений благодаря самоблокировке через нее не проходит. На пропускающий вход схемы пропускания шины  $\bar{1}$  поданы объединенные по "ИЛИ" сигналы от каждого из каналов. Таким образом, производится кодирование в двоичный код во всех четырех группах.

В дальнейшем необходимы лишь полусумматоры и полные сумматоры для сложения двух или трех двоичных цифр. Схема полусумматора состоит из четырех логических элементов /например, сложение "единиц" первой и второй групп/. Входные и выходные сигналы - отрицательной полярности. Схема сумматора состоит из восьми-девяти логических элементов /например, сложение "двоек" первой и второй групп/.

Для объединения блоков предусмотрен дополнительный трехразрядный полный сумматор /на рис. 3 обведен пунктиром/, тем самым создана возможность неограниченного наращивания числа входов при регистрации совпадений кратностью до семи. Если блок одиночный, то для сокращения задержек сигналы  $\bar{1}$ ,  $\bar{2}$ ,  $\bar{4}$  через переключатели, расположенные на печатной плате, можно

непосредственно подать на схему задания границ. Если объединены несколько блоков, используется схема задания границ только последнего блока, а сигналы  $\bar{1}$ ,  $\bar{2}$ ,  $\bar{4}$  откладываются на сумматорах этой цепочки блоков.

Первый ряд элементов в схеме задания границ переводит двоичный код числа в позиционный для чисел от 1 до 12. С выходов второго ряда элементов получаются сигналы  $\geq i$ , где  $i$  - число, определяемое порядковым номером элемента снизу. Требуемые границы нахождения нужного числа частиц задаются галетными переключателями: снизу  $\geq N_1$  и сверху  $< N_2$ . Ограничение числа отбора на уровне 11 объясняется только числом позиций галетного переключателя.

Блок выполнен на интегральных схемах серии К138<sup>/6/</sup>.

#### Краткая характеристика

- |                                  |   |
|----------------------------------|---|
| Число входов                     | - 16, предусмотрены дополнительные разъемы для объединения блоков.  |
| Входные сигналы:                 |   |
| а/ уровни                        | - отрицательные импульсы напряжения от $-0,7В$ до $-1,7В$ ,   |
| б/ длительность                  | - не менее времени решения.   |
| Кратность совпадений             | - 1/ для единичного блока от 1 до 11, задаваемая с помощью переключателей нижней границы $\geq N_1$ и верхней границы $< N_2$ , |
|                                  | 2/ для набора блоков от 1 до 7.   |
| Выход:                           |   |
| а/ уровни                        | - отрицательный перепад тока, амплитудой $-16\text{ ма} / -0,8В$ на $50\text{ Ом}$ .  |
| б/ задержка<br>( время решения ) | - 1/ для одиночного блока не менее $15\text{ мсек}$ и не более $50\text{ мсек}$ ,   |
|                                  | 2/ при наращивании блоков задержка на передачу числа  |



из блока в блок и суммирование - не менее 8 нсек и не более 16 нсек.

Потребляемый ток -  $-6 В/2,2 А$ .

В заключение авторы выражают признательность В.И.Какуриной и А.А.Виноградовой за техническую помощь.

### Литература

1. З.Гузик, М.Турала, Э.Цисек. Сообщение ОИЯИ 13-6317, Дубна, 1972.
2. С.Г.Басиладзе, В.Я.Гвоздев, И.Ф.Колпаков, П.К.Маньяков, В.Тлачала. Сообщение ОИЯИ 13-6383, Дубна, 1972.
3. V. Bertolucci, D. Horelick, F. Rosche. Preprint SLAC, No. 984, Stanford, USA, 1971.
4. С.Г.Басиладзе, П.К.Маньяков, А.Н.Парфенов. Препринт ОИЯИ 13-7056, Дубна, 1973.
5. С.Г.Басиладзе, З.Гузик. Препринт ОИЯИ P13-7492, Дубна, 1973.
6. К.А.Валиев и др. Электронная промышленность, вып. 7 /13/, 56, 1972.

Рукопись поступила в издательский отдел  
13 декабря 1973 года.