

Б-272

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



14/5-74

13 - 7491

136/2-74

С.Г.Басиладзе

КОЛЬЦЕВЫЕ ПОТЕНЦИАЛЬНЫЕ ИС-СЧЕТЧИКИ

НА 140 Мгц

1973

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

13 - 7491

С.Г.Басиладзе

КОЛЬЦЕВЫЕ ПОТЕНЦИАЛЬНЫЕ ИС-СЧЕТЧИКИ

НА 140 Мгц

Направлено в ПТЭ

Объединенный институт
ядерных исследований
БИБЛИОТЕКА

Басиладзе С.Г.

13 - 7491

Кольцевые потенциальные ИС-счетчики на 140 Мгц

Описаны быстродействующие потенциальные счетчики на любое нечетное число состояний и на 4. Счетчики имеют простую структуру, максимальное быстродействие - 140 Мгц.

Схемы разработаны в ОННР ЛВЭ ОИЯИ,

Препринт Объединенного института ядерных исследований.
Дубна, 1973

К настоящему времени описано большое число вариантов кольцевых пересчетных схем /см., напр., /1-7/ /. Недостатком большинства из них является импульсный режим запуска. Входной сигнал должен иметь строго определенную длительность, примерно одной - двух времен задержек логических элементов, из которых построена ячейка. При большей длительности входного импульса может произойти ложное срабатывание нескольких последовательных ячеек, а при меньшей запуски не произойдет вообще. Создание формирователя коротких импульсов с малым мертвым временем представляет определенную трудность, особенно в наносекундном диапазоне. Большая чувствительность к длительности запускающего импульса создает ненадежность в работе счетчика при разбросе параметров элементов /задержка распространения может изменяться в 1,5-2 раза/, либо при изменении напряжения питания.

Этих недостатков лишены счетчики с потенциальным входом /4-7/, срабатывающие только в результате перепадов входного сигнала независимо от его длительности. Однако такие счетчики строятся, как правило, на сложных триггерах D_i или JK-типа.

В настоящей работе описываются простые потенциальные кольцевые счетчики, рассчитанные на нечетное число состояний - 3, 5, 7... и кольцевой счетчик - на 4. В целях достижения максимального быстродействия они реализованы на интегральных схемах с эмиттерной связью /8/.

Схема счетчика для нечетного числа состояний показана на рис. 1. Счетчик построен на двухвходовых логических элементах ИЛИ-НЕ и состоит из ячеек, включающих в себя RS-триггеры и элементы их запуска и сброса.

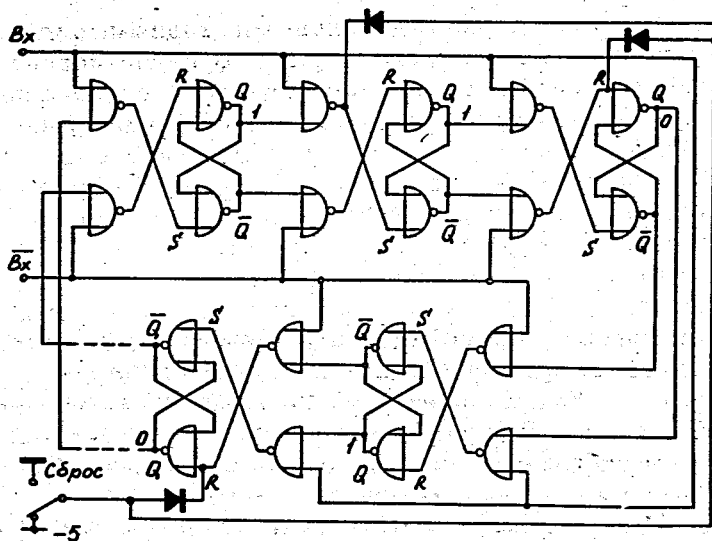


Рис. 1. Схема счетчика на нечетное число состояний.

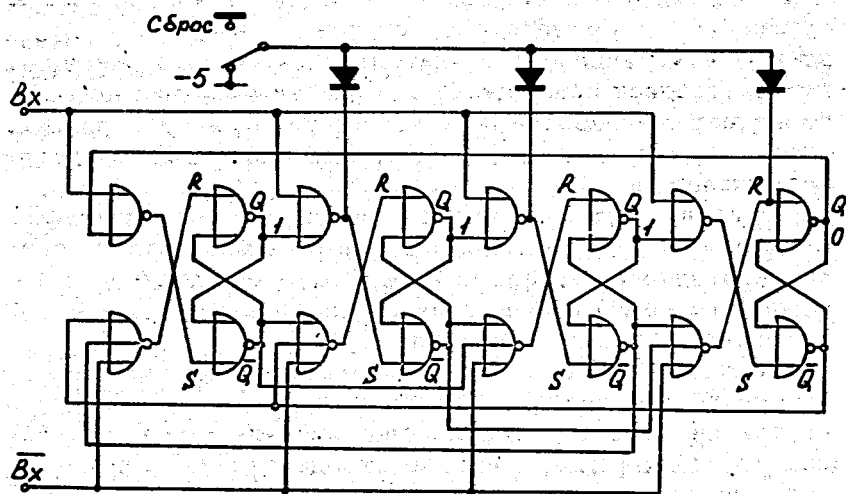


Рис. 2. Схема счетчика на 4.

Счетчик запускается дополнительными входными сигналами, имеющими малую длительность фронтов перепадов напряжения. С помощью диодов производится начальная установка счетчика, для этого шина сброса подключается к нулевому потенциалу. В одну из ячеек /на рис. 1 - первая/ заносится единичное состояние в триггер, а во все последующие пары ячеек - чередующиеся "единицы" и "нули".

При приходе входного перепада напряжения присутствие "нуля" в предыдущей ячейке не приводит к изменению состояния триггера, в котором записана "единица". Наличие же "единицы" в предыдущей ячейке переводит его в нулевое состояние. Сброс триггера осуществляется по шине \bar{V}_x , в нашем случае изменяется состояние второй ячейки. В этом положении счетчик может находиться неопределенно долго, до тех пор, пока не прекратится входной сигнал. При обратном перепаде входного сигнала присутствие "единицы" в предыдущей ячейке не приводит к изменению состояния триггера, в котором записан "ноль". Наличие же "нуля" в предыдущей ячейке переводит его в единичное состояние. Запуск триггера производится по шине V_x , изменит свое состояние третья ячейка. Таким образом, счетчик из состояния 1.10.10... через состояние 1.00.10... перешел в состояние 10.1.10..., т.е. при каждом входном импульсе работают только три соседние ячейки и производится сдвиг состояния кольцевого счетчика на два разряда вправо. Следовательно, минимально возможное число ячеек равно трем, и коэффициент пересчета равен числу ячеек.

Минимальная достаточная длительность входного сигнала переброса каждой ячейки равна двум временам задержки распространения логических элементов. Повышению быстродействия способствуют также те обстоятельства, что в счетчике использованы наиболее быстродействующие двухвходовые логические элементы, а емкостная нагрузка на их выходы невелика /не более двух входов/. Описанный счетчик может работать также на двухвходовых логических элементах И-НЕ.

На рис. 2 приведена схема кольцевого счетчика на 4. Начальная запись состояний производится аналогично,

но в силу четного числа ячеек сразу три из них последовательно содержат "1". Для блокирования запуска средней ячейки, при приходе входного перепада, вводятся запрещающие связи в элементы сброса триггеров. Такт работы ячейки выглядит следующим образом: начальное состояние - 1101, после прихода входного перепада - 1001, по окончании входного перепада - 1011. Таким образом, на каждый входной сигнал производится сдвиг состояния кольцевого счетчика на один разряд влево.

Описанные счетчики с числом состояний 3,4,5 были собраны на элементах серии К 138^{9/}. К выходам элементов подключались резисторы величиной 560 мс источника питания - 5 в /на рис. 1 и рис. 2 не показаны/. Достигнута максимальная скорость счета 140 Мгц, что согласуется с величиной задержки распространения в этих элементах, равной ~ 2,5 нсек.

Сочетая описанные выше счетчики со счетчиком на 2, можно получить быстродействующее пересчетное устройство с любым коэффициентом пересчета.

Литература

1. А.П.Цитович. Ядерная радиоэлектроника, М. "Наука", 1967.
2. Ю.К.Акимов, Н.М.Дражев, И.Ф.Колпаков, В.И.Рыкалин. Быстродействующая электроника для регистрации ядерных частиц. М. Атомиздат, 1970.
3. А.М.Коротков, В.Д.Мочалов. Электронные счетчики импульсов. М., "Энергия", 1971.
4. А.Г.Алексенко. Основы микросхемотехники, М. Сов. радио, 1971.
5. И.Н.Букреев, Б.М.Мансуров, В.И.Горячев. Микроэлектронные схемы цифровых устройств, М., Сов. радио, 1973.
6. Manuel d'application des circuits integres digitaux TTL, II edition, Texas Instruments, France, 1971.
7. Designing with TTL Integrated Circuits, Texas Instruments USA, 1971.
8. Ю.Е.Наумов. Интегральные логические схемы. М., Сов. радио, 1970.

9. К.А.Валиев, Н.М.Луканов, С.И.Назаров, В.Н.Струков, В.В.Лебедев, В.Г.Немудров, Е.С.Минин, Быстродействующие интегральные схемы на токовых ключах. Электронная промышленность, №7, 1972, 56-59.

Рукопись поступила в издательский отдел
12 октября 1973 года.