

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



С344.36

Б-27

18/VI-73

13 - 7056

2246/2-73

С.Г.Басиладзе, П.К.Маньяков, А.Н.Парфенов

12-ВХОДОВАЯ МАЖОРИТАРНАЯ СХЕМА СОВПАДЕНИЙ
С ЦИФРОВЫМ ОТБОРОМ

1973

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

13 - 7056

С.Г.Басиладзе, П.К.Маньяков, А.Н.Парфенов

12-ВХОДОВАЯ МАЖОРИТАРНАЯ СХЕМА СОВПАДЕНИЙ
С ЦИФРОВЫМ ОТБОРОМ

Направлено в ПТЭ

Одной из типичных задач в быстрой электронике запуска физических установок является отбор событий по числу частиц, прошедших через годоскопическую систему счетчиков. Устройства, производящие такой отбор /мажоритарные схемы совпадений/, выполнялись ранее по принципу дискриминации аналоговой суммы сигналов ^{1,2/}. Использование подобного принципа для многоходовых схем, особенно в наносекундном диапазоне, практически неприемлемо из-за трудности получения стабильного порога дискриминации с высокой точностью отбора в условиях заметного разброса параметров. Например, для схемы четырехкратных совпадений точность задания слагаемых и порога дискриминации не должна быть хуже 3-5%.

Развитие микроэлектроники открывает возможность реализации пороговой логики цифровыми методами. При этом нет необходимости производить подстройку схемы, т.е. существенно возрастает ее эксплуатационная надежность. Появление быстрых интегральных схем с эмиттерной связью дает возможность достичь для такой схемы отбора событий наносекундного быстродействия.

Известно несколько способов цифрового отбора в мажоритарных схемах. Покажем их на примере получения любых двукратных совпадений из N -входных сигналов.

Первый способ - последовательный ^{1,2/}. В последовательной схеме производится совпадение сигналов первых двух каналов, потом объединение полученного импульса по "ИЛИ" с импульсом совпадения сигнала третьего канала с логической суммой сигналов первого и второго, что, в свою очередь, складывается с импульсом совпадения сигнала четвертого канала с логической суммой сигналов первых трех каналов и т.д., в результате

$$C_2 = 1 \cdot 2 + 3(1+2) + 4(1+2+3) + \dots + N[1+2+\dots+(N-1)], \quad /1/$$

где C_2 - результирующий сигнал двойных совпадений. Количество требуемых элементов "ИЛИ" и "И" для такой схемы равно

$$N_{\text{Э}}^I \approx 3N, \quad /2/$$

а максимальное число элементов, по которым проходят входные сигналы, т.е. приведенная /отнесенная к средней задержке одного логического элемента/ задержка срабатывания

$$\bar{t}_{\text{Э}}^I = N. \quad /3/$$

Схемы совпадений, построенные по такому принципу, можно наращивать без ограничений на увеличение числа входов.

Второй способ организации цифрового отбора состоит в цифровом суммировании количества пришедших сигналов /3/. Все входы разбиваются на пары, с каждой парой производятся операции "Исключительное ИЛИ" и "И", т.е. формируются сигналы суммы и переноса. На второй ступени отбора складываются сигналы от каждой двух соседних пар с помощью двух схем "Исключительное ИЛИ", схемы "И" и "ИЛИ" и т.д. Число логических элементов для этого способа равно

$$N_{\text{Э}}^{II} \approx 2,7N, \quad /4/$$

а приведенная задержка

$$\bar{t}_{\text{Э}}^{II} \approx 1 + \log_2 N. \quad /5/$$

Как видим, такой способ цифрового отбора сигналов дает существенный выигрыш в быстродействии, однако требует применения более сложных логических схем "Исключительное ИЛИ". Поскольку число входных сигналов представлено на выходе в двоичном коде, объединение таких мажоритарных схем можно осуществить с помощью полных сумматоров.

Очевидная возможность цифрового отбора сигналов в схемах совпадений состоит в полном параллельном переборе возможных вариантов совпадений с последующим объединением их по схеме "ИЛИ"

$$N_3^{III} = 2C_N^2, \quad /6/$$

где C_N^2 - число сочетаний из N по 2. В силу большого количества слагаемых получение их логической суммы также занимает большое время:

$$\bar{t}_3^{III} \approx 1 + \log_2 C_N^2. \quad /7/$$

Для снижения числа логических элементов схемы в данной работе использована модификация этой возможности, а именно, иерархический принцип получения мажоритарных совпадений. Все входы разбиваются на определенное количество (n) групп. Сначала методом параллельного перебора отбираются совпадения внутри групп. Для этого необходимо $n \cdot C_{N/n}^2$ схем "И-НЕ", выходы этих схем можно для упрощения объединить по "Проводному ИЛИ" в каждой группе. Одновременно на n двухвходовых схемах "ИЛИ" получают логические суммы отдельных сигналов в группах. Затем организуется параллельный перебор совпадений между единичными сигналами. Для этого требуется C_n^2 - схем "И-НЕ", выходы которых также можно объединить по "Проводному ИЛИ". Для окончательного суммирования всех двойных совпадений потребуется еще n схем "ИЛИ". Таким образом, общее количество элементов схемы равно:

$$N_3^{IV} = N + n(1 + C_{N/n}^2) + C_n^2, \quad /8/$$

а задержка

$$\bar{t}_3^{IV} = 2 + \max \left\{ \log_2 n, \log_2 N/n \right\}, \quad /9/$$

т.е., например, для $N=16$ и $n=4$, получим $N_3^{IV} = 50$, $\bar{t}_3^{IV} = 4$, тогда как $N_3^{III} = 43$, $\bar{t}_3^{III} = 5$. Как видим, применение способа ступенчатой реализации совпадений дает возможность сократить время задержки, применить более простые схемы при относительно небольшом увеличении

числа элементов. На практике за счет использования многоходовых элементов это увеличение еще меньше.

Перейдем теперь к описанию предложенной в данной работе мажоритарной схемы. Она реализована на интегральных элементах с временем задержки 5-6 нсек. Входы ее выполнены по стандарту *NIM* /рис. 1/, переход на

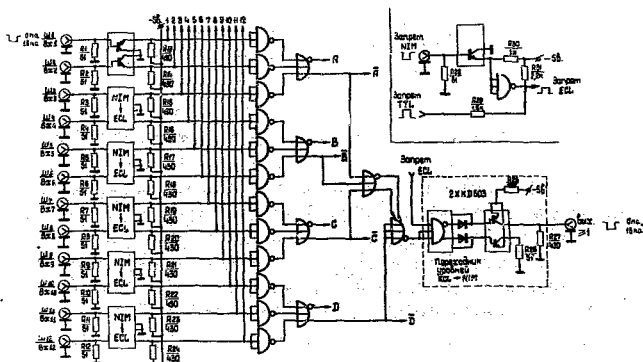


Рис. 1. Схема переходников уровней и организация логического сложения единичных сигналов.

уровня *ECL* производится с помощью эмиттерных повторителей, собранных с помощью интегральных схем расширителей. Все входы объединяются по "ИЛИ" для получения кратности совпадений ≥ 1 . Здесь и далее обозначения элементов схемы даны в соответствии с выполняемой ими функцией: "ИЛИ-НЕ" - для положительных сигналов и "И-НЕ" - для отрицательных. На рис. 1 изображен также переходник со входом запрета от уровней *ECL* к уровням *NIM* /4/ /обведен пунктиром/. В правом верхнем углу показана организация суммарного сигнала запрета в уровнях *ECL* от импульса *NIM* с передней панели и сигнала *TTL* с разъема питания.

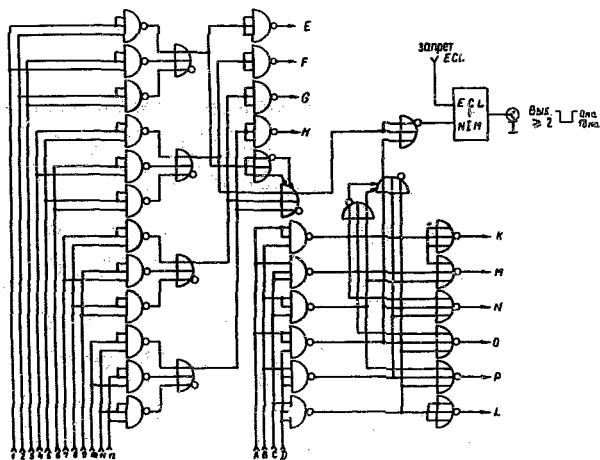


Рис. 2. Схема получения двойных совпадений.

Способ отбора двойных совпадений иллюстрируется рис. 2. Входы разбиты на 4 группы, по 3 в каждой группе. Вначале производится перебор двойных совпадений в каждой группе, затем логическое сложение их на трехвходовых элементах "ИЛИ" и далее объединение с помощью схемы "ИЛИ" с расширителем. Между отдельными сигналами в разных группах / $A \div D$ - рис. 1/ на шести элементах "И-НЕ" также производится перебор двойных совпадений, которые затем объединяются схемой "ИЛИ" с расширителем. Сигналы со схем "ИЛИ" с расширителями объединяются дополнительной схемой "ИЛИ-НЕ" и поступают на выход " ≥ 2 " через переходник уровней. Остальные элементы ($E - L$) производят подготовку сигналов для получения совпадений высшей кратности.

На рис. 3 показан способ получения тройных совпадений. Прежде всего получают тройные совпадения в каждой группе ($R \div U$). Затем производится перебор сигналов двойных совпадений в каждой группе ($E \div H$) с единичными

сигналами в других группах ($A \div B$). Производится также перебор тройных совпадений от единичных сигналов в разных группах ($A \div D$). Все выходы тройных совпадений объединяются схемой "ИЛИ" с расширителями и подаются на выходной транслятор уровней.

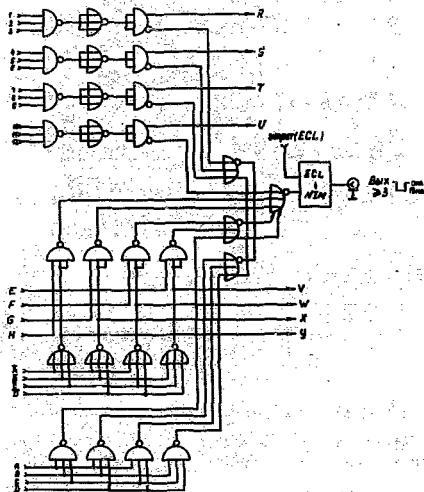


Рис. 3. Схема получения тройных совпадений.

Для реализации всех четырехкратных совпадений /рис. 4/ объединяются следующие совпадения. Тройные сигналы в каждой группе ($R \div U$) совпадают с единичными в других группах ($V \div Y$). Двойные сигналы в каждой группе ($E \div H$) совпадают с двойными сигналами в других группах, эти же сигналы совпадают с единичными в двух разных группах ($M \div P$). Наконец, производится совпадение единичных сигналов в каждой группе (K, L).

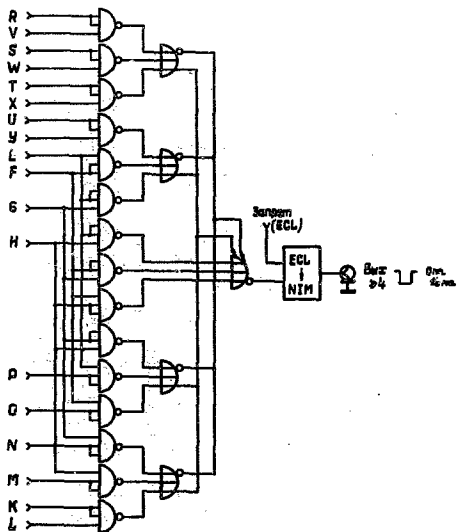


Рис. 4. Схема получения четырехкратных совпадений.

Перед шинами $E \div H, R \div U$ включены дополнительные элементы для выравнивания задержек по различным путям на выходах 2-4. На выходе " ≥ 1 " сигнал появляется, пройдя 3 логических элемента и переходники уровней, на выходах " ≥ 2 ", " ≥ 3 " - 4-5 элементов и на выходе " ≥ 4 ", пройдя 5-6 логических элементов. Различие в путях, пройденных сигналами, составляет одну логическую задержку. Это не должно давать ложных импульсов на выходах во время переходных процессов.

Достоинством цифровых способов отбора является возможность одновременно получать совпадения различных кратностей. В данной схеме число сигналов на выходах равно кратности происшедшего совпадения, поэтому схемы

совпадений можно объединять для наращивания числа входов так, как показано на рис. 5.

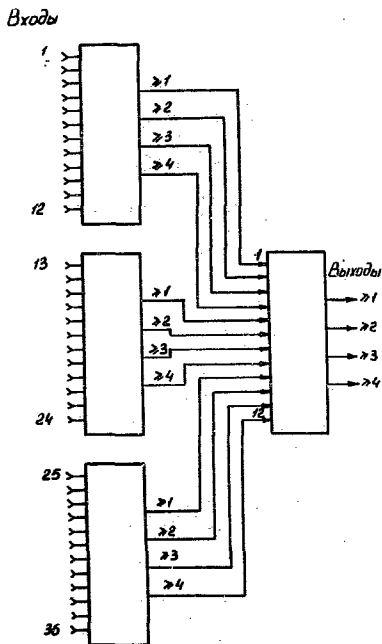


Рис. 5. Схема объединения блоков для наращивания числа входов.

Краткие характеристики блока

Входы

Число входов

- 12 входов совпадений и 1
- запрета.

Импеданс

- 50 ом

Полярность

- отрицательная

Уровень логического "0"
Уровень логической "1"
Коэффициент отражения
Длительность сигналов

- $0 \text{ в } \pm 0,1 \text{ в}$
- $0,8 \text{ в } \pm 0,1 \text{ в}$
- $\leq 0,1$
- любая, свыше
- 7 нсек, для выхода " ≥ 1 "
- 8 нсек, для выхода " ≥ 2 "
- 12 нсек, для выхода " ≥ 3 "
- 13 нсек, для выхода " ≥ 4 "

Минимальное время перекрытия сигналов, необходимое для срабатывания схемы

- равно минимальной длительности входных сигналов для соответствующих выходов

Разрешающее время

- равно перекрытию сигналов по времени минус минимальное перекрытие

Выходы

Число выходов

- 4 параллельных

Длительность фронтов

- не хуже 3,5 нсек

Задержка

- ≤ 23 нсек для выхода " ≥ 1 "
- ≤ 33 нсек для выходов " ≥ 2 " и " ≥ 3 "

Задержка по каналу запрета

- ≤ 36 нсек для выхода " ≥ 4 "

Максимальная частота

- не более 16 нсек

75 МГц для выхода " ≥ 1 "

55 МГц для выхода " ≥ 2 "

45 МГц для выхода " ≥ 3 "

40 МГц для выхода " ≥ 4 "

Управление

По каналу запрета предусмотрена подача сигнала запрета срабатывания с разъема питания с уровнями TTL

Входное сопротивление

входа управления

- 1,6 к

Ток, потребляемый

блоком

- 6 в - 1,7 а

Схема выполнена в стандарте КАМАК и занимает блок единичной ширины.

На рис. 6 приведены кривые задержанных совпадений, снятые с помощью двух ФЭУ от α -источника ^{243}Am . Импульсы с ФЭУ формировались по длительности равными 20 нсек. Пунктиром показана кривая, полученная по каналу запрета.

В заключение авторам приятно поблагодарить А.А.Виноградову за помощь в оформлении документации и в монтаже.

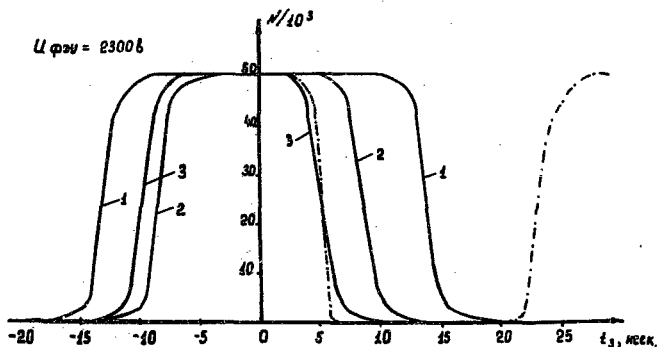


Рис. 6. Кривые задержанных совпадений для выходов " ≥ 2 " -1; " ≥ 3 " -2; " ≥ 4 " - 3 и для канала запрета /пунктир/ для длительности входных сигналов 20 нсек.

Литература

1. С.Г.Басиладзе, В.Я.Гвоздев, И.Ф.Колпаков, П.К.Маньяков, В.Тлачала. Система быстрых электронных блоков в стандарте "САМАС - Вишня". Сообщение ОИЯИ, 13-6383, Дубна, 1972.

2. З.Гузик, М.Турала, З.Цисек. Цифро-аналоговый шифратор данных для годоскопических систем. Сообщение ОИЯИ, 13-6317, Дубна, 1972.
3. V.Bertolucci, D.Horelick, F.Rosche. CAMAC Discriminator gated latch with digital multiplicity logic, "TIO", Preprint SLAC, N984, Stanford USA, November 1971.
4. В.А.Арефьев, С.Г.Басиладзе. Блоки быстрой электроники на интегральных схемах. Препринт ОИЯИ, 13-6594, Дубна, 1972.

Рукопись поступила в издательский отдел
4 апреля 1973 года.