

6396

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна.

ЭКЗ. ЧИТ. ЗАЛА



13 - 6396

В.Ф.Борейко, Ю.Г.Будяшов, Ю.М.Валуев,
В.М.Гребенюк, В.Г.Зинов, Б.С.Краснобородов

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

СИСТЕМА БЛОКОВ НАНОСЕКУНДНОЙ ЛОГИКИ

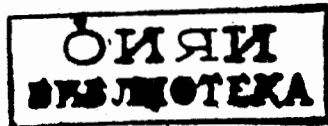
1972

13 - 6396

В.Ф.Борейко, Ю.Г.Будяшов, Ю.М.Валуев,
В.М.Гребенюк, В.Г.Зинов, Б.С.Краснобородов

СИСТЕМА БЛОКОВ НАНОСЕКУНДНОЙ ЛОГИКИ

Направлено в ПТЭ



В настоящей публикации сообщаются результаты планомерной работы по созданию блоков наносекундной логики. Они создавались как единая система закономерно связанных друг с другом блоков и предназначаются для обработки временной и амплитудной информации от сцинтилляционных, черенковских и других детекторов частиц, используемых в экспериментах на ускорителе. В настоящее время разработанные блоки системы позволяют в короткие сроки собрать практически любую логическую схему физического эксперимента.

Единство блоков основано на следующих положениях:

1. В качестве механического стандарта выбрана стойка "Вишня". Размер блоков по передней панели 158 x 80 мм и длина 280 мм.
2. Используются высокочастотные разъемы типа СР-50-73Ф.
3. Кабель для межблочных соединений - РК-50-2-II.
4. Входное сопротивление блоков - 100 ом, выходное - 50 ом.
5. Полярность входных и выходных сигналов отрицательная.
6. Токовые ключи обеспечивают амплитуду выходных логических сигналов 18 ма.
7. Логические блоки имеют визуальную индикацию работы.
8. Питание блоков осуществляется напряжением ± 12 вольт.

В верхней части передней панели блока находится его название, например "Сумматор", в нижней части даны значения потребляемого тока от источников питания, например, "-12в 100ма, +12в 75 ма"; выше их слева - порядковый номер разработки блока, например "006", справа - порядковый номер блоков системы, например "160".

С точки зрения использования все блоки разделяются на три основные группы:

I. Временные.

II. Спектрометрические.

III. Вспомогательные.

К первой группе можно отнести:

Формирователь	003
Совпадения	004
Задержка (нсек)	005
Сумматор	006
Разветвитель	007
Одновибратор	010
Детектор нуля	013
Дискриминаторы	014 и 015
Конвертор Т-А	017
Сумматор	018
Усилитель	019
Совпадения	024

К блокам второй группы относятся:

Дискриминатор	002
Ослабитель	008
Ослабитель	011
Удлинитель	016

Задержка (мксек)	020
Линейный формирова- тель	023

Вспомогательными блоками являются:

Синхронизация от ускоре- теля	001
Генератор	009
Интенсиметр	022
Питание светодиодов	026
Регулятор амплитуды	027

Такое деление является условным и отражает только основное назначение блоков. В процессе эксплуатации многие блоки находят и другое применение.

На I февраля 1972 года изготовлено, налажено и передано в эксплуатацию более 1100 блоков.

Далее приводятся принципиальные схемы с кратким пояснением их работы, основные характеристики блоков и внешний вид передних панелей в последовательности порядковых номеров разработок,

Синхронизация от ускорителя 001

Блок предназначен для синхронизации работы электронных схем с работой синхроциклотрона. Принципиальная схема блока приведена на рис. I. Схема представляет последовательное соединение трех одновибраторов (T_3T_4 , $T_5T_6T_7$ и T_8T_9).

Запуск одновибраторов осуществляется сигналом от фотодатчика ускорителя через ограничитель ($D_1 \div D_5$) и усилитель-ограничитель (T_1). Одновибратор T_8T_9 определяет длительность

выходного сигнала. Одновибраторы T_3T_4 и $T_5T_6T_7$ определяют временное положение выходного сигнала относительно сигнала запуска. На транзисторе T_{10} собран инвертор; на транзисторах T_2, T_{11} и T_{12} - выходные токовые ключи; на транзисторах T_{13} и T_{14} - визуальная индикация. Особенностью схемы является одновибратор на $T_5T_6T_7$, имеющий малое время восстановления за счет поочередного нахождения транзисторов T_5 и T_6 в насыщенном состоянии. Резистор R_{13} ограничивает ток транзисторов T_5 и T_6 при запуске одновибратора. Фото передней панели представлено на рис.2.

Технические данные блока:

Число входов 1. Запуск сигналом фотодатчика или логическим сигналом длительностью больше 1 мсек.

Число выходов 3.

Вых. "Синхр.осц." предназначен для синхронизации осциллографа наблюдения. Длительность выходного сигнала равна входному.

Вых. 1 и вых. 2 - основные выходы.

Длительность выходных сигналов $0,1 + 1$ мсек.

Фронты выходных сигналов 1 мсек.

Задержка выходных сигналов относительно входного от 1 мсек до 10 мсек.

Изменение задержки: грубо с шагом 1 мсек,

плавно в пределах 1,5 мсек.

Дискриминатор 002

Блок предназначен для преобразования сигналов детекторов, превышающих по амплитуде порог дискриминации, в логические сигналы.

Принципиальная схема приведена на рис.3.

Входной сигнал через ослабитель $R_1 R_2$, диодный ограничитель $D_1; D_2; D_4, D_{10}$ и усилитель-ограничитель $T_1 T_2$ подается на туннельный диод D_{13} , работающий в режиме триггера Шмитта и являющийся основным дискриминирующим элементом схемы. Регулировка порога дискриминации осуществляется с помощью потенциометра R_{23} путем изменения токов транзисторов T_{13}, T_3, T_2 , а следовательно, и тока туннельного диода D_{13} . Одновибраторы на туннельных диодах D_{15} и D_{17} запускаются сигналом туннельного диода D_{13} через T_6 и дифференцирующую цепочку $R_{26} C_2$ и формируют выходной сигнал по длительности. Длительность выходного сигнала определяется емкостями C_{17}, C_{18}, C_{19} и C_{20} , включаемыми в цепь обратной связи одновибратора на ТД D_{17} . На транзисторах $T_9 T_{10}$ и $T_{11} T_{12}$ выполнены выходные токовые ключи. Индикация выполнена на транзисторах $T_{14} T_{15} T_{16}$ и ТД D_{18} . Фото передней панели показано на рис.4.

Технические данные блока:

Число входов 1

Порог дискриминации меняется плавно гелипотом от 0,1 до 0,6 вольта, грубо-переключателем в пять раз.

Нестабильность порога дискриминации 0,1% на 1°C.

Длительность входных сигналов от 5 нсек до постоянного тока.

Число выходов 2.

Длительность выходных сигналов 10, 50, 250 и 1250 нсек.

Фронт и спад выходных сигналов 2,5 нсек.

Мертвое время равно двум длительностям выходного сигнала.

Задержка выходного сигнала относительно входного 12 нсек.

Формирователь 003

Блок предназначен для преобразования сигналов с фотоумножителей в логические сигналы.

Во всех известных по литературе формирователях подобного назначения имеются элементы, дифференцирующие входной сигнал. Длительность сигнала после дифференцирования, как правило, меньше, чем длительность сигналов последующих времязадающих одновибраторов. Это уменьшает влияние входного сигнала на длительность выходного. В месте дифференцирования при необходимости удобно и правильно переходить с одного уровня на другой по переменному току без потери быстродействия. Указанные особенности в полной мере используются в описываемом формирователе. Принципиальная схема приведена на рис.5. Входной сигнал через ограничитель на диодах D_4, D_8 , усилитель-ограничитель на транзисторах T_1, T_2 и дифференцирующую цепочку R_9, C_3 запускает одновибраторы, выполненные на туннельных диодах D_9 и D_{10} . Длительность выходных сигналов задается индуктивностями, подключаемыми последовательно с сопротивлением R_{16} переключателями B_1 и B_2 к туннельному диоду D_{10} .

Амплитуда выходных сигналов формируется токовым ключом T_3, T_4 и выходными токовыми ключами T_5, T_6 и T_7, T_8 . Визуальная индикация выполнена на туннельном диоде D_{12} и транзисторах T_9, T_{10}, T_{11} . Передняя панель блока показана на рис.6.

Технические данные блока:

Число входов I.

Порог срабатывания при t фронта входного сигнала 2 нсек -
0,1 вольта.

Стабильность порога срабатывания 2%.

Максимальная амплитуда входного сигнала 10 вольт.

Максимальная частота входных сигналов 60 Мгц.

Число выходов 2.

Длительность выходных сигналов 5,7,12 и 18 нсек.

Фронт и спад выходных сигналов 2,5 нсек.

Задержка выходных сигналов относительно входных 8 нсек.

В одном блоке - 2 схемы.

Внимание! Наличие постоянной составляющей на входе больше 0,1в нарушает работоспособность блока.

Совпадения 004

Блок предназначен для выполнения логической операции "И". Работает от логических сигналов. Принципиальная схема показана на рис.7. Входы каналов совпадения выполнены на диодных ключах /1/, работающих на выключение тока, протекающего через транзистор T_2 . Элемент отбора выполнен на туннельном диоде D_{21} , работающем в режиме триггера Шмитта /2/. Тумблеры $П_1$ и $П_4$ позволяют отключить входные каналы схемы, не отсоединяя входных кабелей. Транзистор T_1 служит для предохранения туннельного диода D_{21} при случайном выключении тумблерами всех каналов совпадения. Канал антисовпадения выполнен на транзисторах T_4 и T_5 . Особенностью схемы является то, что входные диодные ключи отсоединены от элемента отбора транзистором T_2 . Это позволяет работать с входными сигналами, имеющими передние фронты от наносекунд до постоянного тока. Одновибраторы на туннельных диодах D_{26} и D_{29} формируют выходной сигнал по длительности. Длительность сигнала определяется емкостями $C_{13} + C_{16}$.

включаемыми в цепь задержанной обратной связи ($T_{I0}T_9$). Сигнал, сформированный по длительности, через транзисторы $T_{I0}T_{II}$ поступает на выходные токовые ключи $T_{I3}T_{I5}$ и $T_{I4}T_{I6}$. Транзисторы T_3T_4 и стабилитроны служат для задания соответствующих напряжений. Визуальная индикация выполнена на диоде D_{24} и транзисторах $T_6T_7T_8$.

Фото передней панели показано на рис.8.

Технические данные блока:

Число входов совпадений 4.

Число входов антисовпадений 1.

Разрешающее время задается длительностью входных сигналов.

Число выходов 2.

Длительность выходных сигналов 10,30,100 или 300 нсек.

Фронты выходных сигналов 2,5 нсек.

Задержка выходного сигнала относительно входного 10 нсек.

Мертвое время схемы равно удвоенной длительности выходных сигналов.

Задержка (нсек) 005

Предназначена для работы с логическими сигналами. Выполнена на отрезках кабеля РК-50 и тумблерах МТЗ. Принципиальная схема приведена на рис.9.

Фото передней панели показано на рис.10.

Технические данные блока:

Максимальная регулируемая задержка 66,5 нсек.

Шаг изменения задержки 0,5 нсек.

Минимальная задержка 5 нсек.

Прямые прохождения не превышают 10%.

Фронт переходной характеристики при максимальной задержке не хуже 3 нсек.

Сумматор 006

Предназначен для выполнения логической операции "ИЛИ".
На входы подаются логические сигналы.

Принципиальная схема показана на рис. II. Входные сигналы через диодную сборку и ограничитель (D_1+D_4) подаются на базу транзистора T_4 токового ключа T_4T_5 . С коллектора T_5 сигнал по - дается на выходные токовые ключи T_6T_7 и T_8T_9 . Визуальная индикация выполнена на транзисторах T_1, T_2, T_3 и туннельном диоде D_9 . Фото передней панели показано на рис. I2.

Технические данные блока:

Число входов 3.

Число выходов 2..

Фронт и спад выходного сигнала 2,5' нсек при подаче на вход сигнала с фронтом не хуже 2,5 нсек.

Максимальная частота входного сигнала 70 Мгц.,

Максимальная длительность входного сигнала - постоянный ток.

Задержка выходного сигнала относительно входного 5 нсек.

В одном блоке - две схемн.

Разветвитель 007

Предназначен для разветвления логического сигнала.

Принципиальная схема показана на рис. I3.

Еходной логический сигнал через диодный ограничитель подается на токовый ключ T_1T_2 . Сигнал с коллектора T_2 управляет выходными токовыми ключами T_6T_7 , T_8T_9 , $T_{10}T_{11}$. Визуальная индикация выполнена на транзисторах $T_3T_4T_5$ и туннельном диоде D_7 . Фото передней панели показано на рис.14.

Технические данные блока:

Число входов 1.

Число выходов 3.

Фронт и спад выходных сигналов 3 нсек при подаче на вход сигнала с фронтом 2,5 нсек.

Максимальная частота входного сигнала 70 Мгц.

Максимальная длительность входного сигнала - постоянный ток.

Задержка выходного сигнала относительно входного 5 нсек.

В одном блоке - две схемы.

Ослабитель 008

Предназначен для уменьшения сигналов по амплитуде. Ослабление осуществляется с помощью симметричных П-образных звеньев на резисторах.

Принципиальная схема показана на рис.15.

Фото передней панели приведено на рис. 16.

Технические данные блока:

Число входов 1.

Число выходов 1.

Вход и выход взаимозаменяемы.

Максимальное регулируемое ослабление 46,5 дб.

Шаг изменения ослабления 0,5 дб.

Входное сопротивление и сопротивление нагрузки 100 ом.

При эксплуатации блока надо учитывать, что увеличение коэффициента ослабления и уменьшение длительности фронтов входных сигналов увеличивает выбросы на передней части выходных сигналов за счет прямого прохождения сигнала через проходные емкости тумблеров и резисторов.

Генератор 009

Предназначен для работы в качестве задающего генератора^{13/}.

Принципиальная схема приведена на рис.17.

Собственно генератор выполнен на туннельном диоде D_2 и транзисторах T_2T_3 . Диапазоны частот генератора определяются одной из подключенных емкостей $C_1 + C_7$. Плавная регулировка частоты внутри диапазона осуществляется переменным сопротивлением R_{10} . Длительность выходных сигналов определяется постоянной времени дифференцирующей цепочки $R_{15} (C_{13} + C_{21})$, включенной в эмиттер транзистора T_5 . Сигнал с коллектора T_5 , слегка ограниченный по амплитуде обращенным диодом D_4 , через транзисторы T_6T_7 подается на выходные ключи T_8T_9 , $T_{10}T_{11}$, $T_{12}T_{13}$, $T_{14}T_{15}$. С коллектора T_{14} снимается дополнительный сигнал для синхронизации осциллографов. Подключение эмиттерного повторителя на T_1 в цепь обратной связи переводит схему в ждущий режим. В этом случае запуск генератора осуществляется от кнопки K_1 .

Фото передней панели показано на рис.18.

Технические данные блока:

Число выходов 4 и I дополнительный.

Частота генерации I гц + 90 Мгц.

Длительность выходных сигналов 5,7,10,30 нсек и 0,1;0,3; 1;3 и 10 мксек.

Фронт выходных сигналов 2,5 нсек.

Одновибратор О10

Предназначен для формирования сигналов по длительности /4/.

Принципиальная схема показана на рис.19.

Два простых одновибратора ($T_3T_4T_7$ и $T_{11}T_{12}T_{13}$), включенных последовательно, запускаются через входной ключ T_1T_2 , управляемый выходным сигналом. Выходные сигналы простых одновибраторов суммируются по длительности на туннельном диоде TD_I . Усиленный транзистором T_{15} суммарный сигнал с туннельного диода подается на выходные ключи $T_{21}T_{22}$ и $T_{23}T_{24}$. Сигнал первого одновибратора одновременно подается на выходной токовый ключ T_5T_6 . Для заполнения провала между сигналами простых одновибраторов на суммирующий туннельный диод с коллектора T_6 подается задержанный дополнительный сигнал через транзистор T_{10} . Задержка осуществляется П-образным LC звеном ($L_2 C_{15} C_{17}$). $T_{19}T_{20}$ - выходной токовый ключ для сигнала, приведенного по времени к заднему фронту суммарного сигнала. Диапазоны длительностей выходных сигналов задаются емкостями с помощью переключателя P_I , плавное изменение длительности внутри диапазона осуществляется изменением токов через T_7 и T_{13} с помощью потенциометра R_{33} . Транзисторы T_8 и T_{14} служат для разделения времязадающих цепей простых одновибраторов. Визуальная индикация работы блока выполнена на транзисторах $T_{16}T_{17}T_{18}$ и туннельном

диоде ТД₂. Транзистор Т₉ служит для задания напряжения -4в. Фото передней панели показано на рис.20.

Технические данные блока:

Число входов I.

Минимальная длительность входных сигналов 5 нсек.

При t_u входа $> t_u$ вых. наблюдается повторное срабатывание.

Длительности выходных сигналов

от 100 нсек до секунды - 2 выхода (основные).

от 50 нсек до 0,5 секунды - I выход (первая половина основного),

20 + 30 нсек - I выход (временное положение соответствует заднему фронту основного);

Мертвое время по основным выходам не более 20 нсек.

Задержка основных выходных сигналов относительно входного не более 10 нсек.

Ослабитель ОII

Блок предназначен для уменьшения сигналов по амплитуде.

Принципиальная схема приведена на рис.21. Ослабление осуществляется с помощью несимметричных Г-образных звеньев на резисторах. Достоинством блока является малое влияние проходных емкостей тумблеров и резисторов даже при больших коэффициентах ослабления.

Фото передней панели показано на рис.22.

Технические данные:

Число входов I.

Число выходов I.

Максимальное регулируемое ослабление 46,5 дб.

Шаг изменения ослабления 0,5 дб.

Входное сопротивление и сопротивление нагрузки 100 ом.
Собственный фронт переходной характеристики 2,5 нсек.

Детектор нуля О13

Предназначен для выделения момента прохождения через нулевой уровень сигнала биполярной формы /5/.

Принципиальная схема приведена на рис.23.

Входной биполярный сигнал через диодный ограничитель $D_3 + D_8$ и усилитель-ограничитель на $T_1 T_2$ поступает на туннельный диод D_{11} , рабочая точка которого в исходном состоянии находится на диффузионной ветви характеристики. Отрицательной частью входного сигнала рабочая точка туннельного диода переводится с диффузионной ветви на туннельную ветвь. В исходное состояние туннельный диод возвращается в момент перехода биполярного входного сигнала от отрицательной части к положительной. Порог срабатывания туннельного диода регулируется сопротивлением R_{10} , порог возврата в исходное состояние регулируется величиной отрицательной обратной связи с помощью сопротивления R_{17} , выведенного на переднюю панель. Транзисторы T_3 и T_4 являются передаточным звеном в цепи отрицательной обратной связи. С коллектора T_3 сигнал подается на запуск формирователя длительности выходного сигнала ($D_{12} + D_{14}$, T_{10}, T_{11}, T_5, T_6 и $T_{12}, C_8 + C_{11}$). Выходные ключи выполнены на транзисторах $T_{13} T_{14}$ и $T_{15} T_{16}$. Визуальная индикация работы блока выполнена на транзисторах $T_7 T_8 T_9$ и туннельном диоде D_{15} . Фото передней панели показано на рис.24.

Технические данные:

Число входов 1.

Порог срабатывания для отрицательной части биполярного сигнала 0,1 в.

Максимальная амплитуда входных сигналов 10 вольт.

Минимальная длительность отрицательной части биполярного входного сигнала по основанию 10 нсек..

Число выходов 2..

Длительность выходных сигналов 10,30,100 или 300 нсек..

Фронт и спад выходных сигналов 2,5 нсек..

Задержка выходного сигнала относительно момента перехода входного сигнала через нуль 10 нсек..

Регулировка порога возврата (относительно нулевого уровня) от -50 до +50 мв..

Температурная нестабильность 10 псек на 1°C .

Дискриминатор ОI4 (интегральный)

Предназначен для преобразования сигналов с фотоумножителей в логические сигналы и для восстановления сигналов по амплитуде во вторичных цепях.

Принципиальная схема приведена на рис.25.

Блок выполнен на базе схемы и печатной платы формирователя 003. Отличие данной схемы состоит в наличии ослабителя на входе дискриминатора (R_1 R_2 и переключатель B_I), в увеличении токов через транзисторы T_1 и T_2 , а также в наличии потенциометра R_{15} , выведенного на переднюю панель, с помощью которого осуществляется плавная регулировка порога дискриминации. Фото передней панели показано на рис.26.

Технические данные:

Число входов 1..

Порог дискриминации меняется плавно от 0,1 до 0,3 вольта и грубо -

переключателем в 3 раза .

Нестабильность порога срабатывания 2%.

Максимальная амплитуда входных сигналов 10 в .

Максимальная частота входных сигналов 60 МГц .

Число выходов 2.

Длительность выходных сигналов 5,7,12 и 18 нсек.

Фронт и спад выходных сигналов 2,5 нсек .

Задержка выходных сигналов относительно входных 8 нсек.

Дискриминатор ОI5

(интегральный)

Предназначен как для преобразования сигналов с фотоумножителей в логические сигналы, так и для формирования импульсов ворот. Принципиальная схема приведена на рис. 27.

Блок выполнен на базе схемы и печатной платы формирователя ООЗ. Отличие ее от схемы дискриминатора ОI4 состоит в том, что одновибратор, задающий длительность выходных сигналов, выполнен по схеме с задержанной отрицательной обратной связью. Сигнал обратной связи снимается с коллектора T_6 выходного токового ключа, задерживается кабелем, подключенным к разъемам Ш_2 и Ш_3 , и через транзистор T_3 подается на сброс туннельных диодов.

Фото передней панели показано на рис.28.

Технические данные:

Число входов 1 .

Порог дискриминации меняется плавно от 0,1 до 0,3в и грубо-переключателем в 3 раза .

Нестабильность порога срабатывания 2% .

Максимальная амплитуда входных сигналов IOв.

Число выходов 2.

Длительность выходных сигналов 7 нсек + время задержки кабеля.

Фронт и спад выходных сигналов 2,5 нсек.

Мертвое время схемы равно удвоенной длительности выходного сигнала.

Задержка выходного сигнала относительно входного 8 нсек.

Удлинитель ОI6

Предназначен для линейного пропускания наносекундных сигналов с одновременным удлинением их до длительности ($t_u = 1$ мсек), обеспечивающей нормальную работу входных устройств многоканальных анализаторов /6/.

Принципиальная схема приведена на рис.29.

Схема работает в двух режимах: без управления и с управлением. Переход из одного режима в другой осуществляется с помощью переключателя П₁. В режиме без управления происходит пропускание сигнала на выход через диодный ограничитель Д₂+Д₈, транзисторы Т₄Т₃, диод Д₁ и эмиттерный повторитель на Т₆ с удлинением его на емкости С₁₂. В режиме с управлением схема выполняет функции "линейных ворот" с удлинением входного сигнала. В этом же режиме можно стробировать постоянное (или медленно меняющееся) напряжение, поданное на вход, логическим сигналом наносекундной длительности, поданным на вход управления.

В отсутствие сигнала управления транзистор Т₅ открыт и входной сигнал шунтируется эмиттером открытого транзистора Т₅.

Сигнал управления через транзисторы T_1T_2 закрывает транзистор T_5 , и входной сигнал поступает через диод D_1 и эмиттерный повторитель на T_6 на выход. Резистор R_4 позволяет регулировать амплитуду pedestala от сигнала управления. Транзисторы T_7T_8 служат для задания $+4в$. Одновибратор на туннельном диоде D_{II} и усилители-инверторы на T_9T_{10} вырабатывают сигнал управления анализатором, привязанный по времени к входному сигналу управления.

Фото передней панели показано на рис.30.

Технические данные:

Число входов 2. Вход для линейно передаваемого сигнала и вход для логического сигнала управления.

Число выходов 2. Выход для линейно передаваемого сигнала и выход для сигнала управления анализатором.

Интегральная нелинейность передачи не хуже 1% при амплитуде выходного сигнала не более 0,25 в и частоте следования не более 0,5 Мгц.

Температурная нестабильность передачи 0,1% на 1°С.

Наименьшее время открывания и закрывания "ворот" по 5 нсек.

Длительность выходного логического сигнала управления анализатором 1 мксек; задержка относительно входного - 5 нсек.

Форма выходного линейного сигнала - экспонента с $\tau_{\text{в}} = 1$ мксек.

Конвертор ОI7

Предназначен для преобразования интервалов времени между двумя сигналами в амплитуду выходного сигнала I/I . Принципиальная схема конвертора приведена на рис.31.

Основным узлом конвертора является зарядово-разрядное устройство с дозирующими емкостями ($T_4, T_5 T_6$ и $C_{16} + C_{25}$).

Входной стартовый логический сигнал через диодный ограничитель на D_3, D_4, D_5, D_7, D_8 и усилитель-инвертор перебрасывает туннельный диод TD_1 на диффузионную ветвь. Напряжение с туннельного диода через транзисторы T_2 и T_3 поступает на зарядную часть схемы. Вначале запирается T_6 , который в исходном состоянии насыщен, затем через 15 нсек, задаваемые линией задержки $ЛЗ_1$, запирается T_4 . Током открывшегося T_5 заряжается дозирующая емкость.

Входной стоповый логический сигнал через диодный ограничитель $D_9 + D_{13}$ и усилитель-инвертор перебрасывает туннельный диод TD_2 на диффузионную ветвь. Напряжение с туннельного диода через $T_8 T_9$ подается на базу T_5 , закрывая его. Ток зарядки прекращается. Напряжение на дозирующей емкости фокусируется до момента открывания транзистора T_6 . Транзистор T_6 открывается и разряжает дозирующую емкость после того, как туннельные диоды возвращаются в исходное состояние током T_{12} , который открывается через 1 мсек после прихода стопового сигнала. При приходе только стартового сигнала возврат туннельного диода TD_1 происходит током транзистора T_{20} . Выходная часть блока для линейного сигнала выполнена на транзисторах $T_{13} + T_{19}$.

Фото передней панели показано на рис. 32.

Технические данные:

Число входов 2: вход "Старт" и вход "Стоп".

Диапазоны преобразования: 50, 100, 250, 500 нсек; 1, 2, 4, 8, 16 мсек.

Электрическое разрешение схемы не хуже 10 псек.

Интегральная нелинейность 1%.

Максимальные загрузки - 30 тысяч преобразований в секунду.

Число выходов 2: выход "Анализ" и выход "Управление".

Длительность выходных сигналов 1 мсек.

Амплитуда выхода "Анализ" пропорциональна преобразуемому интервалу, но не более 0,3 в.

Амплитуда выхода "Управление" 0,8 в.

Сумматор О18

Предназначен для выполнения логической операции "ИЛИ".

На входы подаются логические сигналы.

Принципиальная схема показана на рис.33.

Блок выполнен на базе принципиальной схемы и печатной платы сумматора 006.

Входные сигналы через диодную сборку на 5 входов подаются на базу транзистора T_4 токового ключа T_4T_5 . С коллектора T_5 сигнал идет на выходные токовые ключи T_6T_7 и T_8T_9 . Визуальная индикация выполнена на транзисторах $T_1T_2T_3$ и туннельном диоде D_9 . Фото передней панели показано на рис.34.

Технические данные:

Число входов 5.

Число выходов 2.

Фронт и спад выходного сигнала 2,5 нсек при подаче на вход сигнала с фронтом не хуже 2,5 нсек.

Максимальная частота входного сигнала 70 Мгц.

Максимальная длительность входного сигнала - постоянный ток.

Задержка выходного сигнала относительно входного 5 нсек.

Усилитель О19

Неперегружающийся усилитель предназначен для усиления сигналов во временных каналах спектрометрических трактов.

Принципиальная схема показана на рис.25 .

Она представляет последовательное соединение трех каскадов дифференциальных усилителей напряжения (T_1T_2 , T_3T_4 , T_5T_6) и двух выходных каскадов, работающих как усилители тока (T_7T_8 и T_9T_{10}). Связь между каскадами - емкостная. На входе усилителя имеется ослабитель на 42 дБ, выполненный на Г-образных звеньях.

Фото передней панели показано на рис.36.

Технические данные:

Число входов 1 .

Число выходов 2 .

Коэффициент усиления 200 .

Фронт собственной переходной характеристики усилителя 7 нсек .

Собственные шумы усилителя на выходе 10 мв .

Интегральная нелинейность передачи при выходном сигнале не более 1 в и частоте следования входных сигналов не более

60 Мгц не хуже 2% .

Температурная нестабильность коэффициента усиления 0,1% на 1°C.

Задержка выходного сигнала относительно входного 15 нсек.

Задержка (мксек) О20

Предназначена для работы с микросекундными линейными и логическими сигналами.

Принципиальная схема показана на рис.37.

Выполнена на дискретных микросекундных линиях задержки и тумблерах МТ-3.

Для компенсации затухания сигнала в линиях и согласования входного сопротивления схемы с волновым сопротивлением линий на входе стоит дифференциальный усилитель на транзисторах T_1T_2 . Сигнал с линий через эмиттерный повторитель на T_3 подается на выходные токовые ключи T_4T_6 и T_5T_7 , работающие в линейном режиме.

Фото передней панели показано на рис.38.

Технические данные:

Число входов 1.

Число выходов 2.

Максимальная регулируемая задержка 16 мксек.

Шаг изменения задержки 0,12 мксек.

Фронт собственной переходной характеристики 50 нсек при $t_{зад} = 0$ и 1 мксек при $t_{зад} = 16$ мксек.

Коэффициент передачи 1,3 при $t_{зад} = 0$ и 0,65 при $t_{зад} = 16$ мксек.

Интегральная нелинейность передачи при выходном сигнале не более 1 в - 1%.

Температурная нестабильность коэффициента передачи 0,1 на 1°C.

Температурная нестабильность нулевого выходного уровня 1 мв на 1°C.

Интенсиметр 022

Предназначен для измерения скорости счета по стрелочному прибору. Блок выполнен на базе печатной платы и принципиальной схемы блока "Дискриминатор 002". Принципиальная схема интенсиметра приведена на рис.39.

Отличительной особенностью схемы интенсиметра по сравнению

со схемой дискриминатора 002 является:

1) отсутствие элементов, позволяющих изменять порог дискриминации;

2) наличие большего числа емкостей, служащих для регулировки длительности сигналов выходного одновибратора на туннельном диоде ПП₂₃ ("интенсивность");

3) меньший переключаемый ток выходных токовых ключей и наличие в коллекторах выходных транзисторов интегрирующих цепей с изменяемым временем интегрирования;

4) наличие кнопки "сброс", позволяющей закорачивать интегрирующие емкости в коллекторах выходных транзисторов.

Фото передней панели показано на рис.40.

Технические данные:

Число входов 1.

Входной сигнал - логический, длительностью больше 5 нсек.

Диапазоны измеряемых скоростей ("интенсивность")

$0,3 \cdot 10^2$; 10^2 ; $0,3 \cdot 10^3$; 10^3 ; $0,3 \cdot 10^4$; 10^4 ; $0,3 \cdot 10^5$; 10^5 ;

$0,3 \cdot 10^6$; 10^6 импульсов в секунду.

Число выходов 2. Выход "100 мка" служит для подключения микроамперметра, чувствительностью 100 мка на шкалу; выход "1 вольт" служит для подключения вольтметра с входным сопротивлением не менее 10 ком и чувствительностью 1 вольт на шкалу.

Точность измерения скорости счета 1%.

Время интегрирования 0,5; 1; 2; 4 и 8 сек.

Допускается последовательное включение нескольких измерительных приборов к выходу "100 мка".

Линейный формирователь 023

Блок предназначен для линейного формирования сигналов в спектральных каналах при работе со спектрометрами NaJ и полупроводниковыми детекторами с умеренным разрешением .

Принципиальная схема блока показана на рис.41.

Входной сигнал через мостиковый диодный ограничитель подается на транзистор T_I . В эмиттере транзистора стоит дифференцирующая цепочка ($R_{12} + R_{17}$) $C_{12} + C_{21}$. В коллекторе T_I имеются интегрирующие емкости $C_3 + C_{II}$, C_{49} . Сигнал с интегрирующих емкостей подается на базу транзистора T_3 , в эмиттере которого включена дифференцирующая цепочка ($R_{21} + R_{26}$) $C_{27} + C_{36}$. Сигнал после второго дифференцирования, снятый с коллектора T_3 , через эмиттерный повторитель на транзисторе T_5 подается на выходные токовые ключи T_6, T_7 и T_8, T_9 , работающие в линейном режиме. Транзисторы T_2 и T_4 являются токозадающими для T_I и T_3 .

Фото передней панели показано на рис.42.

Технические данные:

Число входов 1 .

Число выходов 2 .

Постоянная времени интегрирования от 20 нсек до 10 мсек .

Постоянная времени 1-го и 2-го дифференцирования от 20 нсек до 100 мсек .

Коэффициент передачи сигнала с выключенными цепями формирования 1,5 .

Формирователь линеен до 20 ма выходного тока .

Интегральная нелинейность не более 1% .

Температурная нестабильность коэффициента передачи не более 0,1% на 1°C.

Совпадения 024
(мажоритарные)

Предназначена для выполнения логической операции "И", если число совпавших сигналов больше заданного или равно ему ("кратность").

Блок выполнен на базе схемы и печатной платы блока "совпадения 004".

Принципиальная схема показана на рис.43.

Отличительной особенностью схемы является:

1) отсутствие элементов, включающих и выключающих каналы совпадения ;

2) наличие переключателя, задающего "кратность" совпадений. Остальные элементы повторяют схему "совпадения 004".

Фото передней панели показано на рис.44.

Технические данные:

Число входов совпадений 4.

Число входов антисовпадений 1.

Кратность совпадений 1,2,3 или 4.

Разрешающее время задается длительностью входных сигналов.

Число выходов 2.

Длительность выходных сигналов 10,30,100 или 300 нсек.

Фронт и спад выходных сигналов 2,5 нсек.

Мертвое время схемы равно удвоенной длительности выходных сигналов.

Задержка выходных сигналов относительно входного 10 нсек.

Питание светодиодов 026

Предназначен для импульсного питания световых диодов.

Принципиальная схема показана на рис.45. Входной сигнал запускает одновибратор на транзисторах $T_{II}T_{IO}$. Максимальная частота срабатывания одновибратора около 10 кГц. Транзисторные ключи на T_9, T_8, T_7 формируют сигнал по длительности, амплитуде и усиливают по мощности. С коллектора T_7 сигнал подается на 6 выходных ключей $T_1, T_2, T_3, T_4, T_5, T_6$. Длительность выходных сигналов определяется величиной емкостей $C_1 \div C_6$ и частично индуктивностями $L_1 \div L_6$. Потенциометры $R_1, R_3, R_5, R_7, R_9, R_{11}$ позволяют поканально регулировать амплитуду выходного сигнала.

Схема и печатная плата допускают увеличение числа выходных каскадов до 8.

Фото передней панели показано на рис.46.

Технические данные:

Число входов 1.

Входной сигнал логический длительностью больше 15 нсек.

Частота повторения входного сигнала до 10 кГц.

Число выходов 6.

Длительность выходного сигнала 10 нсек.

Длительность переднего фронта выходного сигнала 2,5 нсек.

Амплитуда выходного сигнала на внешней нагрузке 50 ом регулируется в пределах от 5 до 35 в.

Нестабильность амплитуды выходного сигнала от температуры $\varphi, 1\%$ на 1°C .

Нестабильность временного положения выходных сигналов относительно входного и между собой 30 псек.

Задержка выходного сигнала относительно входного 16 нсек.

Регулятор амплитуды 027




Предназначен для изменения амплитуды логического сигнала. Используется для настройки и проверки блоков системы. Работает от логического входного сигнала.

Принципиальная схема блока приведена на рис.47. Она состоит из двух отдельных независимых схем. Входной сигнал через транзисторы T_1T_2 или T_5T_6 на время своего действия переключает выходные токовые ключи на T_4T_3 или T_7T_8 . Регулировка амплитуды выходного сигнала, снимаемого с токового ключа T_3T_4 , осуществляется изменением потенциалов баз транзисторов T_3T_4 , а следовательно, и переключением выходного тока с помощью гелипота R_8 . Регулировка амплитуды выходного сигнала, снимаемого с транзисторов T_7T_8 , осуществляется изменением переключаемого выходного тока путем изменения сопротивления в эмиттерах T_7T_8 .

Фото передней панели показано на рис. 48.

Технические данные:

Число входов 1.

Число выходов 2. Выход  допускает регулировку выходного сигнала от 2 до 20 ма. Выход  есть дополнительный к выходу .

Фронт и спад выходного сигнала не хуже 2 нсек при подаче на вход логического сигнала с фронтом 2,5 нсек.

Длительность выходного сигнала равна длительности входного.

В одном блоке 2 схемы.

Нестабильность выходной амплитуды сигналов, снимаемых с T_7T_8 , 1%.

В средней части блока имеется 50-омный П-образный ослабитель ("Ослабление $I/4$ ").

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Авторы благодарят А.Ф. Дунайцева и Г.Вервея за полезные обсуждения и передачу опыта эксплуатации подобных систем, З.Цисека и Б.Ю.Семенова за ценные советы при обсуждении отдельных блоков, В.М.Королева за участие в разработке блока одновибратора ОЮ; В.Устинова, Н.В.Богомолова, Н.Блинова, М.М.Петровского, Ю.И.Ильичева за монтаж при изготовлении головных образцов и малых серий блоков.

Авторы особо благодарны А.Н.Синаеву за постоянное внимание к работе над системой и за содействие при массовом изготовлении ее блоков.

Л И Т Е Р А Т У Р А

1. H. Verweij, Proc. Int. Symposium on Nuclear Electronics, Versailles (1968), Tome 1, 60.1 to 60.15.
2. H. Verweij, NIm. V.37. p. 309 (1965).
3. Д.Г.Будяшов, Д.М.Валуев, В.Г.Зинов, Б.С.Краснобородов. ПТЭ № 6, 1970, стр. 85.
4. Д.Г.Будяшов, В.Г.Зинов, В.М.Королев. ПТЭ № 1, 1972, стр. 101.
5. В.Ф.Борейко, В.М.Гребенюк, В.Г.Зинов. Препринт ОИЯИ, П13-6232, Дубна, 1972.
6. Д.Г.Будяшов, В.Г.Зинов, Б.С.Краснобородов. ПТЭ № 1, стр. 114, 1972.
7. Д.Г.Будяшов, В.Г.Зинов. ПТЭ № 4, 1968, стр. 102.

Рукопись поступила в издательский отдел
18 апреля 1972 г.

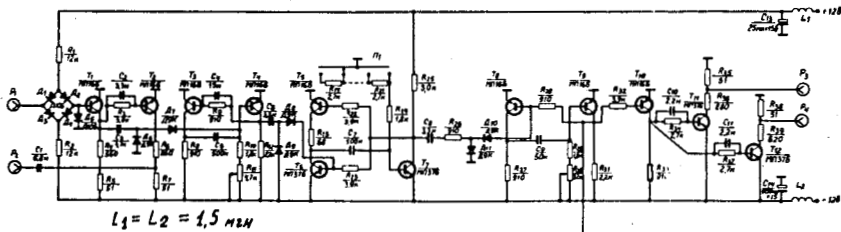


Рис.1. Принципиальная схема блока
"синхронизация от ускорителя
ООИ".



Рис.2. Фото передней панели блока "синхронизация
от ускорителя ООИ".

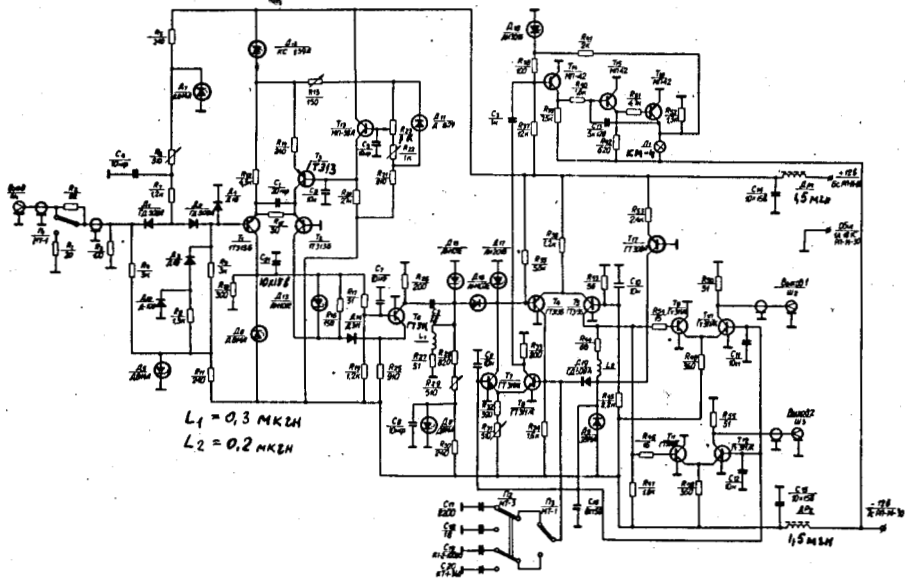


Рис.3. Принципиальная схема блока
"дискриминатор 002".



Рис.4. Фото передней панели блока
"дискриминатор 002".

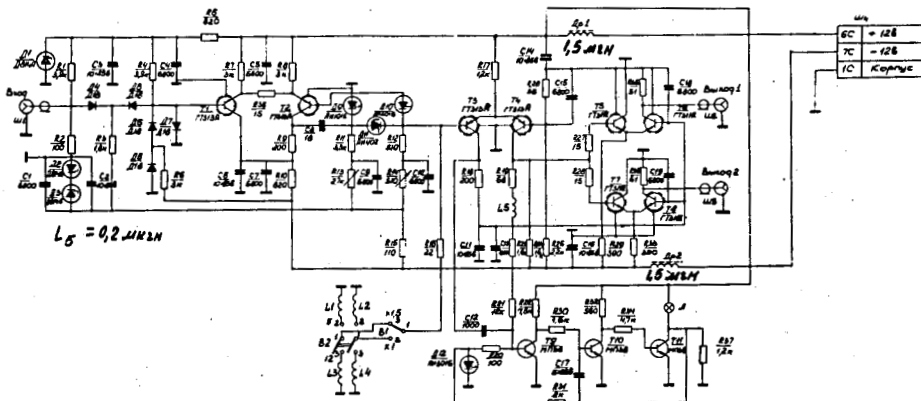


Рис.5. Принципиальная схема 1/2 блока "формирователь 003".

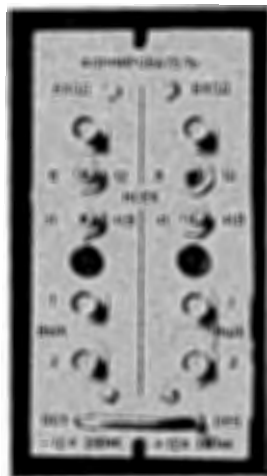


Рис.6. Фото передней панели блока "формирователь 003".

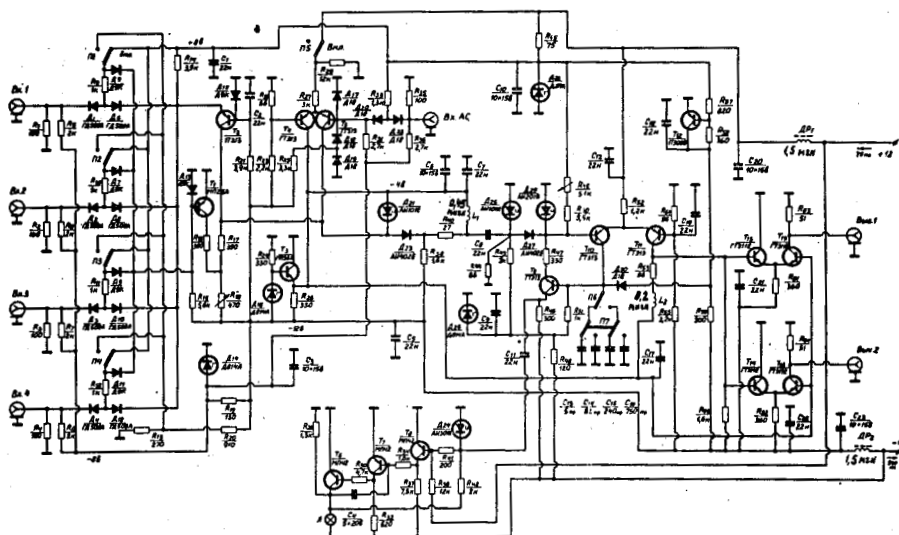


Рис.7. Принципиальная схема блока "совпадения 004".

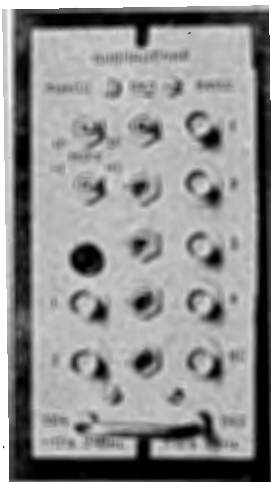
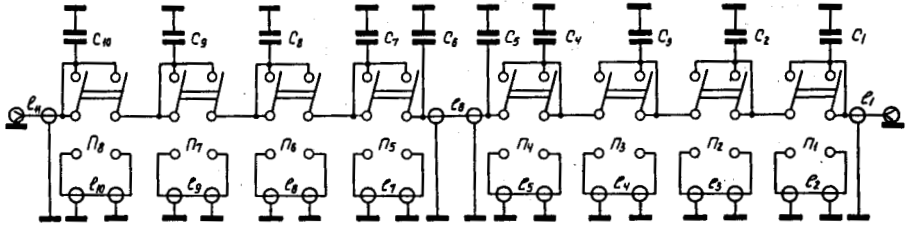


Рис.8. Фото передней панели блока "совпадения 004".



t задерж. нсек.	1	2	3	5 н. сек.		05	4	8	16	32
$C, см$	C_3	C_4	C_5	C_6	C_1	C_2	C_7	C_8	C_9	C_{10}
Марка кабеля	РК-50-4-11			РК-50-3-11		РК-50-4-11				

Рис.9. Принципиальная схема блока "задержка (нсек) 005"



Рис.10. Фото передней панели блока "задержка (нсек) 005"

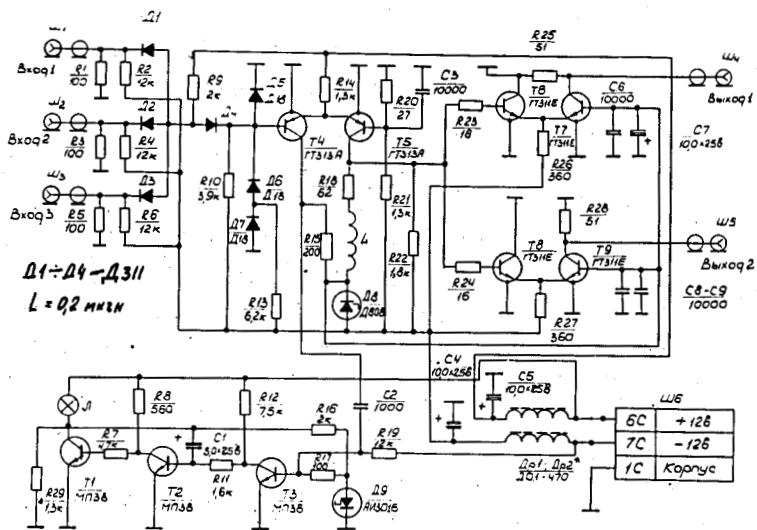


Рис.11. Принципиальная схема 1/2 блока "сумматор 006".

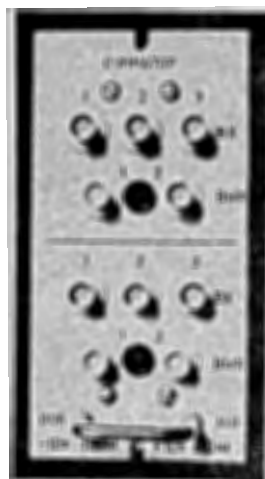


Рис.12. Фото передней панели блока "сумматор 006".

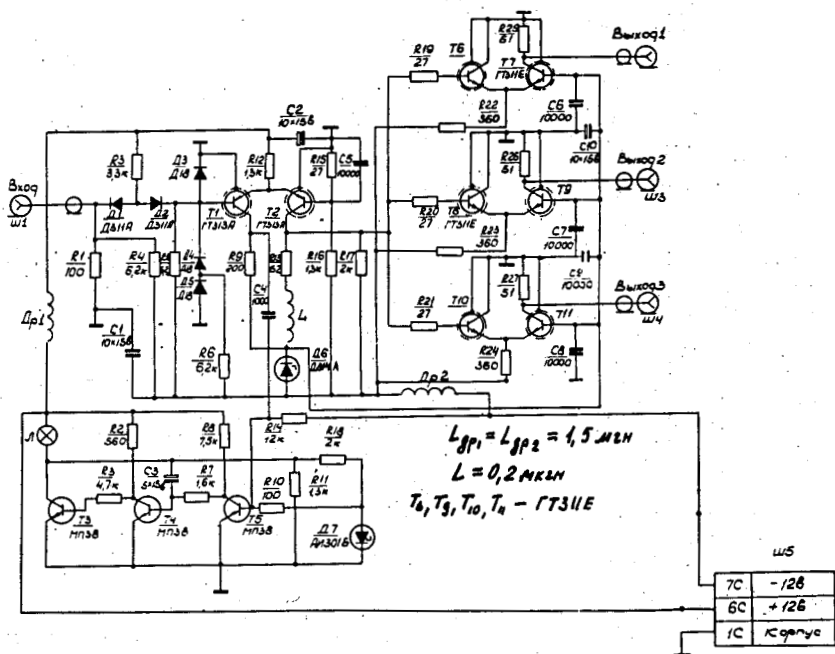


Рис.13. Принципиальная схема 1/2 блока "разветвитель 007"

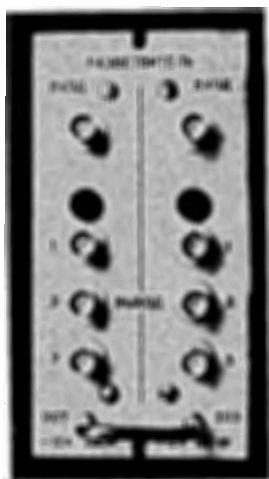
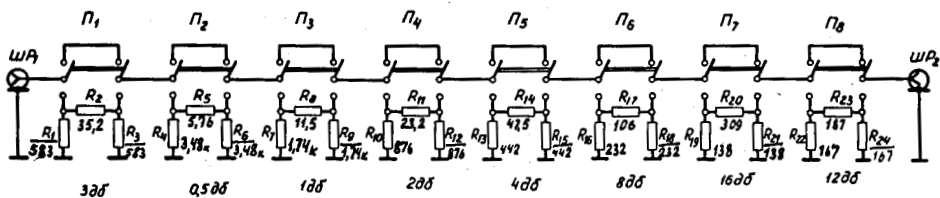


Рис.14. Фото передней панели блока "разветвитель 007".



Примечание. Вместо резистора БЛП можно использовать БЛП2.

Рис.15. Принципиальная схема блока "ослабитель 008".

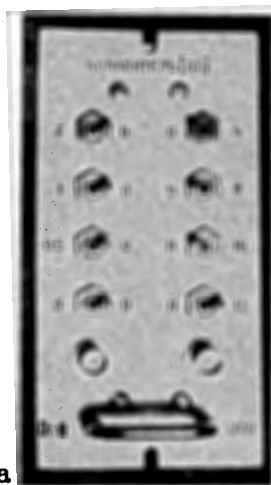


Рис.16. Фото передней панели блока "ослабитель 008".

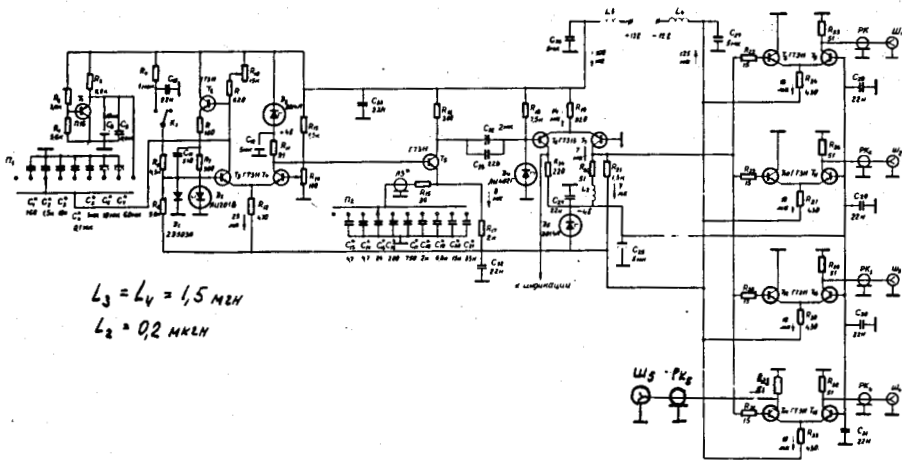
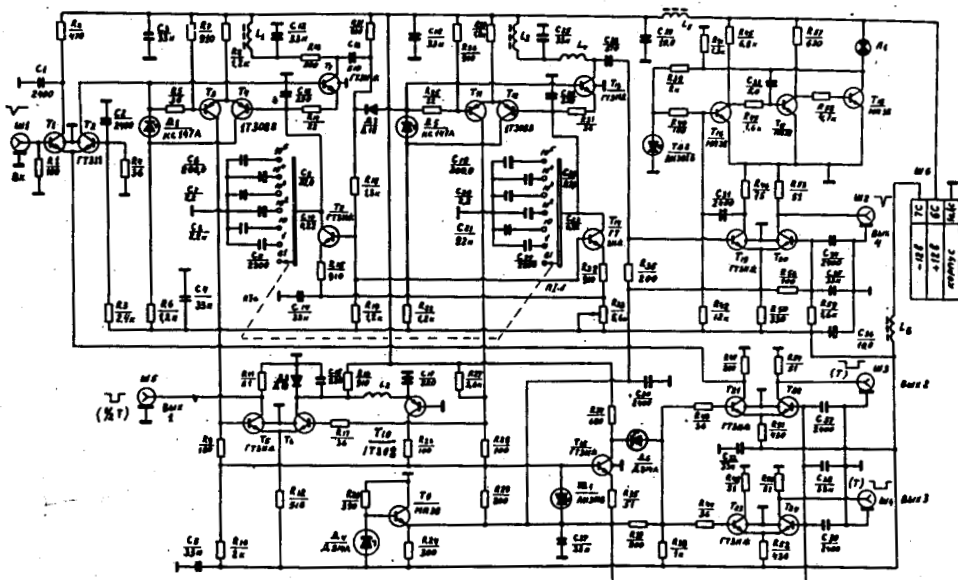


Рис.17. Принципиальная схема блока "генератор 009".



Рис.18. Фото передней панели блока "генератор 009".



1. Индуктивности L_1, L_2, L_3, L_4 выносятся
за пределы корпуса радио приемника
2. Индуктивности L_1, L_2 выносятся за пределы
корпуса радио приемника РМ-75-Г 38 Ватт

Рис.19. Принципиальная схема блока "одночастотный ОИО".

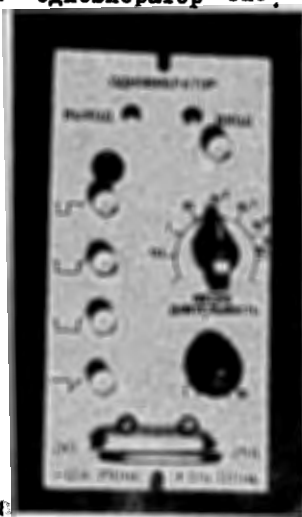
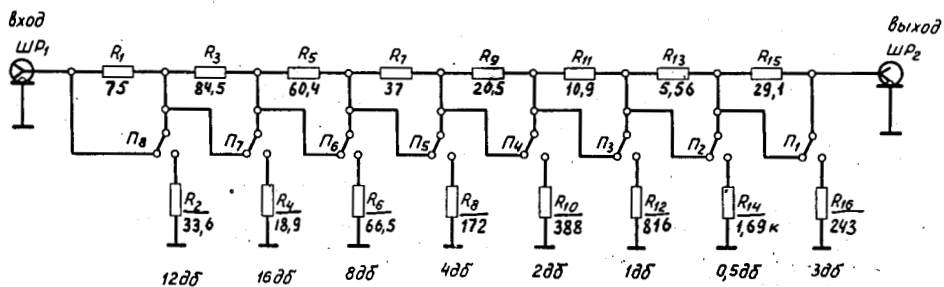


Рис.20. Фото передней панели блока
"одночастотный ОИО".



Примечание. Вместо резистора БЛП
можно использовать БЛПа.

Рис.21. Принципиальная схема блока "ослабитель ОИИ"



Рис.22. Фото передней панели
блока "ослабитель ОИИ"

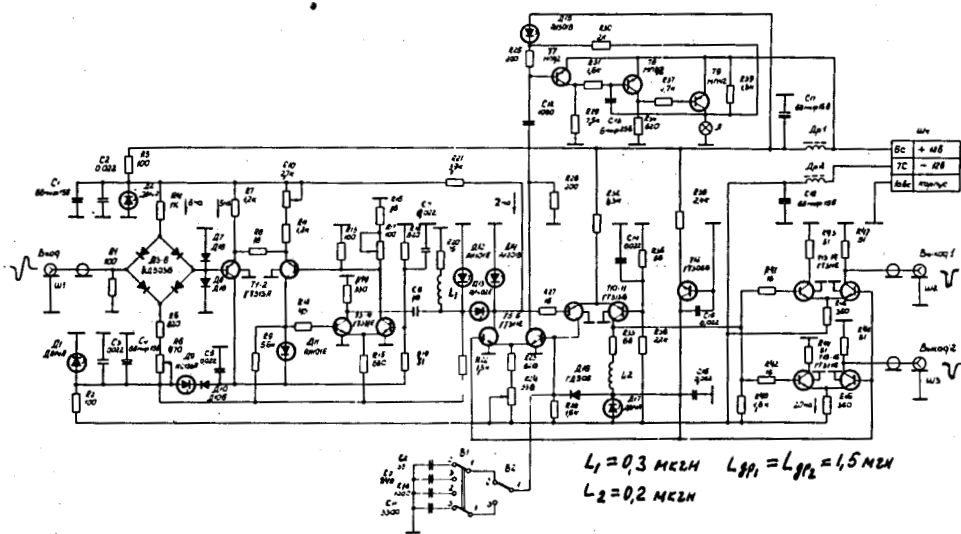


Рис.23. Принципиальная схема блока "детектор нуля О13".



Рис.24. Фото передней панели блока "детектор нуля О13".

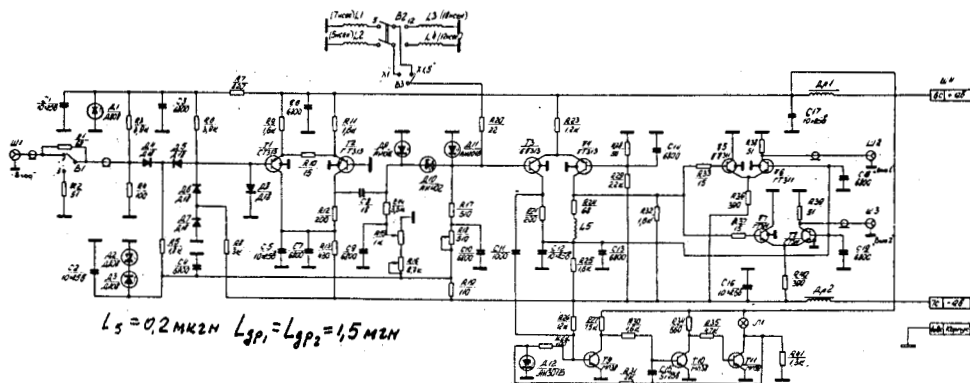


Рис.25. Принципиальная схема блока "дискриминатор ОI4".



Рис. 26. Фото передней панели блока "дискриминатор ОI4".

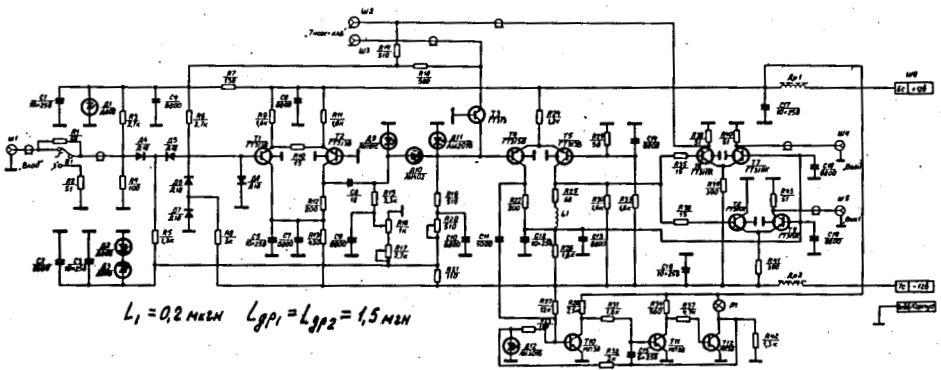


Рис. 27. Принципиальная схема блока "дискриминатор 015".



Рис. 28. Фото передней панели блока "дискриминатор 015".

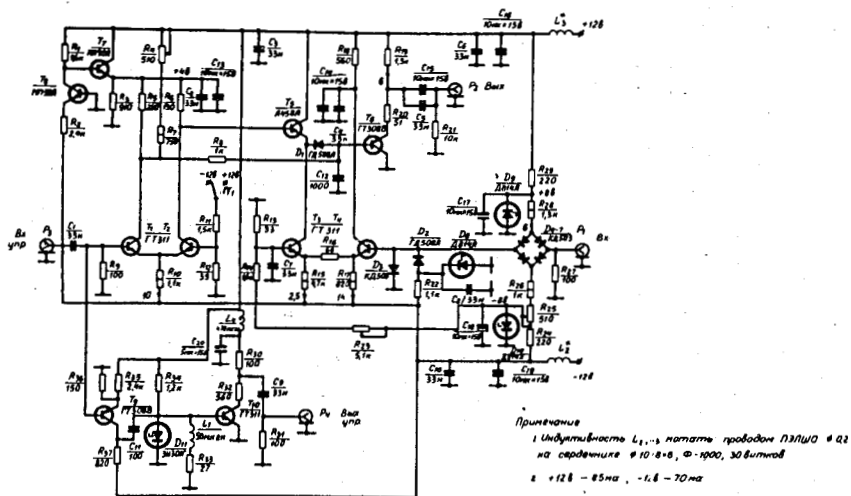


Рис. 29. Принципиальная схема блока "удлинитель 016".



Рис. 30. Фото передней панели блока "удлинитель 016".

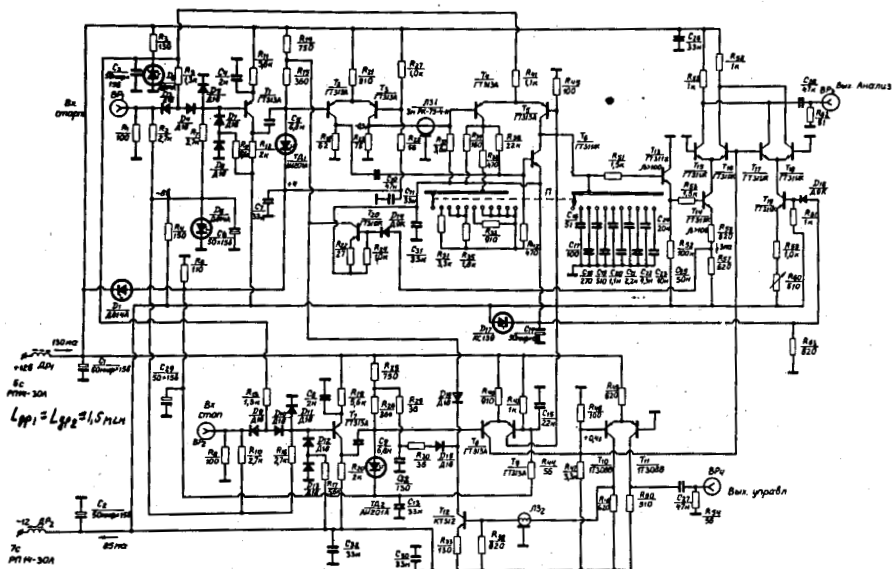


Рис. 31. Принципиальная схема блока "конвертор ОI7".



Рис. 32. Фото передней панели блока "конвертор ОI7".

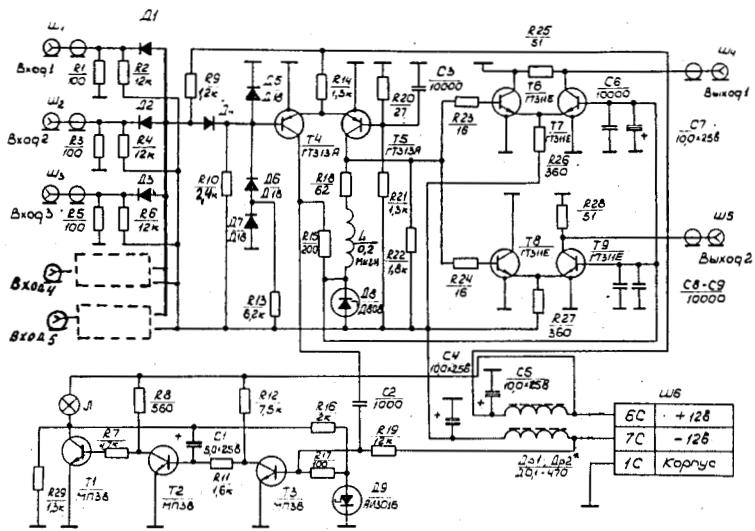


Рис. 33. Принципиальная схема блока "сумматор 018".

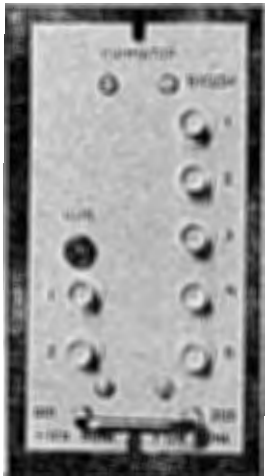
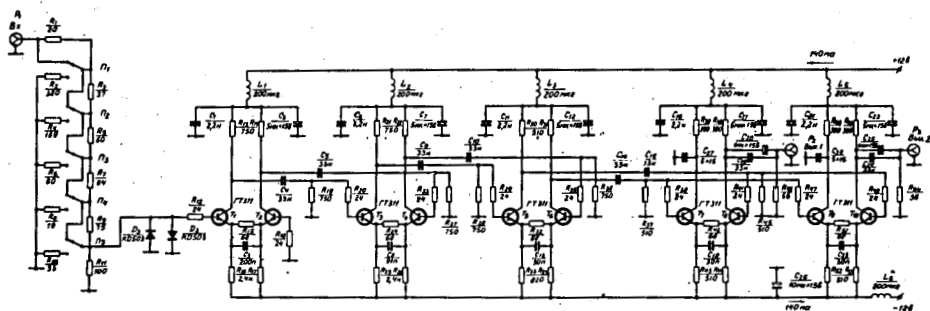


Рис. 34. Фото передней панели блока "сумматор 018".



Примечание

* Индуктивность L_1 катушки проводов ПЭ/ШО
 № 02 на сердечнике $\Phi 1000-10 \times 18$ 40 витков

Рис. 35. Принципиальная схема блока "усилитель O19"

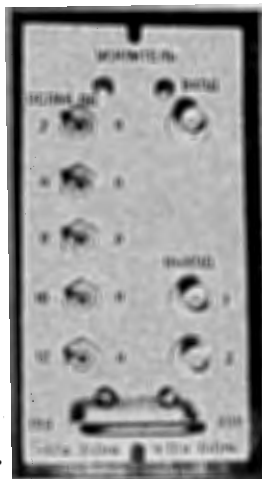


Рис. 36. Фото передней панели блока "усилитель O19".

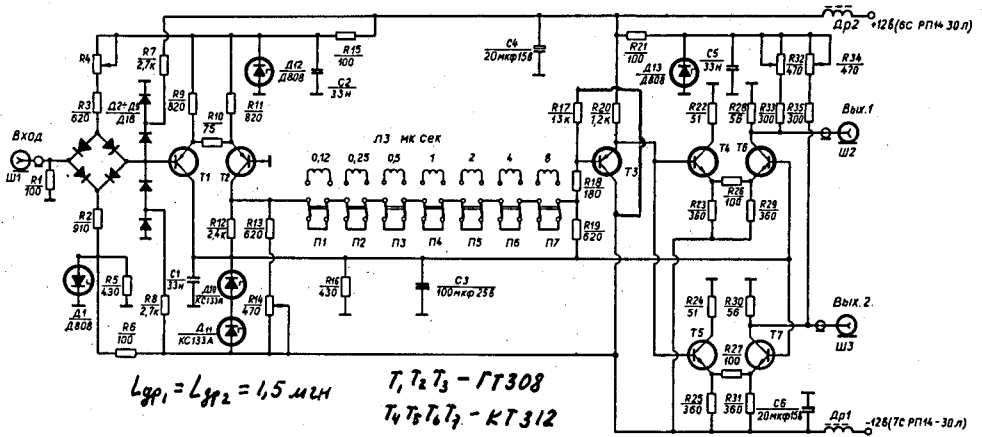


Рис. 37. Принципиальная схема блока "задержки 020".

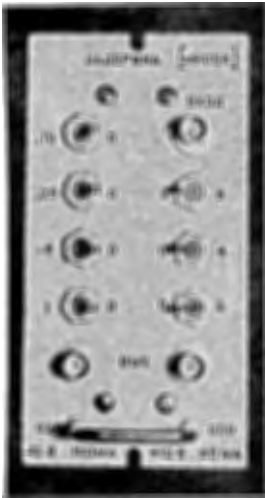


Рис. 38. Фото передней панели блока "задержки 020".

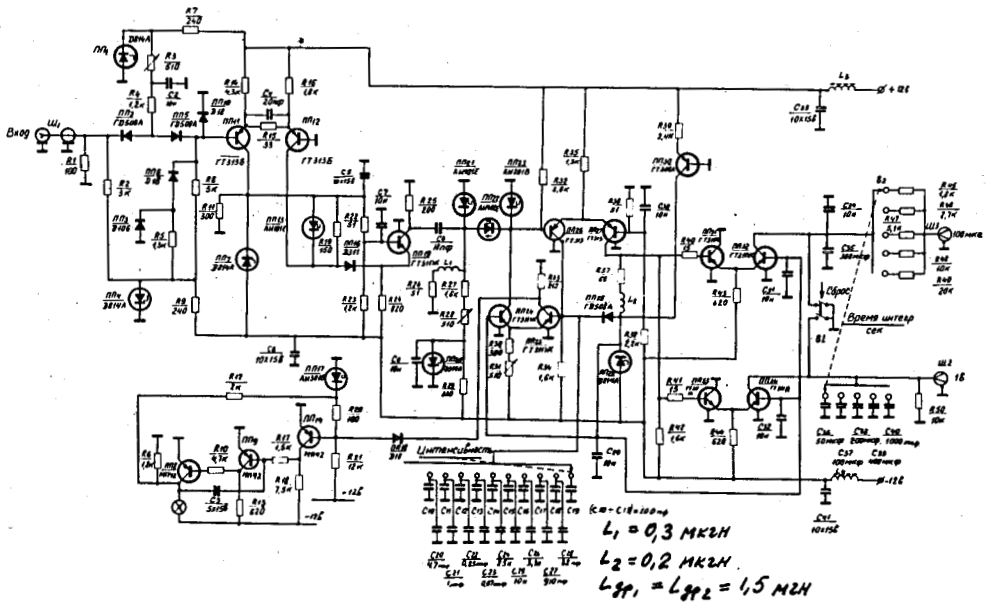


Рис. 39. Принципиальная схема блока "интенсиметр 022".

Рис. 40. Фото передней панели блока "интенсиметр 022".



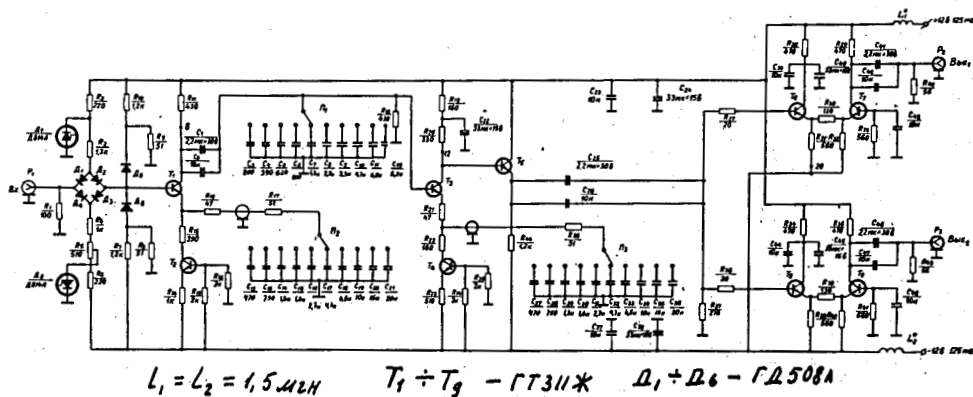


Рис. 41. Принципиальная схема блока "линейный формирователь 023".



Рис. 42. Фото передней панели блока "линейный формирователь 023".

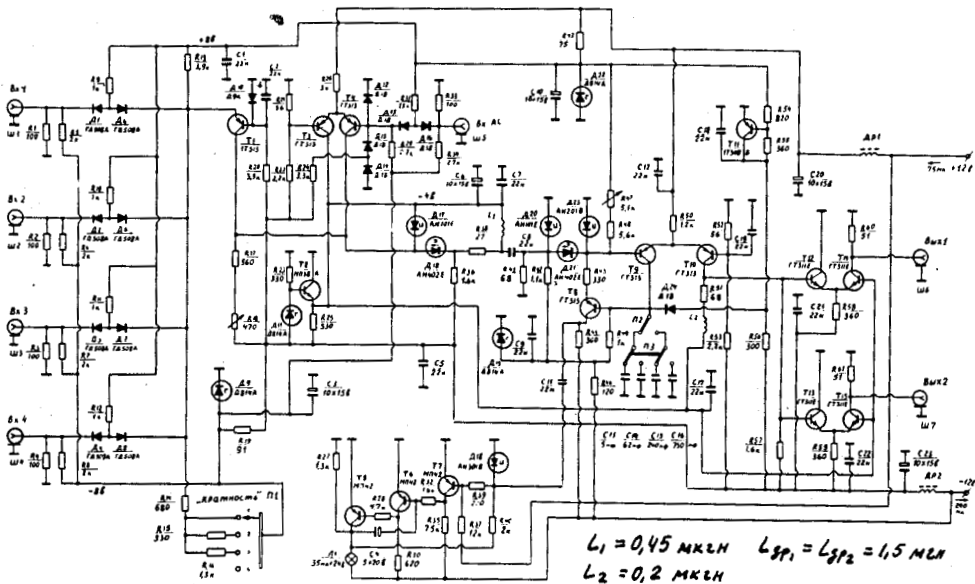


Рис. 43. Принципиальная схема блока "совпадения 024".



Рис. 44. Фото передней панели блока "совпадения 024".

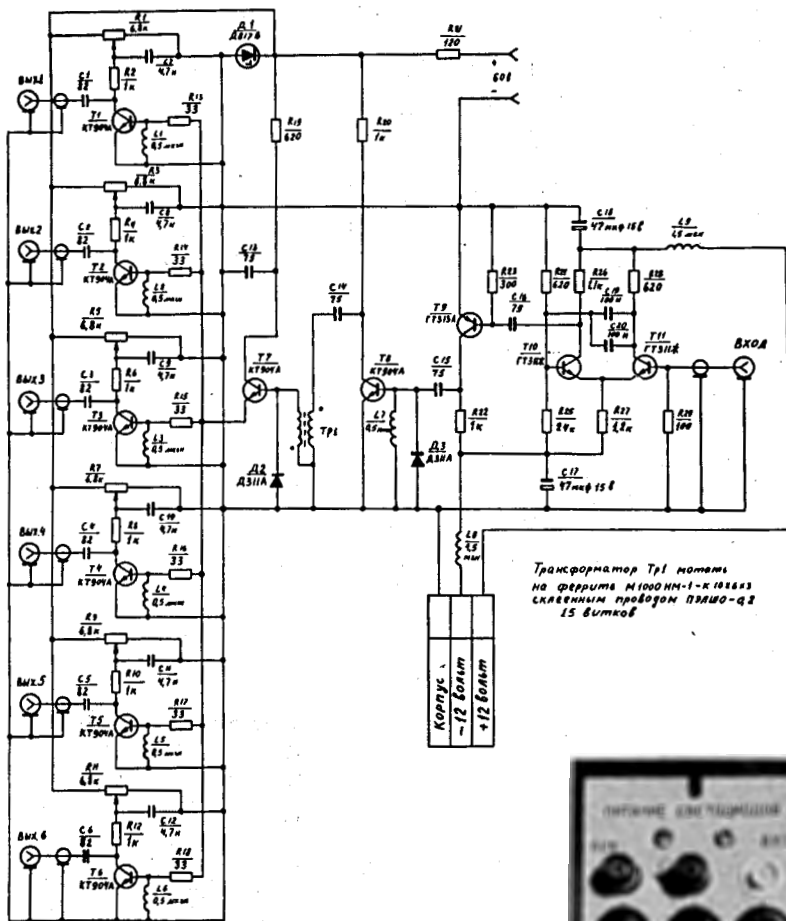
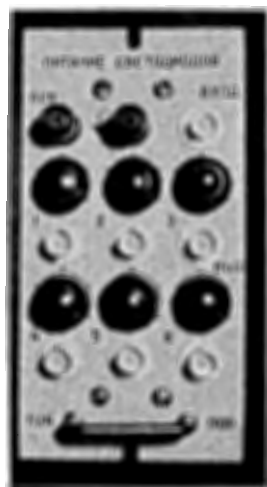


Рис. 45. Принципиальная схема блока "питание светодиодов 026"

Рис. 46. Фото передней панели блока "питание светодиодов 026"



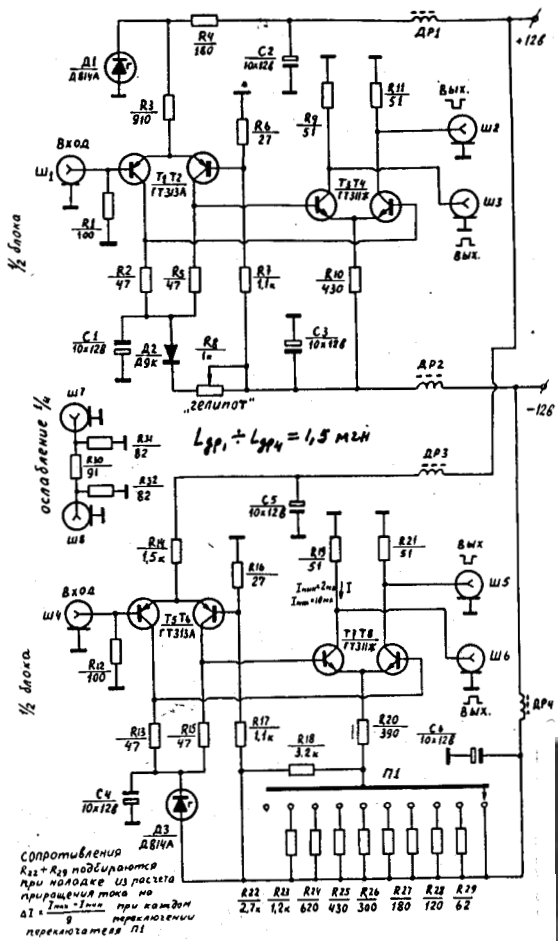


Рис. 47. Принципиальная схема блока "регулятор амплитуды 027"

Рис. 48. Фото передней панели блока "регулятор амплитуды 027"

