

СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

С. Г. Басиладзе

13 - 6383



С.Г.Басиладзе, В.Я.Гвоздев, И.Ф.Колпаков,
П.К.Маньяков, В.Тлачала

СИСТЕМА БЫСТРЫХ ЭЛЕКТРОННЫХ БЛОКОВ
В СТАНДАРТЕ " САМАС- ВИШНЯ "

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

1972

13 6383

С.Г.Басиладзе, В.Я.Гвоздев, И.Ф.Колпаков,
П.К.Маньяков, В.Тлачала

**СИСТЕМА БЫСТРЫХ ЭЛЕКТРОННЫХ БЛОКОВ
В СТАНДАРТЕ " САМАС- ВИШНЯ"**

В настоящей работе описывается новая модифицированная система блоков быстрой электроники счетчиков /1/. Проведенная работа по улучшению характеристик блоков позволила: 1) улучшить электрические и логические характеристики схем:

а) ввести единый выходной формирователь для всех логических схем с мертвым временем меньшим, чем время выдержки, и с наиболее гибкой логикой работы. 2/. Достичь плавной регулировки выходной длительности и возможности получения выходного сигнала как в наносекундном, так и в микросекундном и миллисекундном диапазонах;

б) ввести существенно расширяющие возможности блоков, инверсные логические выходы и непосредственные выходы не сформированных по длительности логических сигналов;

в) улучшить быстродействие логических блоков, довести выходные фронты до 1,8 нсек, а максимальную рабочую частоту до 100 МГц;

г) сделать все линейные блоки сопрягаемыми по входным-выходным сигналам. Расширить динамический диапазон всех линейных схем от 0 (-0,1) до -6в;

д) расширить временной диапазон всех линейных схем с тем, чтобы не было ограничений на фронты и длительности сигналов (выполнить их по постоянному току);

е) ввести электронное управление (аналоговым сигналом) важнейшими параметрами блоков - порогом и выходной длительностью. Обеспечить запрет срабатывания основных блоков логическими уровнями ТЛЛ (0+ +4в).

2) Улучшить конструктивно-технологические характеристики блоков:

а) существенно сократить размеры аппаратуры,

б) существенно сократить число типов блоков,

в) добиться снижения числа типов установочных изделий. Обеспечить большее удобство работы с блоками стандартизацией расположения конструктивных деталей и входных-выходных разъемов на передней панели;

г) достичь гибкости конструкции.

Конструктивно блоки в основном варианте выполнены в стандарте САМАС (рис.1). Это позволило:

а) достичь конструктивной совместимости с цифровыми блоками /З/, что существенно расширяет возможности построения различных устройств;

б) достичь снижения размеров аппаратуры, поскольку коэффициент использования передней панели в стандарте САМАС более 0,8, тогда как в стандарте "Вишня-160 (мм)" он составляет всего 0,6. Кроме того, в блоке САМАС лучшее соотношение между площадью платы и площадью передней панели, нежели в блоке "Вишня-160";

в) использование стандарта САМАС открывает возможности к постепенному переходу к блокам электроники с широким использованием интегральных схем;

г) использование международного стандарта дает возможность применения зарубежных блоков в аппаратуре.

Для обеспечения возможности использования новых блоков в прежней аппаратуре схемы могут быть выполнены также в стандарте "Вишня-160". Это достигнуто стандартизацией расположения схем на печатной плате (рис.2). Плата с размерами по стандарту САМАС $184 \times 255 \text{ мм}^2$ (сплошная линия) состоит из двух частей (штрих-пунктир) под блок "Вишня-160" с размерами $135 \times 184 \text{ мм}^2$. Каждая часть является автономной, схемы располагаются в прямоугольниках разме-

ром $110 \times 140 \text{ мм}^2$ (пунктир). Нижняя часть платы САМАС используется для печатных шин питания и управления, подведенных к печатному разъему. В блоках, где использование разъема САМАС не является обязательным, можно применить разъем МРН-32-1, который дублирует основной на каждой плате. Наконец, обрезав плату, по внешнему двойному штрих-пунктиру $215-270 \text{ мм}^2$, схемы можно разместить в блоке "Вишня-240".

Как и прежде, система состоит из трех групп блоков: логических (временных); линейных (аналоговых); блоков управления и преобразования сигналов. Укажем, для краткости, общие для всех схем характеристики.

Входное сопротивление [*]	- 50 ом (сигнал подводится по кабелю).
Полярность всех сигналов	- отрицательная.
Диапазон аналоговых сигналов электронного управления (с разъема питания)	- 0 + -6в.
Логические уровни сигналов запрета с разъема питания	- 0 + +4в.
Рабочий диапазон температур	- 0 + +40°С.

В большинстве блоков предусмотрены, кроме показателей, которыми они обладают в основном конструктивном варианте, т.н. дополнительные возможности, реализуемые либо при изменении числа или функций входных-выходных разъемов, либо при некоторых переключениях, производимых в схеме.

* /

Входы выполнены по постоянному току, постоянная составляющая на входах практически отсутствует. Коэффициенты отражения даны ниже для ступенчатых перепадов.

I. Логические блоки.

Логические блоки (рис.3) предназначены для работы с временными сигналами. Они осуществляют формирование стандартных логических сигналов, сдвиг их во времени, и реализуют основные логические функции. В число их входят:

- 1) Блок 111-4Ф1, счетверенный формирователь импульсов /2,4/.
- 2) Блок 121-Б31, блок задержки наносекундного диапазона.
- 3) Блок 131-2Р1, двояенный разветвитель импульсов.
- 4) Блок 141-2С1 двояенный смеситель импульсов.
- 5) Блок 151-СС1 четырехканальная мажоритарная схема совпадений с каналом антисовпадений (запрета) /2/.
- 6) Блок 152-2СС1, двояенная схема трехкратных совпадений с каналом антисовпадений /2/.
- 7) Блок 153-4СС2, счетверенная схема двойных совпадений с общим каналом запрета.

Все логические блоки (за исключением формирователя и задержки) предназначены только для работы со стандартными логическими сигналами с уровнями $U_{ГЛ}$.

Уровень логического "0"	- $0 \pm 0,1 \text{ в.}$
Уровень логической "1"	- $-0,7 \pm 0,9 \text{ в.}$
Порог срабатывания логических схем	- $-0,3 \pm 0,4 \text{ в.}$
Коэффициент отражения для перепадов с фронтами 1 нсек	- $0,15.$
Логические выходы выполнены на генераторах тока.	
Уровни выходных сигналов	- "0" - 0 ма, "1" - -16 ма.

Общим для всех логических схем, имеющих формуровку выходных сигналов по длительности, является также применение унифицированного выходного формирователя (УВФ) /4/ :

Уровень сигнала, запускаящего УВФ	- отрицательный импульс тока 8 ± 20 ма.
Фронт запускаящего перепада	- ≤ 3 нсек.
Допустимая длительность входного сигнала	- любая, свыше 5 нсек.
Мертвое время	- 10 нсек.
Количество выходов	- 3 независимых - два прямых, один инверсный.
Задержка УВФ	- 12 нсек.
Длительность выходных импульсов	- плавно регулируется в диапазоне 4±4) нсек.
Фронты выходных импульсов	- ≤ 1,8 нсек.
Максимальная частота срабатываний	- 100 Мгц во всем диапазоне выходных длительностей.
Температурный дрейф длительности выходных импульсов	- + 0,04 нсек/°С.

Управление: предусмотрена электронная регулировка длительности выходных сигналов с разъема питания в пределах диапазона, либо подача логического сигнала запрета срабатывания (выходное сопротивление ~ 1 к).

Дополнительные возможности: длительность выходных сигналов может быть увеличена в пределе до 4 мсек /2/ с регулировкой в границах десятикратного диапазона.

Если допустимо снижение максимальной рабочей частоты до 70 Мгц, диапазон выходных длительностей УВФ может быть расширен до 4±70 нсек.

Ниже приводится описание кратких характеристик логических

схем (за исключением указанных выше); для однократных и счетверенных блоков даются характеристики одной схемы (лишь потребляемые токи приведены для всего блока).

Счетверенный формирователь импульсов - 4Ф1.

Основное назначение формирователя (рис.3,4) - стандартизация отрицательных сигналов в широком диапазоне амплитуд и длительностей, в частности, импульсов ФЭУ. Он может быть также использован как интегральный дискриминатор в небольшом динамическом диапазоне и для удлинения (укорочения) стандартных логических сигналов. С помощью данного формирователя можно получить выходной сигнал также с продлением, либо с постоянной выходной длительностью /4/. Цепочка последовательно включенных от инверсных выходов формирователей обеспечивает разравнивание статистических временных интервалов.

Вход.

Коэффициент отражения	- 0,05 ($t_{и} \leq 2$ нсек)
Номинальная величина порога	- -0,1в либо -0,3в.
Диапазон регулирования порога	- от -50мв до -350мв.
Допустимый диапазон входных амплитуд	- + 50 в - в импульсе, ± 10 в - по постоянному току
Допустимые длительности входного сигнала	- любые, свыше 4 нсек.
Мертвое время	- равно большому из а) мертвого времени УФФ; б) длительности входного сигнала плюс 5 нсек.
Нестабильность порога	- ± 6 мв.

Температурный дрейф порога - $-0,7$ мв/град \pm .

Выход.

Выходной формирователь - унифицированный.

Задержка - а) 19 нсек для входного сигнала - 50 мв.
б) 17 нсек для входного сигнала - 100 мв.
в) 16 нсек для входных сигналов св. 200 мв.

Максимальная рабочая частота - 100 Мгц.

Управление. В схеме с разъема питания можно линейно управлять порогом срабатывания.

Диапазон управления порогом - 50 + 300 мв.

Входное сопротивление по входу управления - 1,2 к.

Дополнительные возможности. При необходимости формирователь можно настроить на срабатывание с постоянной длительностью выходного сигнала. Схема может быть настроена на срабатывание от положительных импульсов.

Токи, потребляемые блоком - -12 в - 560 ма.
 $+12$ в - 160 ма.

Блок задержки - БЗ1.

Блок задержки (рис. 3,5) предназначен для осуществления ступенчатой (с шагом 1 нсек) задержки сигналов в диапазоне 1 + 63 нсек.

Полоса пропускания блока - 0 + 200 Мгц.

Вход.

Коэффициент отражения - $\leq +0,08$.

Диапазон амплитуд - 0 + 200 в.

Выход.

Выходной импульс задерживается при включении тумблеров на - 1, 2, 4, 8, 16, 32 нсек.

Точность установки задержки - $\pm 4\%$.

Полная регулируемая задержка - 63 нсек.

Коэффициент прямого прохождения - $\leq 0,005$.

Амплитуда задержанного импульса длительностью 5 нсек - не менее 0,9 от входной амплитуды.

Время фронта нарастания и спада импульса	- $\leq 1,6$ нсек.
Собственная задержка	- 2,0 нсек.
Задержка на включение тумблера	- 0,3 нсек.

Сдвоенный разветвитель импульсов - 2PI.

Схема (рис. 3,6) предназначена для разветвления стандартных логических сигналов по четырем каналам и получения инверсного сигнала по пятому выходу. Вход и инверсный выход могут быть использованы для реализации генератора импульсов со скважностью - 2 (менандр) при помощи задержанной обратной связи (блок задержки).

Вход.

Длительность сигнала - любая, свыше 2,5 нсек.

Выход.

Число выходов - 4 прямых, 1 инверсный.

Фронты при ступенчатом входном сигнале - $\leq 1,8$ нсек.

Задержка - 5 ± 1 нсек.

Максимальная частота - 100 Мгц.

Минимальное время разрешения окончания предыдущего импульса и начала следующего - 2 нсек.

Токи, потребляемые блоком - $-I_2в - 260$ ма,
 $+I_2в - 50$ ма.

Сдвоенный смеситель импульсов - 2CI.

Схема (рис. 3,7) выполняет логическую функцию "ИЛИ" по прямым выходам и функцию "ИЛИ-НЕ" по инверсному выходу для прямых логических сигналов. Кроме этого, она реализует для инверсных входных сигналов функцию "И" по прямым выходам и функцию "И-НЕ" по инверсному выходу.

Вход.

Число входов - 4.

Длительность сигналов - любая, свыше 2,5 нсек.

Выход.

Число выходов - 2 прямых и 1 инверсный.

Фронты при ступенчатых сигналах - 1,8 нсек.

Задержка - 5 ± 1 нсек.

Максимальная частота - 100 Мгц.

Минимальное время разрешения окончания предыдущего импульса и начала следующего - 2 нсек.

Токи, потребляемые блоком - $-12\text{в} - 160 \text{ ма}$,
 $+12\text{в} - 40 \text{ ма}$.

Мажоритарная схема совпадений - XI.

Мажоритарная схема совпадений (рис.3,8) реализует пороговую логику и предназначена для временного отбора событий, когда сумма числа сигналов превышает требуемое число. Число каналов совпадений - $N = 1 + 4$, кратность совпадений может быть равна: $N; (N-1); (N-2)$. Канал антисовпадений, выполненный по постоянному току, может играть роль пятого входа совпадений (для инверсного сигнала).

Вход.

Число входов - 4 - совпадений, подключаемые тумблерами и 1 - антисовпадений (запрета).

Режимы работы

- 1) "обычные" совпадения
 - а) "четыре из четырех",
 - б) "три из трех",
 - в) "два из двух",
- 2) "пороговые" совпадения
 - а) "три или более из четырех",
 - б) "два или более из четырех",
 - в) "два или более из трех",
- 3) логического смесителя
 - а) "один или более из трех",
 - б) "один или более из двух",
- 4) срабатывание по одному включенному каналу,
- 5) разового пуска - реализуемый при переключении тумблеров кратности в положение $N-1$

- если включен 1 канал совпадений, или в положение (N-2), если включено 2 канала совпадений.

Минимальное перекрытие сигналов, необходимое для срабатывания схемы - 3 нсек.

Разрешающее время - равно перекрытию по времени сигналов минус 3 нсек.

Диапазон длительностей сигналов - любые, свыше 4 нсек.

Выходы.

Число выходов - 1 непосредственный инверсный выход совпадений "И-НЕ" и 3 выхода УВФ.

Фронты импульса "И-НЕ" для ступечатых входных сигналов - 2 нсек.

Задержка по каналам совпадений
а) импульса "И-НЕ" - 7 нсек.
б) импульсов УВФ - 18 нсек.

Задержка по каналу запрета
а) импульса "И-НЕ" - 5 нсек.
б) импульсов УВФ - 16 нсек.

Максимальная частота - 100 Мгц.

Управление. По каналу антисовпадений предусмотрена подача сигнала запрета срабатывания с разъема питания.

Входное сопротивление входа управления - 1 к.

Токи, потребляемые блоком - -12в - 300 ма,
+12в - 115 ма.

Сдвоенная схема трехкратных совпадений - 2СС1.

Схема (рис.3) предназначена для временного отбора событий по трем каналам. Канал антисовпадений может использоваться в качестве четвертого входа (для инверсного сигнала).

Схема представляет из себя модификацию схемы совпадений, показанной на рис.8. Из схемы исключены: один канал совпадений (T_4 , T_9), переключатели кратности и отключения каналов на передней панели. Остальные характеристики остались без изменений.

Токи, потребляемые блоком - $-I_{2в} - 460$ ма,
 $+I_{2в} - 190$ ма.

Счетверенная схема двойных совпадений - 4СС2.

Блок (рис.3,9) состоит из четырех схем двойных совпадений, объединенных общим каналом запрета (антисовпадений). Он может быть использован как четырехканальная стробируемая схема ворот, если сигнал по каждому каналу подавать одновременно на оба входа, либо на один из двух входов (во всех четырех каналах) подавать постоянно высокий логический уровень.

Вход.

Минимальное перекрытие сигнала, необходимое для срабатывания схемы - 3 нсек.
Разрешающее время - равно перекрытию по времени сигналов минус 3 нсек.
Диапазон длительностей сигналов - любые, свыше 4 нсек.

Выходы.

Число выходов - 2 прямых выхода УВФ.
Задержка - 18 нсек.
Задержка по обходу каналу запрета - 16 нсек.
Максимальная частота - 100 Мгц.

Управление. По каналу запрета предусмотрена подача сигнала запрещения срабатывания с разъема питания.

Дополнительные возможности. Из схемы могут быть выведены: непо-средственный инверсный сигнал совпадений "И-НЕ", а также инверсный сигнал с выхода УВФ.

Токи, потребляемые блоком - $-I_{2в} - 570$ ма,
 $+I_{2в} - 290$ ма.

2.ЛИНЕЙНЫЕ БЛОКИ.

Линейные блоки (рис.10) выполняют функции усиления и ослаб-

ления аналоговых сигналов, сложения и размножения их, отбора по времени прохождения и амплитуде. В число их входят:

- 1) Блок 211-4УС1, счетверенный линейный усилитель импульсов /5/ (либо усилитель - ограничитель).
- 2) Блок 221-А1, аттеннатор.
- 3) Блок 231-СЛР1, суммирующий линейный множитель импульсов.
- 4) Блок 251-2ЛВ1, двойные линейные ворота с интегратором /6/.
- 5) Блок 261-2Д11, двойной интегральный дискриминатор /2/.

Все линейные блоки (за исключением интегратора в линейных воротах) выполнены со связями по постоянному току и имеют следующие общие характеристики:

Амплитудный диапазон входных и выходных сигналов

- 0(-0,1) + -бв.

Выходное сопротивление

- ≤ 5 ом (генератор напряжения).

Допустимое сопротивление нагрузки по линейным выходам

- от 50 ом и (кроме аттеннатора) - выше.

Счетверенный линейный усилитель - 4УС1.

Схема (рис. 10, II) предназначена для линейного усиления отрицательных электрических сигналов в широком диапазоне амплитуд и длительностей. Блок разработан для усиления сигналов с анодов ФЭУ черенковских спектрометров. *
Схема может быть использована как импульсный усилитель-ограничитель. Схема может быть также применена для линейного сложения сигналов (до 4).

Первый каскад усилителя может использоваться для линейного инвертирования сигналов, а второй - для работы с импульсами поло-

*
При работе от линейных схем целесообразно включать на входе усилителя разделительную емкость.

жительной полярности.

Вход.

Диапазон амплитуд сигналов - $0 + -0,5\text{в.}$

Коэффициент отражения - $\leq 0,05.$

Выход.

Коэффициент усиления - 12 ± 1 , на нагрузку 50 ом.

Диапазон амплитуд сигналов - $0 + -6\text{в.}$

Задержка - 5 ± 1 нсек.

Фронты нарастания и спада импульса - а) $3,5$ нсек при амплитуде до 3в.
б) передний фронт возрастает до 6 нсек, а задний до 12 нсек при амплитуде - 6в.

Интегральная нелинейность - а) $\pm 1\%$ до -3в при импульсах длительностью 5 нсек,
б) до $-4,5\text{в}$ при импульсах длительностью 10 нсек,
в) до $-5,5\text{в}$ при импульсах длительностью 20 нсек.

Максимальная частота импульсов - 70 МГц.

Нестабильность "нуля" при работе а) от генератора тока - ± 20 мВ,
б) от генератора напряжения - ± 40 мВ.

Температурный дрейф "нуля" - $+ 3$ мВ/°С.

Температурный дрейф коэффициента усиления - $+ 0,1\%$ /°С.

Ограничения на мощность, отдаваемую в нагрузку - при импульсах с амплитудой $-2 + 5\text{в}$ их скважность должна быть не менее 2 .

Дополнительные возможности. Усилитель может работать в режиме ограничения больших сигналов. Для этого переключка на входе схемы подключается к диоду D_1 . В этом режиме :

Коэффициент усиления - $7,5 \pm 1$.

Уровень ограничения по выходу - -2в (допустима работа на логические входы).

Диапазон допустимых входных сигналов - $\pm 10\text{в.}$

Время восстановления	- появляется для входного сигнала, свыше 0,7в, нарастает по закону 10 нсек/в, но не свыше 25 нсек.
Токи, потребляемые блоком в нормальном состоянии	- -24в - 24 ма, -12в - 144 ма, +12в - 96 ма, +24в - 72 ма.

Аттеннатор - А1.

Блок (рис.10,12) предназначен для ступенчатого ослабления сигналов в диапазоне частот 0 + 200 Мгц. Ослабление осуществляется с шагом 10% (0,6 ДБ).

Для удобства нахождения результирующего ослабления на передней панели (внизу) приведена таблица произведений, с помощью которой легко подсчитать результирующее ослабление для любого набора тумблеров.

Вход.

Коэффициент отражения	- $\leq +0,08$.
Амплитуда сигнала	- ограничена допустимой мощностью рассеяния - 200 мвт (но не более 200 в).
Величина постоянного или эффективная величина синусоидального сигнала	- 3в.

Выход - должен быть нагружен на сопротивление 50 ом.

Ступени ослабления	- 1,1 (0,6 ДБ); 1,2 (1,7 ДБ) 1,5 (3,5 ДБ); 2,0 (6 ДБ); 5,0 (14 ДБ); 5,0 (14 ДБ).
Точность задания ослабления	- $\pm 2\%$.
Полное ослабление	- 100 (40 ДБ).
Коэффициент прямого прохождения	- $\leq 0,005$.
Фронты при ступенчатом входном сигнале	- 1,6 нсек.

Собственная задержка - 2,0 нсек.

Задержка на включение тумблера - 0,3 нсек.

Суммирующий линейный размножитель - СЛР1.

Блок (рис.10,13) представляет из себя модификацию схемы ЧУС1 (рис.11). Он предназначен для алгебраического сложения двух аналоговых сигналов и размножения результирующего импульса по четырем каналам. В схеме использован первый каскад первого усилителя для сложения входных сигналов и после пассивного размножителя - все четыре вторых каскада для получения выходных сигналов. В первом каскаде "параллельно" T_3 включен добавочный транзистор (по аналогии с T_5, T_6 - рис.11) для увеличения выходной мощности.

Вход.

Число входов - 2, алгебраически суммируемых (сумма входных сигналов всегда должна быть отрицательна).

Выход.

Количество выходов - 4, независимых.

Коэффициент передачи - $1,1 \pm 0,1$ - на нагрузку 50 Ом

Остальные характеристики такие же, как у схемы ЧУС1.

Дополнительные возможности. При необходимости число суммируемых входов может быть доведено до 4 + 6.

Токи, потребляемые блоком в нормальном состоянии

- -24в - 24 ма,
-12в - 72 ма,
+12в - 72 ма,
+24в - 24 ма.

Сдвоенные линейные ворота с интегратором - 2ЛВ1.

Схема линейного пропускания (рис.10,14) предназначена для использования в тех случаях, когда требуется разрешить или запретить поступление сигналов на вход спектрометрического устройства

в течение некоторого интервала времени, не изменяя при этом существенно вида самих сигналов.

Ворота имеют непосредственный (быстрый) выход и интегратор, дающий площадь (заряд) пропускаемого сигнала.

Линейный вход (аналоговые сигналы)

Диапазон амплитуд	- 0 + -6в.
Коэффициент отражения	- $\leq + 0,07$.
Длительность сигналов	- любая, свыше 5 нсек.
Максимальная частота импульсов	- 80 Мгц.

Строб-вход (логические сигналы)

Длительность сигналов	- любая, свыше 10 нсек, прямой или инверсный.
Время переключения "ворот"	- 3 нсек.
Максимальная частота	- 70 Мгц.

Непосредственный (быстрый) выход. Сигнал соответствует пропускаемому входному сигналу.

Диапазон амплитуд	- -0,1 + -6в.
Коэффициент передачи	- 1 (на нагрузку 50 ом).
Задержка	- 5,5 \pm 1 нсек.
Длительность фронтов	- а) 3 нсек для сигнала до -3в, б) возрастает до 6нсек при амплитуде -6в.
"Пьедестал"	- плавно регулируется в пределах 0 \pm 75 мв.
"Пролезание" ступенчатого сигнала с амплитудой - 10в	- < 100 мв.
"Выбросы" в момент включения (выключения) ворот	- < 100 мв.
Интегральная нелинейность	- + 1%, а) до -3в при импульсах длительностью 5 нсек, б) до -4,5в при импульсах длительностью 10 нсек, в) до -5,5в при импульсах длительностью 20 нсек.

Температурный дрейф "0"	- $-0,9$ мВ/ $^{\circ}$ С
Температурный дрейф "пьедестала"	- $+0,2$ мВ/ $^{\circ}$ С.
Температурный дрейф коэффициента передачи	- $+0,05\%$ / $^{\circ}$ С.
Ограничения на мощность, отдаваемую в нагрузку	- при импульсах с амплитудой $- 2 + 5$ в их скважность должна быть не менее 2.

Интегральный выход. Амплитуда импульса соответствует площади пропускаемого сигнала, а время нарастания равно его длительности.

Амплитудный диапазон	- $0 + -6$ в (на нагрузку не менее 400 ом).
Временной диапазон интегрируемых сигналов	- $5 + 100$ нсек.
Коэффициент передачи	- $0,04$ нсек $^{-1}$.
Точность интегрирования	- $\pm 1\%$.
Длительность заднего фронта (спада) импульса	- $2,5$ мсек.
Динамический сдвиг уровня на частоте 200 КГц	- $0,1 + 2\%$ в зависимости от длительности входных сигналов.

Температурный дрейф коэффициента передачи	- $0,02\%$ / $^{\circ}$ С.
---	----------------------------

Интегральный выход на АЦП. Амплитуда импульса соответствует площади пропускаемого сигнала, передний фронт равен $1,5$ мсек.

Интервал послеимпульсов за первым рабочим	- $2,5$ мсек ... с уменьшающейся амплитудой.
---	--

Остальные характеристики такие же, как у первого интегрального выхода.

Дополнительные возможности. По интегральным выходам коэффициент передачи может быть уменьшен до $0,5$ мсек $^{-1}$, при этом максимальная длительность интегрируемых сигналов составит 2 мсек.

Токи, потребляемые блоком в нормальном состоянии

- -24в - 43 ма,
-12в - 160 ма,
+12в - 75 ма,
+24в - 138 ма.

Сдвоенный интегральный дискриминатор - 2ДИ.

Схема (рис.10,15) предназначена для отбора импульсов, превышающих по амплитуде порог дискриминации. Дискриминатор можно также использовать для стандартизации статистических импульсов по амплитуде (между порогом срабатывания и порогом отпущения дискриминатора) - с помощью непосредственного инверсного выхода.

Вход.

Коэффициент отражения - $\leq +0,07$.

Порог дискриминации - плавно регулируется в пределах от -0,1в до -6в.

Порог отпущения - равен порогу срабатывания минус 50 мв.

Длительность сигналов - любая, необходимо только, чтобы входной сигнал имел для - тельность плоской вершины не менее 3 нсек.

Интегральная нелинейность установки порога - + 0,5%, до -5,5в для импульсов длительность 5 нсек.

Температурный дрейф порога - +0,08 мв/°С.

Выход.

Количество выходов - 1, непосредственный инверсный выход, соответствующий длительности входного сигнала между порогами срабатывания и отпущения дискриминатора и 3 выхода УВФ.

Длительность фронтов по непосредственному выходу - 3 нсек.

Задержка по непосредственному выходу - 8 + 1 нсек.

Максимальная частота
а) при пороге свыше $-0,4$ в
б) для 10% превышения входного
сигнала над порогом

- 100 МГц,
- а) 100 МГц при порогах свы-
ше $-0,2$ в и
- б) снижается до 60 МГц при
пороге $-0,1$ в.

Управление. В схеме имеется канал электронной линейной установки порога дискриминации с разъема питания.

Входное сопротивление входа
управления

- 6 к.

Интегральная нелинейность уста-
новки порога

- $\pm 0,8\%$.

Температурный дрейф порога

- $+6$ мВ/°С.

Токи, потребляемые блоком

- $-I_{2в} - 370$ ма,
 $+I_{2в} - 320$ ма.

3. БЛОКИ УПРАВЛЕНИЯ И ПРЕОБРАЗОВАНИЯ СИГНАЛОВ .

Группа блоков управления и преобразования сигналов состоит из (рис.16) :

- 1) Блок 311-2Т1, сдвоенный таймер /7/ (широкодиапазонные схемы задания временных интервалов).
- 2) Блок 321-2ВАК1/6/, сдвоенный время-амплитудный конвертор.
- 3) Блок 721-2Г1 /2/, сдвоенный генератор импульсов.
- 4) Блок 301-НИМ-ТТЛ-НИМ, счетверенный преобразователь логических уровней.

Сдвоенный таймер - 2Т1.

Схема (рис.16,17) представляет из себя широкодиапазонное устройство задания временных интервалов и предназначена для управления режимами различных устройств или блоков во времени.

Возможные применения блока:

- 1) Задание временных интервалов - от 100 нсек до 10 сек непосредственно, либо по старт-стопному принципу.

2) Формировка задержанного временного интервала (двумя схемами, включенными последовательно).

3) Генерация частот от 5 Мгц до 0,05 гц (двумя схемами, включенными в кольцо).

4) Образование широкодиапазонного времязадающего устройства с нулевым временем восстановления (двумя последовательными схемами).

5) Согласование (по выходу) с блоком задержки микросекундного диапазона с волновым сопротивлением - 400 ом.

Стоп-вход может использоваться как блокировочный, для запрета срабатывания таймера.

Значения задаваемых временных интервалов

- а) через декаду от ~100 нсек до 10 сек. Внутри декады - плавная регулировка задаваемого интервала,
- б) любые, свыше 10 нсек, задаваемые по старт-стопному принципу.

Вход.

Число входов

- I - логический, запускающий - "пуск", I - логический, прерывающий временной интервал таймера - "стоп".

Допустимая длительность сигналов по каналу запуска

- от 10 нсек до длительности задаваемого временного интервала.

Минимальная длительность импульсов по каналу "стоп"

- 10 нсек.

Мертвое время по каналу запуска

- равно длительности задаваемого временного интервала плюс 0,2 от верхней границы диапазона.

Мертвое время по каналу "стоп"

- равно длительности сигнала "стоп".

Выход.

Количество выходов

- I, логический, прямой, соответ -

ствующий задаваемому временному интервалу,
I логический, инверсный, соответствующий задаваемому временному интервалу,
I, логический, задержанный сигнал, начинающийся по времени не ранее $0,9$ от задаваемого интервала и заканчивающийся одновременно с окончанием задаваемого интервала. При остановке схемы по каналу "стоп" сигнал задержки не формируется,
I, линейный вход пилообразного напряжения на времязадающей емкости.

Импеданс

- а) логических - 400 ом,
б) линейного - 800 ом.

Амплитуда

- зависит от соотношения нагрузки и выходного сопротивления:
а) уровень логических сигналов - импульс тока - 20 ма; на холостом ходу - импульс напряжения - 8 в,
б) уровень линейного сигнала - импульс напряжения с амплитудой на холостом ходу - 8 в.

Задержка по прямому и инверсному каналам

- 17 ± 1 нсек.

Длительность фронтов переключения по прямому и инверсному каналам

- не более $0,02$ от задаваемого временного интервала, но не менее 10 нсек.

Длительность импульса задержки

- $0,1$ от задаваемого временного интервала.

Температурный дрейф времени выдержки

- $-0,1\%/^{\circ}\text{C}$.

Управление. Длительность задаваемых интервалов может регулироваться отрицательным аналоговым сигналом с разьема питания. Регулировка осуществима в пределах любого из диапазонов.

Входное сопротивление канала управления

- 1 к.

Дополнительные возможности. При подключении к любому из логичес-

ких выходов сопротивления 2 к - на землю и сопротивления 680 ом - на шину +I2 в реализуются логические уровни TTL .

Токи, потребляемые блоком

-	-24в	- 190 ма,
	-12в	- 70 ма,
	+12в	- 130 ма.

Сдвоенный время-амплитудный конвертор - 2ВАК1.

Схема (рис.16,18) предназначена для измерения временных интервалов (совместно с блоком аналого-цифрового преобразования), либо для их селекции (совместно с блоком 2ДИ1).

Схема работает либо непосредственно от временного интервала, либо по старт-стопному принципу.

Все связи в схеме выполнены по постоянному току; старт, стоп-каналы и схема преобразования имеют малое мертвое время, поэтому конвертор может работать с большими нагрузками без сдвигов уровней.

Схема преобразования.

Диапазон измеряемых интервалов

-	от 0 до 100 нсек;
	до 300 нсек; до 1 мсек;
	до 3 мсек; до 10 мсек;
	до 30 мсек; до 100 мсек;
	до 1 сек; до 10 сек.

Длительность "палочки" потенциала интегрирующей емкости после измерения интервала

-	1 мсек.
---	---------

Длительность импульса "ворот" по окончании измерения интервала

-	1 мсек.
---	---------

Интегральная нелинейность

-	+0,5%.
---	--------

Предельное разрешение

-	< 10 псек.
---	------------

Мертвое время при измерении интервала

-а)	1,2 от измеряемого интервала плюс 1 мсек в диапазонах до 3 мсек,
б)	1,9 от измеряемого интервала плюс 1 мсек в диапазонах свыше 3 мсек.

Вход.

Число входов

-	1, логический, непосредственный
---	---------------------------------

	измерения интервала, I, логический, старт-вход, I, логический стоп-вход, блоки- рованный в нормальном состоя- нии.
Допустимая длительность им- пульсов по каналу "старт"	- от 5 нсек до величины измеряе- мого интервала.
Допустимая длительность по каналу "стоп"	- 5 нсек + I мксек.
Минимальный измеряемый интер- вал по каналу непосредствен- ного измерения	- 20 нсек.
Мертвое время по каналу "старт" при приходе единичного сигнала	-а) I,2 от диапазона измерений в диапазонах до 3 мксек, б) I,9 от диапазона измерений в диапазонах свыше 3 мксек,
при совместном приходе "старт" и "стоп" -сигналов	- равно мертвому времени схемы преобразования.
Мертвое время по каналу "стоп"	- I, I мксек.
<u>Выход.</u>	
Количество выходов	- I, логический, свидетельствующий о срабатывании старт-кана- ла, I, логический, свидетельствующий о срабатывании стоп-кана- ла, I, линейный, с амплитудой, про- порциональной длительности измеряемого интервала.
Диапазон амплитуд линейного сигнала	- 0 + -6в, допустима нагрузка на 50 ом.
Длительность импульса по каналу "старт" при приходе единичного сигнала при совместном приходе "старт" и "стоп"-сигналов	- равно диапазону измерения, - равна измеряемому интервалу

	измерения интервала, I, логический, старт-вход, I, логический стоп-вход, блоки- рованный в нормальном состоя- нии.
Допустимая длительность им- пульсов по каналу "старт"	- от 5 нсек до величины измеряе- мого интервала.
Допустимая длительность по каналу "стоп"	- 5 нсек + I мсек.
Минимальный измеряемый интер- вал по каналу непосредствен- ного измерения	- 20 нсек.
Мертвое время по каналу "старт" при приходе единичного сигнала	-а) I, 2 от диапазона измерений в диапазонах до 3 мсек, б) I, 9 от диапазона измерений в диапазонах свыше 3 мсек,
при совместном приходе "старт" и "стоп" -сигналов	- равно мертвому времени схемы преобразования.
Мертвое время по каналу "стоп"	- I, I мсек.
<u>Выход.</u>	
Количество выходов	- I, логический, свидетельствующий о срабатывании старт-кана- ла, I, логический, свидетельствующий о срабатывании стоп-кана- ла, I, линейный, с амплитудой, про- порциональной длительности измеряемого интервала.
Диапазон амплитуд линейного сигнала	- 0 + -6в, допустима нагрузка на 50 ом.
Длительность импульса по каналу "старт" при приходе единичного сигнала При совместном приходе "старт" и "стоп"-сигналов	- равно диапазону измерения, - равна измеряемому интервалу

плюс 1 мксек.

Длительность импульса по каналу "стоп" - 1 мксек.

Длительность импульса по линейному каналу - 1 мксек.

По линейному каналу

- а) стабильность "нуля" - + 15 мВ,
- б) температурный дрейф "нуля" - $-3 \text{ мВ}/^\circ\text{C}$,
- в) стабильность "пьедестала" - $\pm 15 \text{ мВ}$,
- г) температурный дрейф "пьедестала" - $+0,1 \text{ мВ}/^\circ\text{C}$,
- д) температурный дрейф амплитуды сигнала - $+0,05\%/^\circ\text{C}$.

Управление. На схему может быть подан сигнал запрета срабатывания с разъема питания.

Ток в цепи управления при подаче сигнала запрета - 1,5 ма.

Дополнительные возможности. При отключении переключателя диапазонов и установок: непосредственно в схему малых интегрирующих емкостей, возможно снижение диапазона измеряемых интервалов до 10 нсек.

При подключении больших интегрирующих емкостей к свободным выводам переключателя диапазонов преобразования может быть увеличен до 1 сек.

Токи, потребляемые блоком - $-12\text{в} - 540 \text{ ма}$,
 $+12\text{в} - 620 \text{ ма}$.

Сдвоенный генератор импульсов - 2Г1.

Схема (рис.16,19) представляет из себя модификацию схемы на рис.4 /2/. Блок предназначен для генерации логических сигналов в широком диапазоне частот и длительностей. Схема может работать в пяти режимах.

1) Режим автоколебаний. Частота задается переключателем диа-

пазонов. С выхода "меандр" снимается инверсный сигнал задающей частоты, а с выходов УВФ - импульсы, сформированные по длительности.

2) Режим генерации пачки импульсов. Ко входу управления подключено сопротивление 50 ом (с помощью "тройника"). При подаче логического сигнала на вход управления в зависимости от его длительности генератор сформирует один или несколько импульсов с частотой, определяемой положением переключателя диапазонов.

3) Режим генерации единичных импульсов. Вход управления нагружен на 50 ом, переключатель диапазонов в положении "д.з.". Генератор срабатывает один раз от перехода сигнала на входе управления из "0" в "1". С выхода "меандр" в этом режиме снимается сигнал, логически инверсный импульсу управления.

4) Генерация импульсов в режиме с задержанной обратной связью. Выход "меандр" с помощью линии задержки (кабель) подключается ко входу управления, нагруженному на 50 ом; переключатель диапазонов в положении "д.з.". Генератор формирует импульсы с частотой, обратной временной длине линии задержки.

5) Режим разового пуска. Вход управления нагружен на 50 ом, либо закорочен; переключатель диапазонов в положении "д.з.". Пуск генератора производится от кнопки, расположенной на передней панели.

Вход управления. В нормальном состоянии схема находится в режиме автоколебаний. При подключении сопротивления 50 ом, схема переводится в заторможенный режим.

Импеданс	- 1к.
Потенциал входа в нормальном состоянии	- -0,8в.
Длительность импульса управления	- любая, свыше 5 мсек.
Максимальная частота	- 100 Мгц.

Количество выходов	- 1 инверсный выход, задающей частоты (меандр) и 4 выхода УВФ (2-прямых, 2-инверсных).
Частоты, задаваемые переключателем диапазонов	- 100 Мгц; 50 Мгц; 20 Мгц; 10 Мгц; 5 Мгц; 2 Мгц; 500 кгц;
Максимальная частота генерации с линией задержки в обратной связи	- 65 Мгц.
Задержка срабатывания от импульса управления по каналу задающей частоты	- 8 ± 1 нсек.
Задержка срабатывания УВФ от импульса управления	- 18 ± 1 нсек.
Длительность фронтов по каналу задающей частоты	- передний-не более 3 нсек, задний-не более 5 нсек.

Дополнительные возможности. Подключением больших времязадающих индуктивностей и свободным выводам переключателя диапазонов задающая частота может быть снижена до 200 гц. Поскольку длительность импульса УВФ также может быть увеличена, генератор может быть использован в микросекундном и миллисекундном диапазонах.

Для одной из пар выходов УВФ на передней панели может быть установлено переменное сопротивление для регулировки выходной амплитуды.

Токи, потребляемые блоком	- -12в - 300 ма, +12в - 70 ма.
---------------------------	-----------------------------------

Счетверенный блок преобразования логических уровней

Схема (рис.16,20) а) преобразует логические уровни *NIM* в логические уровни TTL и далее снова в логические уровни *NIM*, б) преобразует логические уровни TTL в логические уровни *NIM* (средний разъем служит как выходом TTL, так и входом), в) преобразует положительные импульсы с большим разбросом амплитуд в уровни TTL и далее *NIM*, для длинных входных сигналов произво-

дятся ограничение на уровне ~ 1 мксек.

Блок может быть использован:

1) Для преобразования логических уровней.

2) Для получения синхрипульса цикла ускорителя.

3) Для управления остальными блоками с инверсных выходов, TTL, подведенных к разъему питания.

4) Как разветвитель

а) логического сигнала с уровнями *NIM* на три,

б) логического сигнала с уровнями TTL на три прямых логических сигнала и четыре инверсных,

в) логического сигнала с уровнями *NIM* на четыре прямых и четыре инверсных сигнала с уровнями TTL,

г) логического сигнала с уровнями TTL на два прямых логических сигнала с уровнями *NIM*.

5) Для огласования по выходам *NIM* с блоками задержки микросекундного диапазона (с волновым сопротивлением 400 ом).

Блок занимает единичную ширину ячейки САМАС и может использоваться в качестве тринадцатого в каждом крейте.

Вход.

Порог срабатывания

- а) для отрицательных сигналов - $-0,3$ в (входное сопротивление 50 ом),
- б) для положительных сигналов - $+1,5$ в (ток срабатывания -45 ма).

Допустимая длительность сигнала - любая, свыше 100 нсек.

Время восстановления по окончании положительного импульса большей длительности

- 1 мксек.

Вход-выход TTL.

Импеданс

- а) при переходе из "1" в "0" - генератор напряжения с выходным сопротивлением 100 ом.
- б) при переходе из "0" в "1" - генератор тока 1,5 ма.

Выходные фронты при ступенчатом входном сигнале

- определяются емкостью нагрузки (собственная паразитная емкость ~ 15 пф).

Дополнительные возможности. Из схемы может быть выведен инверсный выходной сигнал с уровнями *NIM*.

Уровень ограничения по времени входных положительных сигналов может быть изменен в пределах от 0,2 мксек до 10 мсек.

Токи, потребляемые блоком, - -24в - 240 ма,
+24в - 160 ма.

Описанная система блоков имеет существенные преимущества по сравнению с используемой в настоящее время /1/. Блоки обладают лучшими электрическими и логическими характеристиками. Впервые в систему введено электронное управление параметрами блоков. Конструктивное применение данной системы позволит вдвое сократить размеры аппаратуры.

В заключение авторы считают своим долгом поблагодарить В.А.Арефьева, В.И.Полонского за помощь в работе, В.И.Какурину, А.А.Виноградову, А.В.Лукова, Т.А.Сергееву, Е.К.Акимову, В.А.Завражнова - за помощь в составлении документации и А.А.Рямина, В.А.Григорьеву, М.Д.Евстигнееву, М.И.Терехину - за монтаж схем.

Л И Т Е Р А Т У Р А .

1. В. А. Арефьев, С. Г. Басиладзе, В. Я. Гвоздев, А. Г. Грачев, И. Ф. Колпаков, П. К. Маньяков, Н. М. Никитки, В. А. Смирнов, Система быстрых электронных блоков для физических экспериментов. Сообщение ОИЯИ 13-5447, Дубна 1970 г.
2. С. Г. Басиладзе. Унифицированный выходной формирователь в схемах быстрой электроники, Препринт ОИЯИ 13-6331, Дубна, 1972 г.
3. В. А. Арефьев, А. Г. Грачев, И. Ф. Колпаков, А. Ш. Крячко, Н. М. Никитки, Г. М. Сусова, Е. В. Черных, Л. А. Урманова. Блоки для цифровых измерений в стандарте САМАС, Доклад на VI Межд. симпозиуме по ядерной электронике, Варшава 23-30 сент. 1971 г. ОИЯИ, Д13-6210, Дубна (1972).
4. С. Г. Басиладзе, Универсальный формирователь импульсов, Препринт ОИЯИ 13-5732, Дубна 1971 г.
5. С. Г. Басиладзе, Суммирующий линейный усилитель, интегратор и разномножитель импульсов, Препринт ОИЯИ 13-5413, Дубна 1970 г.
6. С. Г. Басиладзе, В. Я. Гвоздев, П. К. Маньяков, В. Тлачала, Широкодиапазонные время-амплитудный конвертор и линейные ворота, Препринт ОИЯИ 13 - 6382, Дубна 1972 г.
7. С. Г. Басиладзе, ПТЭ № 3, 1971 г., 104+105.

Рукопись поступила в издательский отдел
13 апреля 1972 года.

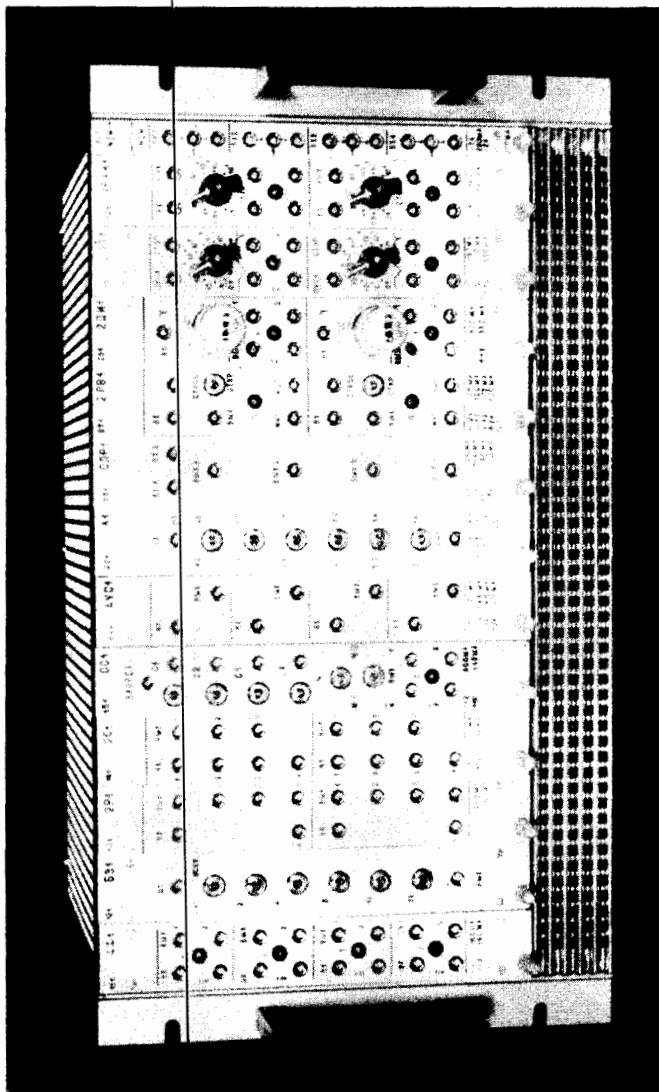


Рис. 1. Общий вид основных блоков системы.

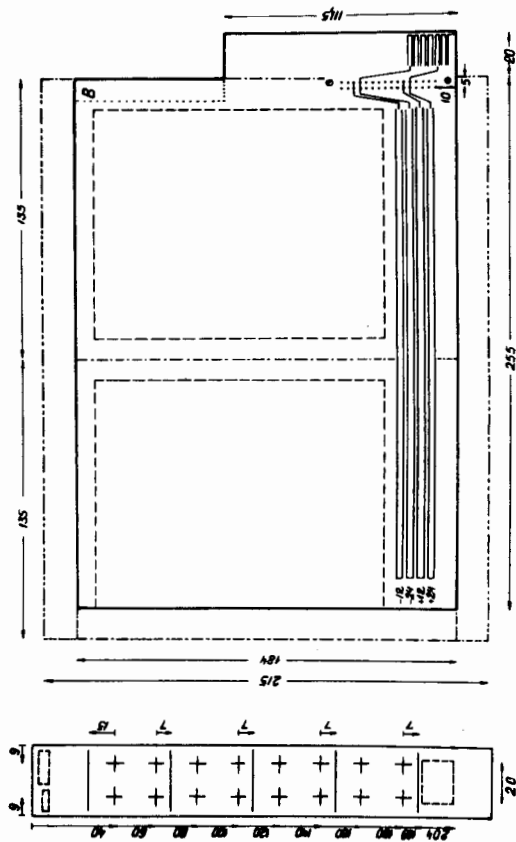


Рис. 2. Расположение схем на печатной плате и установочных изделий на передней панели.

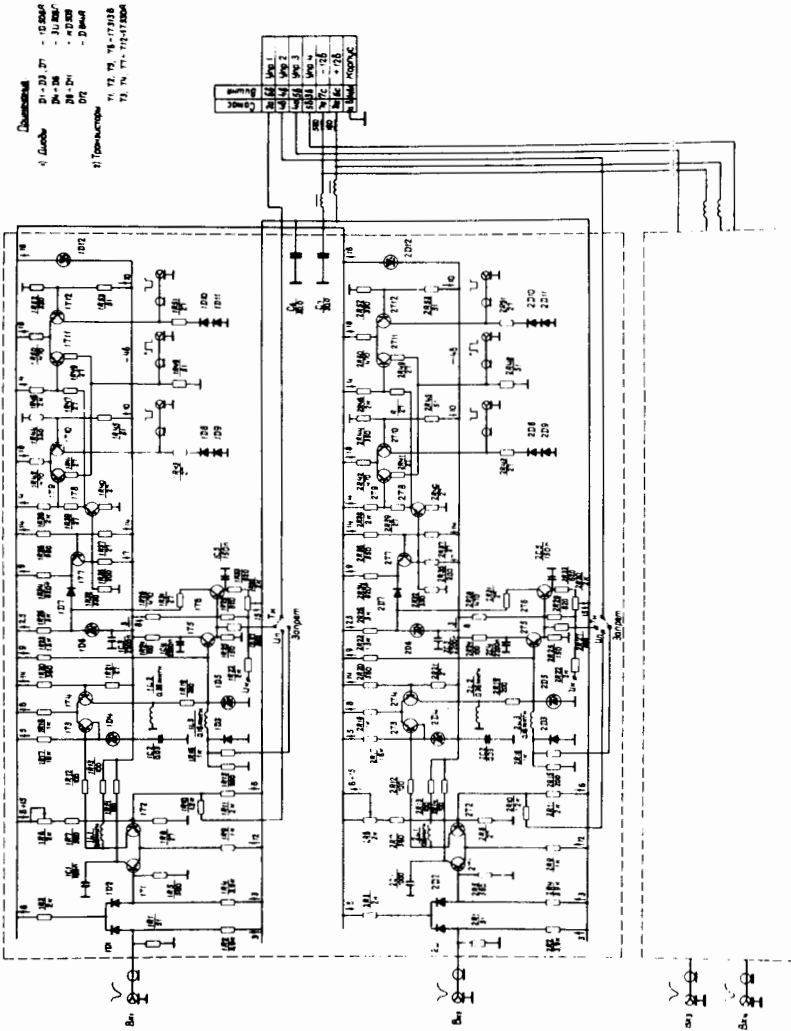


Рис. 4. Принципиальная схема счетверенного формирователя импульсов-

- 4Ф1.

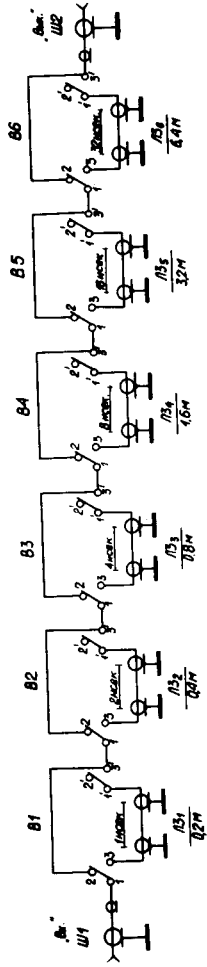


Рис. 5. Принципиальная схема блока задержки — БЗД.

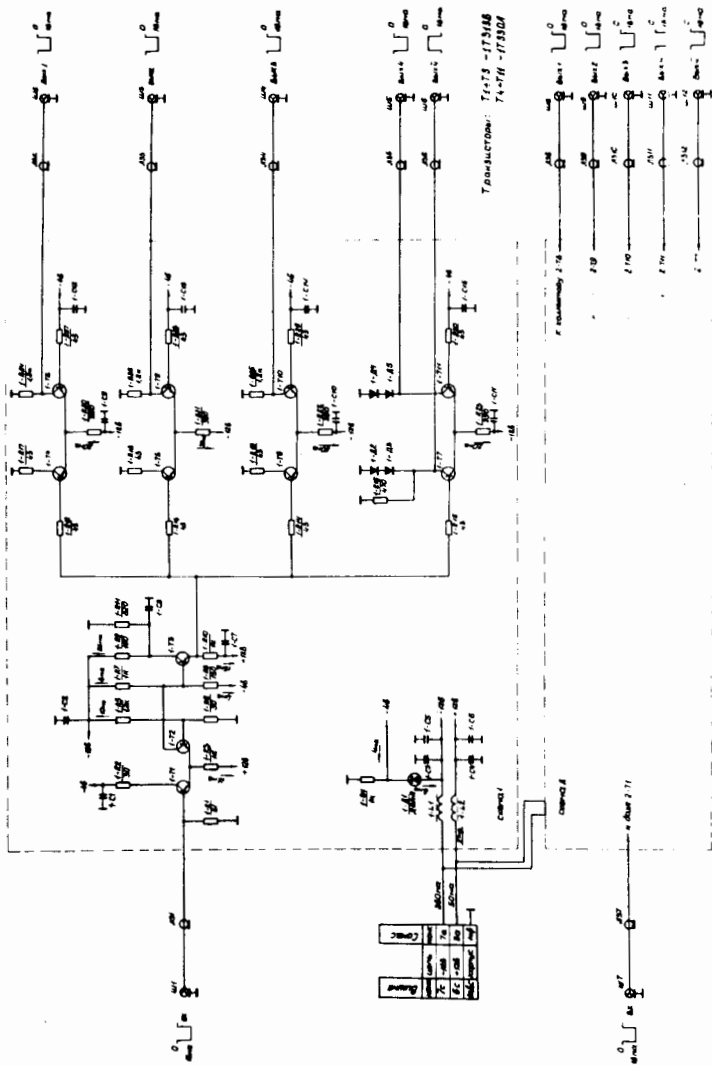


Рис. 6. Принципиальная схема двоясного разветвителя импульсов-2Р1.

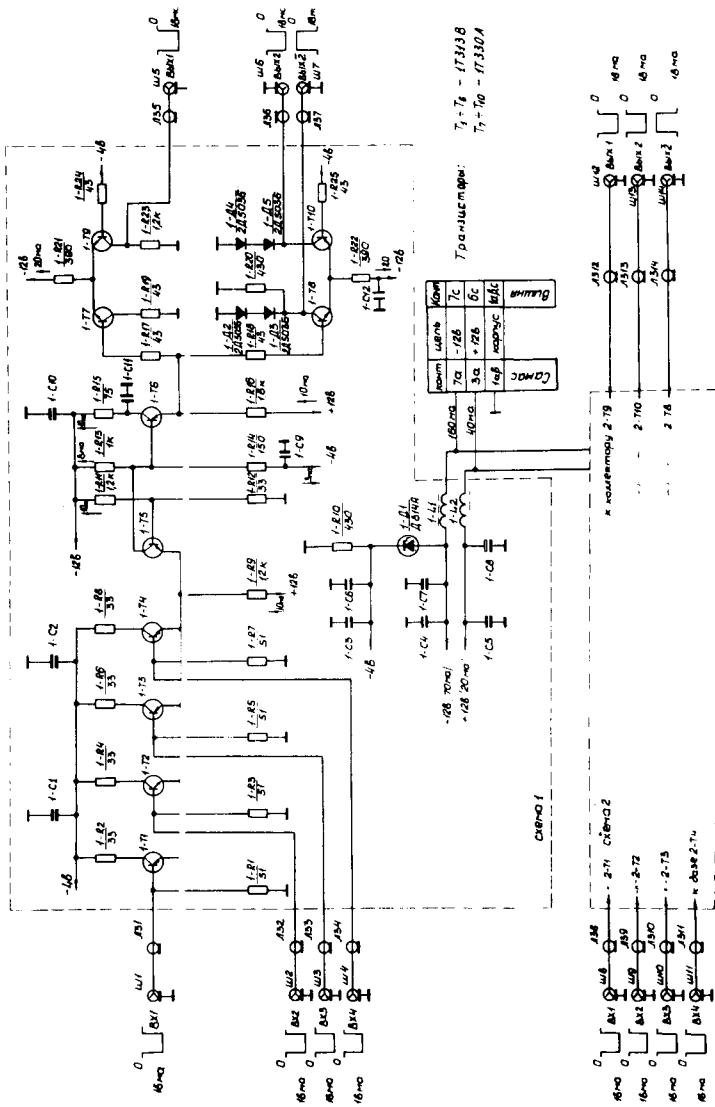
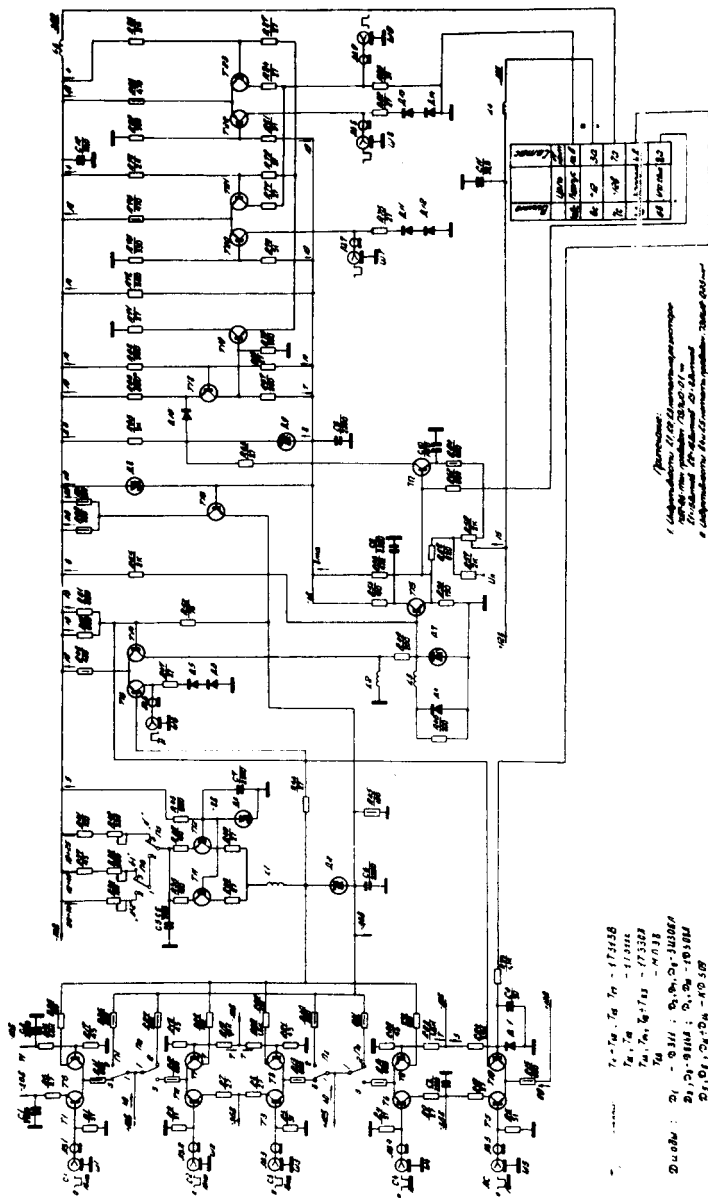


Рис. 7. Принципиальная схема двоянного смесителя импульсов-2С1.



Примечание:
 1. Матричные лампы 11-16 — 6Х11
 2. Матричные лампы 1-10 — 6Х12
 3. Матричные лампы 11-16 — 6Х13
 4. Матричные лампы 1-10 — 6Х14
 5. Матричные лампы 11-16 — 6Х15
 6. Матричные лампы 1-10 — 6Х16

17. Завершено проектирование

21 - 21, 21, 21, 21 - 173148
 22 - 22, 22, 22, 22 - 113114
 23 - 23, 23, 23, 23 - 173362
 24 - 24, 24, 24, 24 - 113114
 25 - 25, 25, 25, 25 - 113114
 26 - 26, 26, 26, 26 - 113114
 27 - 27, 27, 27, 27 - 113114
 28 - 28, 28, 28, 28 - 113114
 29 - 29, 29, 29, 29 - 113114
 30 - 30, 30, 30, 30 - 113114

Рис. 8. Принципиальная схема матричной схемы совпадений - СС1.

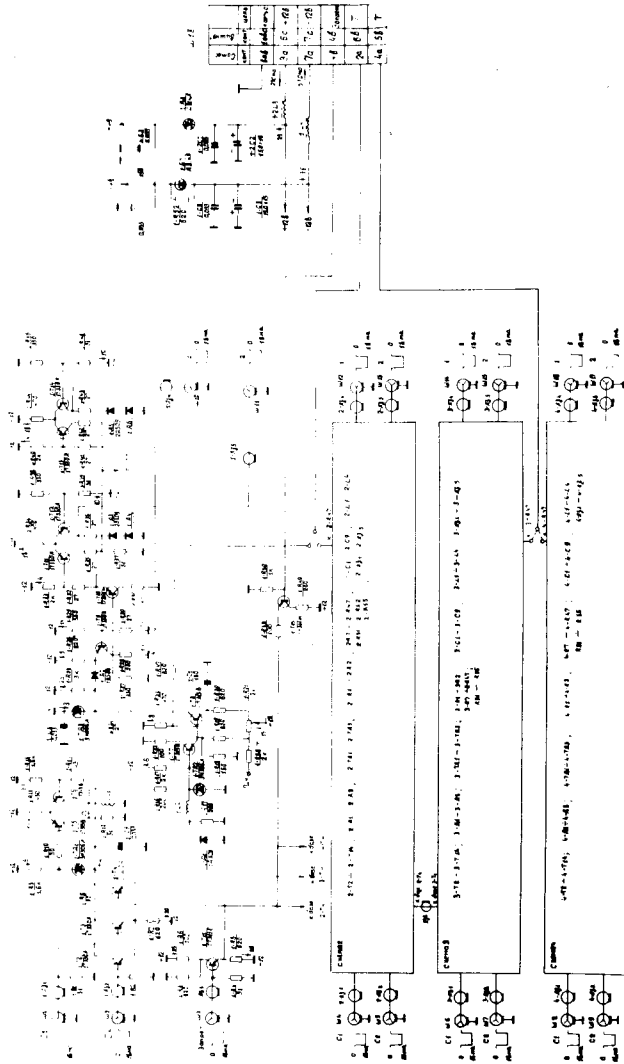


Рис. 9. Принципиальная схема счетверенной схемы двойных совпадений

- 40С2.

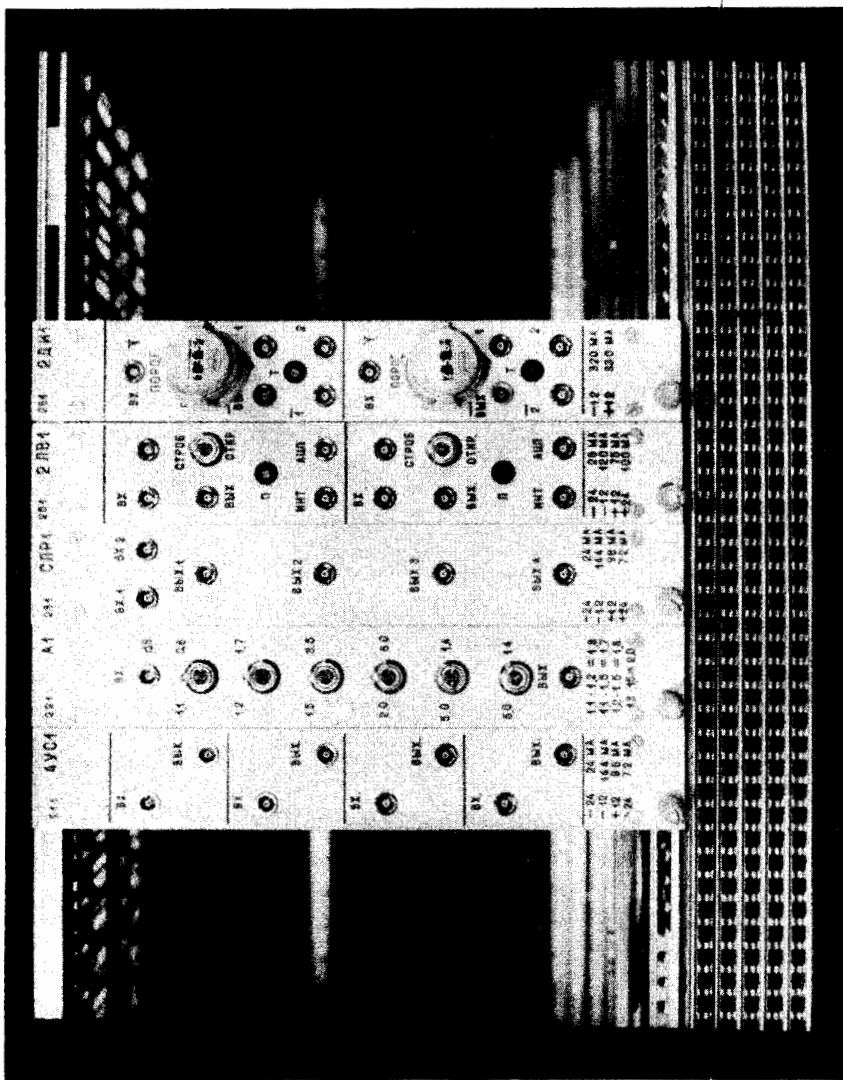


Рис. 10. Общий вид линейных блоков.

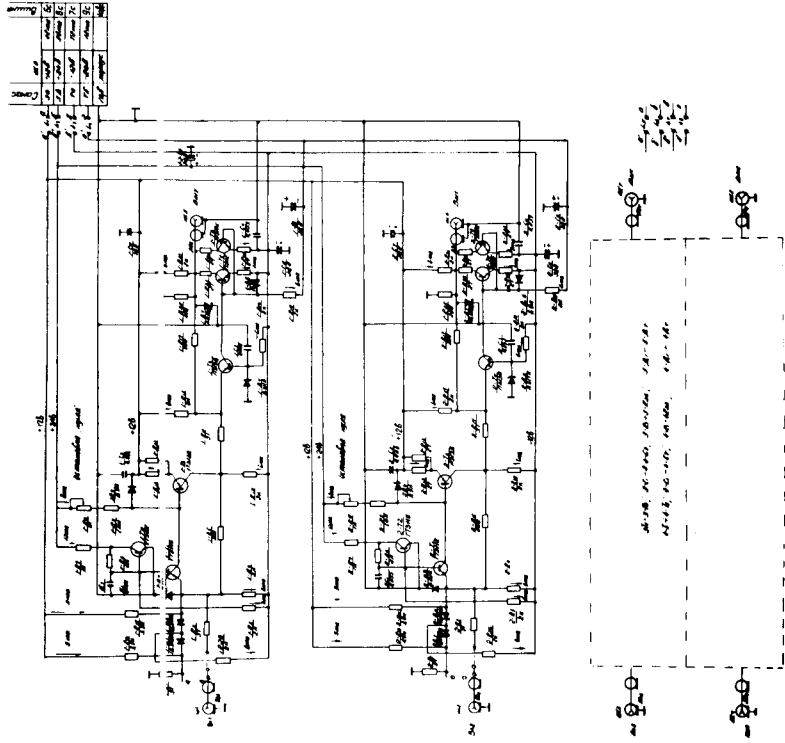


Рис. 11. Принципиальная схема счетверенного усилителя - ЧУС1.

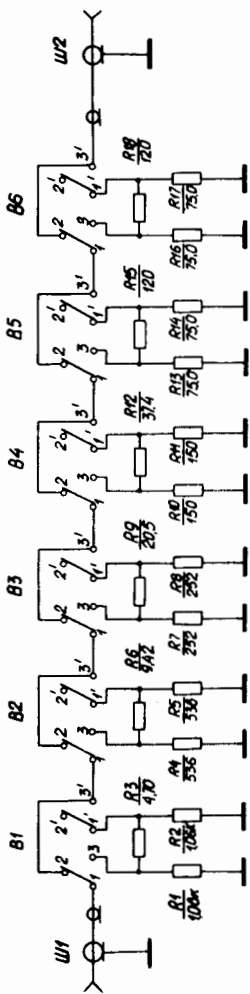


Рис. 12. Принципиальная схема аттенюатора - А1.

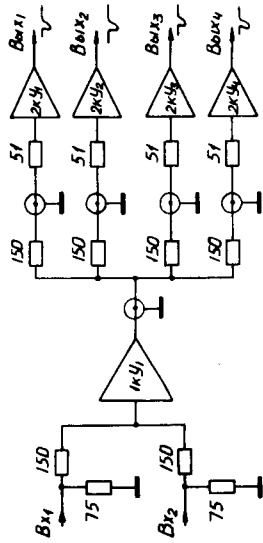


Рис.13.Блок схема суммирующего линейного множителя - СЛРІ.

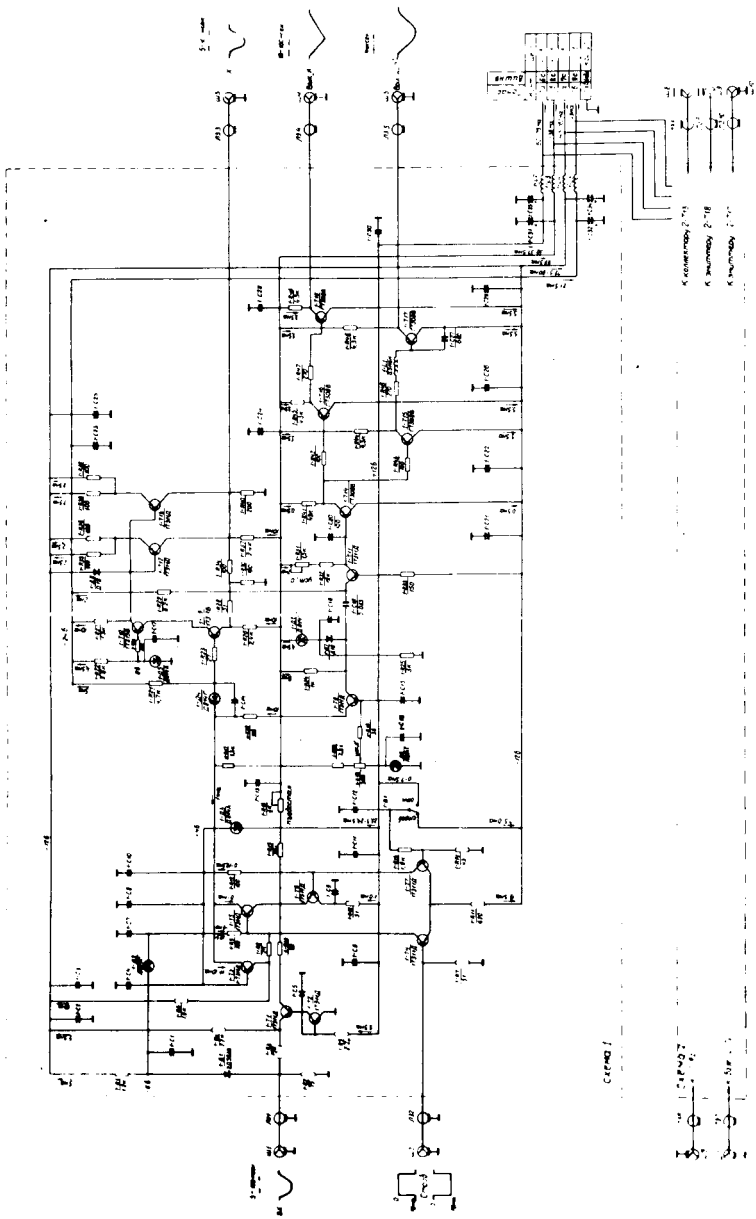


Рис. 14. Принципиальная схема двойных линейных ворот - 2ЛВ1.

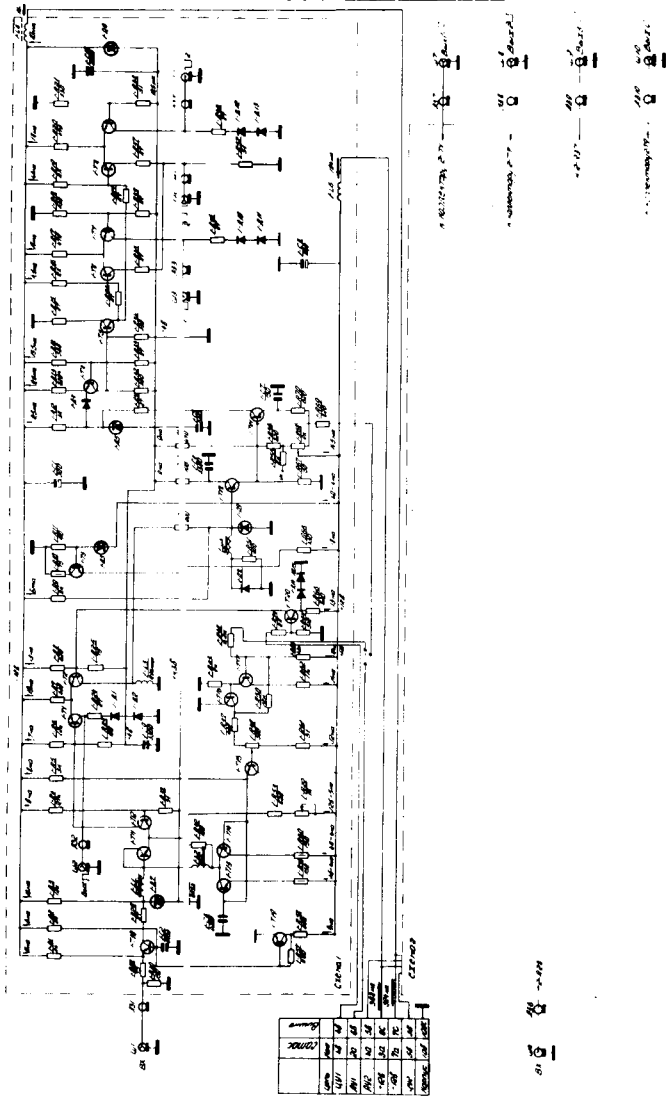


Рис. 15. Принципиальная схема самовозбужденного интегрального дискриминатора - 2ДМ1.

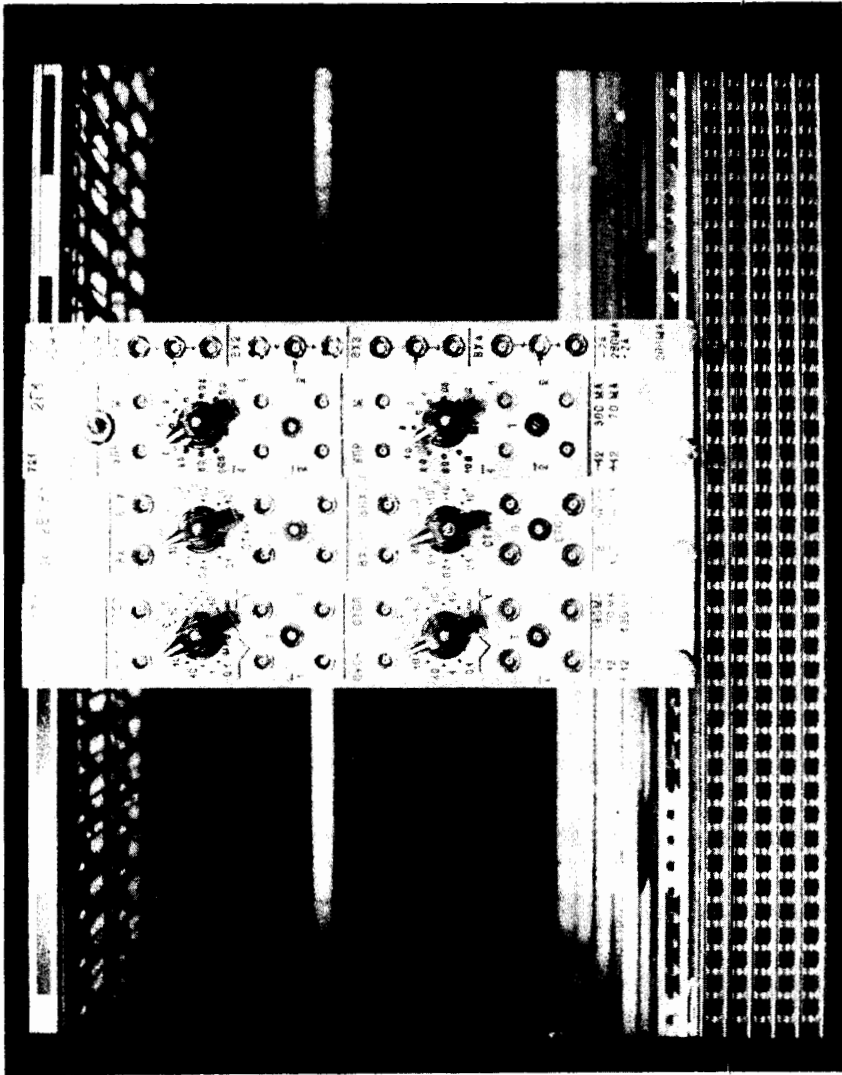


Рис. 16. Общий вид блоков управления и преобразования сигналов.

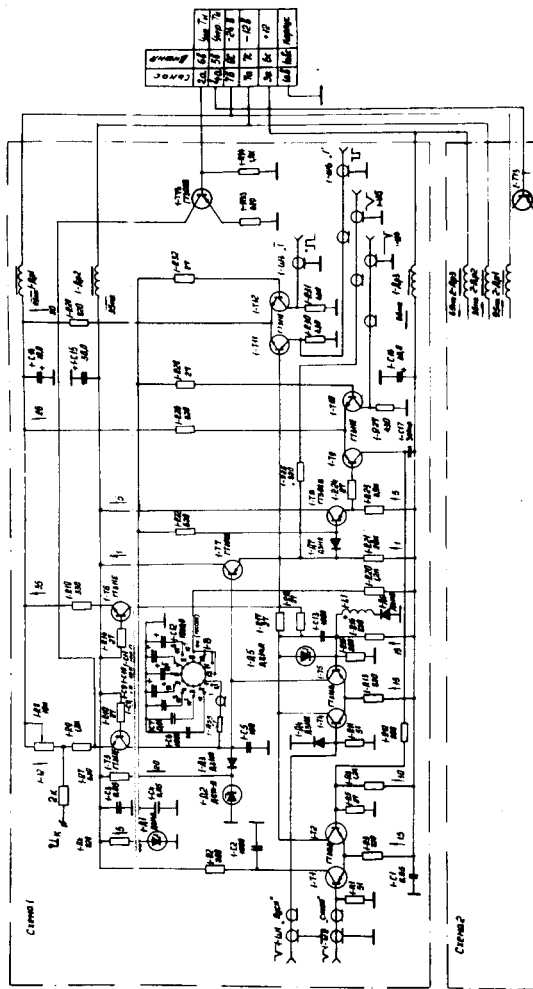


Рис.17. Принципиальная схема двустороннего таймера - 2ГТ.

* Подборка при монтаже

- 1 Л1 - лампа габаритная зеленого цвета
- 2 Л2 - Л23 - лампы габаритные красного цвета

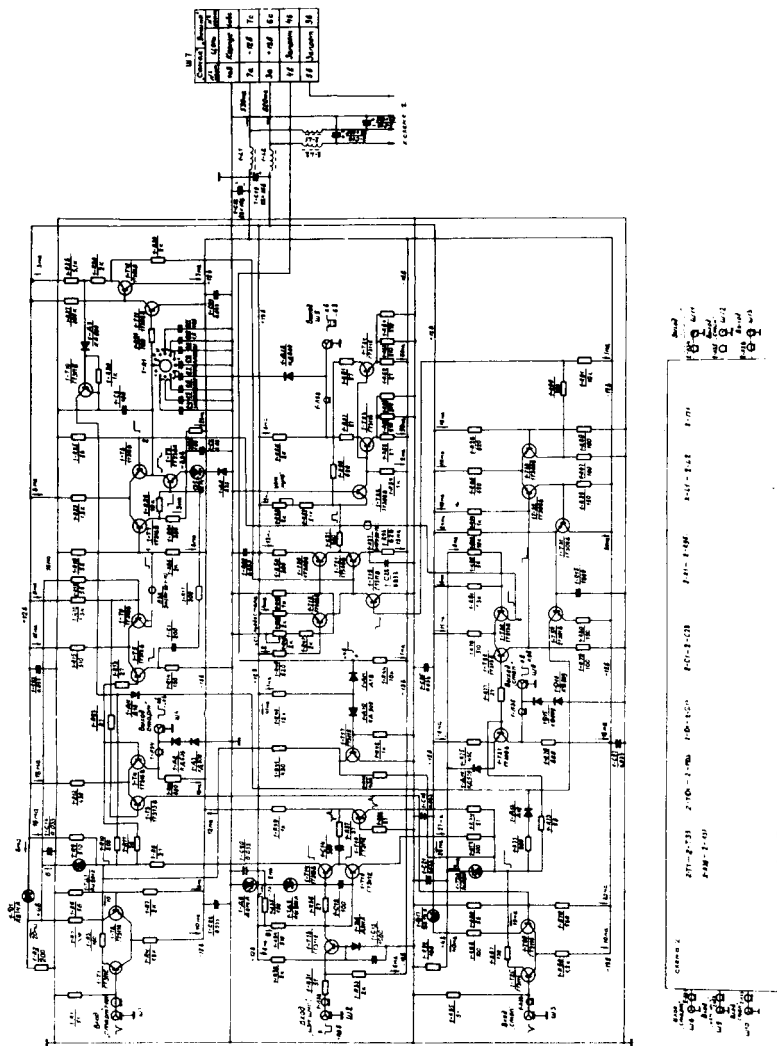


Рис. 18. Принципиальная схема двоясного время-амплитудного конвертора - 2ВАК1.

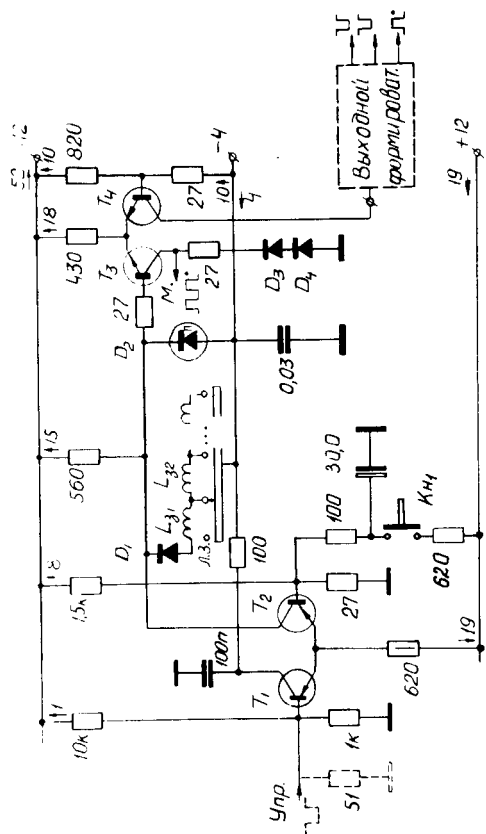
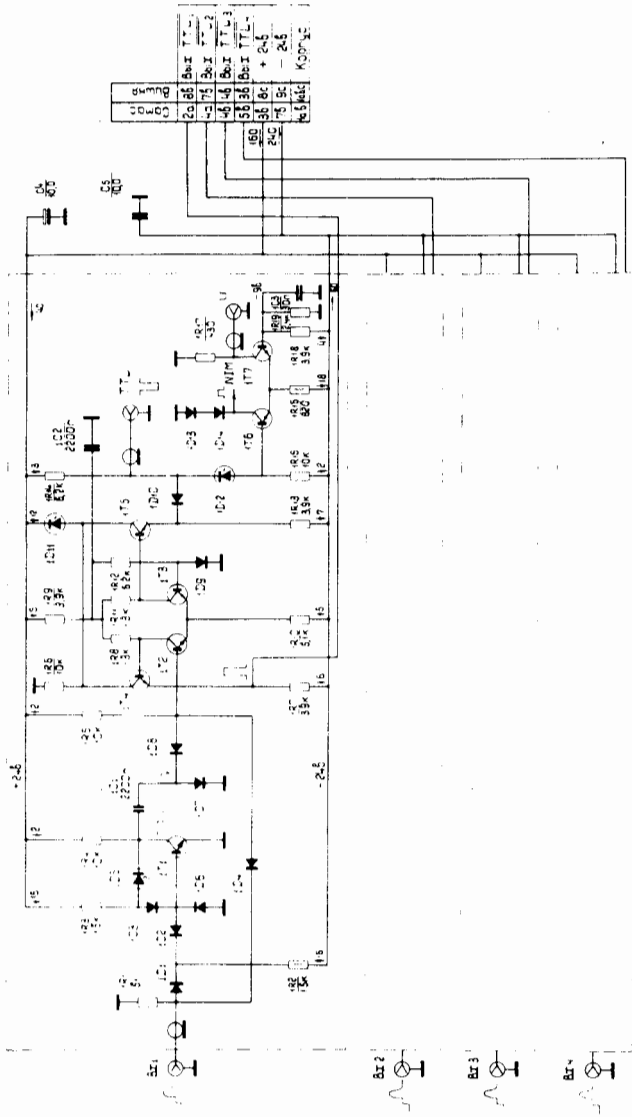


Рис.19. Принципиальная схема задающей части двоянного генератора
импульсов - 2ГГ.



Примечание
 1 Диоды Д1-Д4, Д6, Д7, Д8, Д9, Д10, Д11, Д12, Д13, Д14, Д15, Д16, Д17, Д18, Д19, Д20, Д21, Д22, Д23, Д24, Д25, Д26, Д27, Д28, Д29, Д30, Д31, Д32, Д33, Д34, Д35, Д36, Д37, Д38, Д39, Д40, Д41, Д42, Д43, Д44, Д45, Д46, Д47, Д48, Д49, Д50, Д51, Д52, Д53, Д54, Д55, Д56, Д57, Д58, Д59, Д60, Д61, Д62, Д63, Д64, Д65, Д66, Д67, Д68, Д69, Д70, Д71, Д72, Д73, Д74, Д75, Д76, Д77, Д78, Д79, Д80, Д81, Д82, Д83, Д84, Д85, Д86, Д87, Д88, Д89, Д90, Д91, Д92, Д93, Д94, Д95, Д96, Д97, Д98, Д99, Д100
 ПК
 Д5-Д6
 Д7-Д8
 Д9-Д10

Рис. 20. Принципиальная схема счетверенного блока преобразования логических уровней.