

Ц845

Г-938

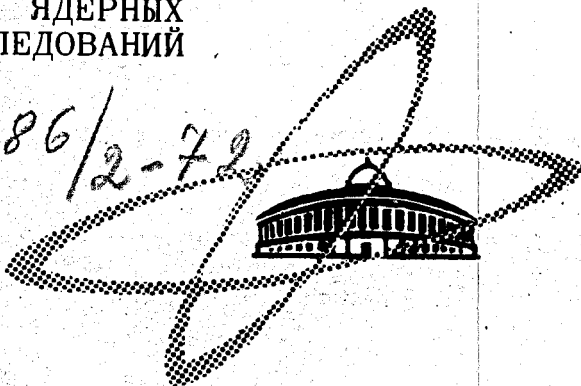
26/11-72

СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

2186/2-72

13 - 6317



З.Гузик, М.Турала, З.Цисек

ЦИФРО-АНАЛОГОВЫЙ ШИФРАТОР ДАННЫХ
ДЛЯ ГОДОСКОПИЧЕСКИХ СИСТЕМ

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ
ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

1972

13 - 6317

З.Гузик, М.Турала, З.Цисек

ЦИФРО-АНАЛОГОВЫЙ ШИФРАТОР ДАННЫХ
ДЛЯ ГОДОСКОПИЧЕСКИХ СИСТЕМ

Объединенный институт
численных исследований
БИБЛИОТЕКА

В эксперименте по исследованию упругого рассеяния^{/1/} количество частиц, испытавших рассеяние на малые углы, составляет доли процента, так что из $2 \cdot 10^3$ событий регистрируемых ЭВМ "Минск-22" за один цикл ускорителя, физический интерес представляют 2-3 события.

Для предварительного отбора рассеянных частиц применялся быстрый цифровой процессор^{/2,3/}, который рассчитывал углы рассеяния и запрещал поступление информации в ЭВМ, когда угол рассеяния был меньше 0,8 мрад. Для высокой эффективности работы процессора запуск установки должен происходить только тогда, когда во всех из шести детекторов (годоскопы, пропорциональные камеры) зарегистрировалась одна и только одна частица. В случае невыполнения этих условий процессор оценивал данное событие как рассеяние и разрешал на подачу его в ЭВМ. Итак, испытания процессора при энергии 40 Гэв показали, что в режиме "on-line" коэффициент подавления получался ~ 16. При анализе событий в режиме "of f-line" отбрасывались те случаи, когда хотя бы один из детекторов зарегистрировал больше или меньше одной частицы, и тогда коэффициент отбора превышал 200. Для полного использования качеств процессора необходим прибор, позволяющий производить предварительный анализ событий по количеству треков в данном детекторе, кодировать полученную информацию в двоичный формат, посылать ее затем в процессор и после решения заносить отобранную информацию в ЭВМ. Как правило, в физических экспериментах применяют разные информационные массивы (количество проволочек в пропорциональной камере или количество сцинтилляторов в годоскопе). Полезен универсальный блок, на основе которого можно составлять желаемое количество каналов.

В данной работе описывается основной – шестнадцатиканальный блок, выполненный полностью на микросхемах серии **ECL**, позволяющий строить информационный массив до 2^8 входных каналов одного детектора.

Логика системы

Логическая схема одного блока системы показана на рис. 1. Входные сигналы транслируются до уровней применяемой микроэлектроники, про-

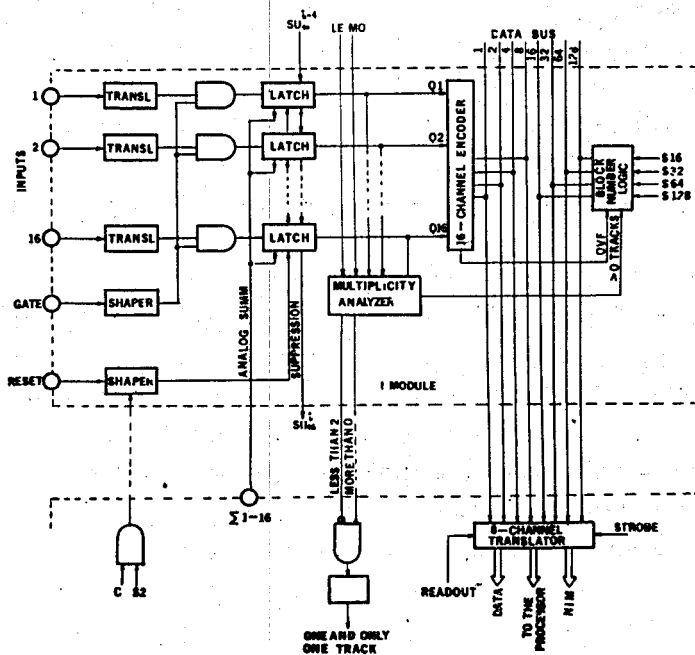


Рис. 1. Блок-схема логики системы.

пускаются через ворота, управляемые импульсом от телескопа из сцинтилляционных и черенковских счетчиков, и запоминаются. Сброс регистра можно произвести либо внешним импульсом, отдельным для каждого блока, либо общим импульсом от ЭВМ. Поскольку пропорциональные камеры обладают тем свойством, что при прохождении одной частицы могут сработать две соседние проволоки, введено подавление запоминания в двух соседних ячейках. Состоянию "1" каждого запоминающего триггера соответствует определенный ток, собираемый на общей шине Σ 1-16. Анализируя этот ток, можно получить информацию о количестве частиц в данном массиве. Принцип шифрации пояснен на рис. 2. Из таблицы видно, что состояния младших четырех битов одинаковы для каждого блока. Остальные четыре бита представляют собой номер блока, за исключением последней 16-той позиции, которая принимает номер следующего блока. Кодировка младших битов делается отдельным для каждого блока шифратором; остальные биты набираются предварительно в каждом блоке. Набранные состояния появляются на выходе при наличии частицы в данном блоке. Так как дальше информация обрабатывается только в случае одной частицы в массиве, на общих выходных шинах информацию выдает только один блок. Остальные случаи отбрасывает аналогово-цифровая схема анализа количества частиц. Запомненные, информационные потенциалы всех общих шин поданы на схему, управляющую работой данной группы, блоков, где информация транслируется в требуемые уровни.

Ворота и запоминание (рис. 3)

Для трансляции входного NIM-импульса использована микросхема экспандера, работающего в качестве эмиттерного повторителя. Совпадения информационного сигнала с внешними воротами осуществляются на микросхеме "ИЛИ-НЕ" (минимальное разрешающее время - 8 нсек). Для повышения быстродействия сигнал ворот разветвляется. Режим работы без ворот осуществляется тумблером. Запоминание поступающей информации происходит на "R-S" триггере, составленном из двух схем "ИЛИ-НЕ". Сброс регистра выполняется либо при помощи внешнего NIM-импульса, из которого путем дифференцирования получается

	номер вх. канала по системе	номер вх. канала по блоку	выходные состояния							
			128	64	32	16	8	4	2	1
первый блок	15	15	0	0	0	0	1	1	1	1
	16	16	0	0	0	1	0	0	0	0
	17	1	0	0	0	1	0	0	0	1
второй блок	18	2	0	0	0	1	0	0	1	0
	19	3	0	0	0	1	0	0	1	1
	20	4	0	0	0	1	0	1	0	0
	21	5	0	0	0	1	0	1	0	1
	22	6	0	0	0	1	0	1	1	0
	23	7	0	0	0	1	0	1	1	1
	24	8	0	0	0	1	1	0	0	0
	25	9	0	0	0	1	1	0	0	1
	26	10	0	0	0	1	1	0	1	0
	27	11	0	0	0	1	1	0	1	1
	28	12	0	0	0	1	1	1	0	0
	29	13	0	0	0	1	1	1	0	1
	30	14	0	0	0	1	1	1	1	0
	31	15	0	0	0	1	1	1	1	1
32	16	0	0	1	0	0	0	0	0	
третий блок	33	1	0	0	1	0	0	0	0	1
	34	2	0	0	1	0	0	0	1	0

Рис. 2. Таблица выходных состояний второго блока системы.

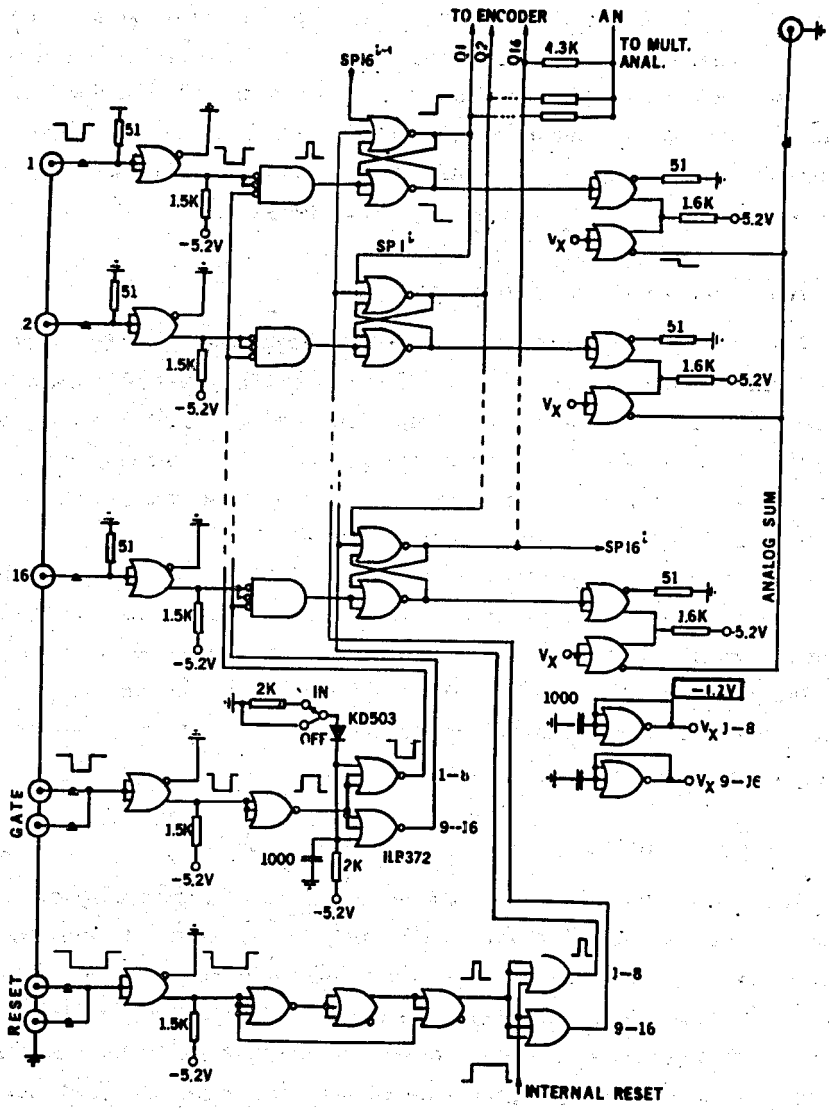


Рис. 3. Схема ворот запоминания и аналоговой суммы.

импульс шириной 8 нсек, либо сигналом, вырабатываемым в блоке управления. Подавление запоминания сигналов в случае срабатывания двух соседних проволочек выполняется подачей состояния Q ("1") на "R" плечо следующего триггера; потенциал - 0,8 в сработавшей ячейки вызывает нулевое состояние. Этой связью охвачены все блоки (входящий из предыдущего блока потенциал $SP 16^{1-1}$ и выходящий $SP 16^1$).

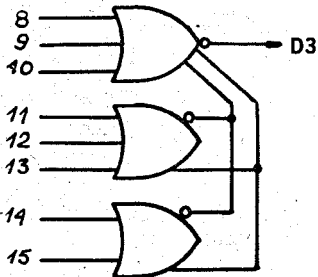
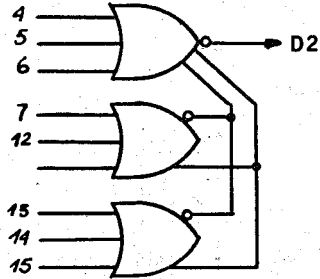
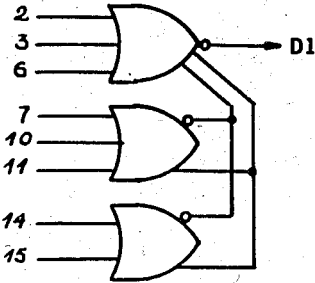
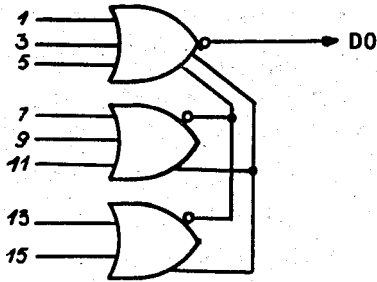
Аналоговая сумма (рис. 3)

Каждому срабатыванию запоминающего триггера соответствует появление тока 2 ма на шине $\Sigma 1-16$. Состояние "1" ячейки перебрасывает токовый ключ. Источником смещения ключа является микросхема "ИЛИ-НЕ", охваченная стопроцентной обратной связью, что вызывает появление на ее выходе потенциала -1,2 в, который является потенциалом смещения для *ECL* серии интегральных схем.

В процессе аналогового анализа определяется количество срабатываний в детекторе, что позволяет правильно выбрать режим работы камер и определить ее эффективность без применения ЭВМ. Измеряя приращения потенциала на нагруженной 50 омами шине $\Sigma 1-16$ (одиночному срабатыванию соответствует приращение потенциала на 100 мв), можно судить о количестве сработавших проволочек.

Шифратор (рис. 4)

Первые четыре бита ($D0 + D3$) массива получают шифрацией 16-ти каналов каждого блока отдельно. Каждый бит шифруется восьмивходовой схемой "И", составленной из трехвходовой схемы "И" вместе с двумя экспандерами, на входы которой поступают сигналы с каналов соответственно таблице состояний шифратора. Одинаковые биты всех блоков объединены и поданы на общее сопротивление 1,5К, находящееся в блоке управления. Такое решение возможно благодаря свойству микросхем серии *ECL*, заключающемуся в возможности объединения функции "И" по выходу.



ENCODER TRUTH TABLE

INPUT	D3	D2	D1	D0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

Рис. 4. Схема 16-канального шифратора.

Схема выбора блока (рис. 5)

Поскольку система предназначена для регистрации одной и только одной частицы, необходима схема, определяющая, в каком блоке произошло срабатывание и было ли выполнено условие на однократность.

Дешифрация количества срабатываний реализуется аналогово-цифровым методом суммирования токов на сопротивлении перехода Э-Б транзистора T_1 , включенного по схеме с общей базой. Потенциал эмиттера этого транзистора установлен на уровне логического "0" запоминающих

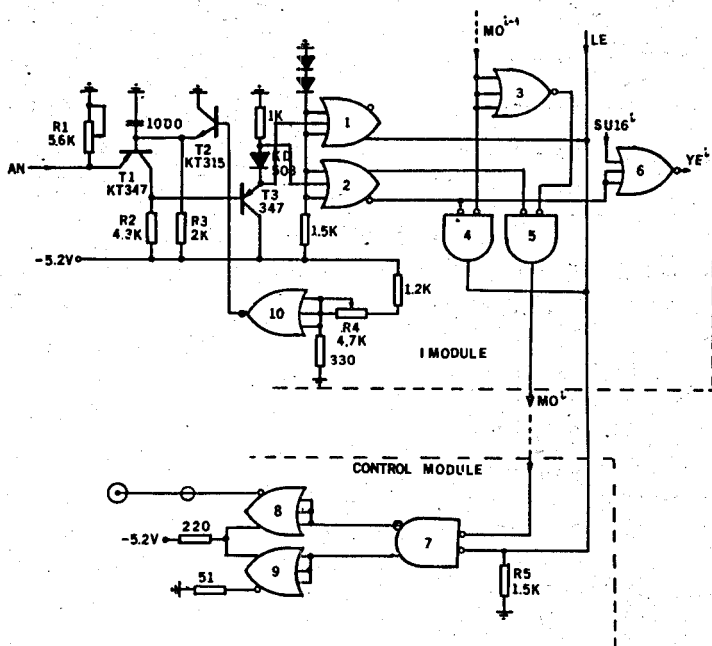


Рис. 5. Схема выбора блока.

триггеров входного регистра; точный подбор потенциала осуществляется потенциометром R_4 . Транзистор T_2 согласует входной уровень с уровнями регистра и в целом улучшает термостабильность схемы выбора блока. При срабатывании одного из триггеров регистра в эмиттер T_1 через сопротивление $4,3K$ (рис. 3) втекает ток ~ 200 мка, что соответствует приращению напряжения на резисторе R_2 на величину: 800 мв = "1" - "0". Срабатывание двух триггеров вызывает изменение этого напряжения на 2×800 мв. Функции дискриминирующих элементов выполняют микросхемы "ИЛИ" (дифференциальные пары). Потенциометром R_1 устанавливается потенциал "0" на входе микросхемы 2 и ("0" - $0,7$ в) для микросхемы 1. При одной зарегистрированной частице перебрасывается микросхема 2, при двух и больше частицах переброшены микросхемы 1 и 2. Сигнал наличия хотя бы одной частицы подается через микросхемы 2 и 6 на схему шифрации старших битов системы. Вход $SU16$ запрещает шифрации данного массива информации при срабатывании 16-го канала, так как в этом случае число $D4 - D7$ увеличивается на единицу.

В случае отсутствия срабатывания в предыдущих блоках потенциал M_0^{i-1} имеет состояние, соответствующее "1". После инверсии сигнал M_0^{i-1} поступает на микросхему 5, где при совпадении с сигналом отсутствия частицы в рассматриваемом блоке сохраняет состояние логической единицы. При несрабатывании пропорциональной камеры микросхема 7, находящаяся в блоке управления, выдает на выходе "one and only one" логический нуль. При наличии по одной частице в двух блоках поступают совпадения сигнала M_0^{i-1} с сигналом единичного срабатывания в блоке i , в результате чего на шине LE появляется "1", а на выходе NIM сигнал отсутствует. Наличие двух и больше срабатываний в каком-либо блоке вызывает с помощью микросхемы 1 появление на общей шине LE логической единицы. Случай шифрации системой одной и только одной частицы будет сопровождаться потенциалом - $0,7$ в на выходе "one and only one".

Схема шифрации старших битов (рис. 6)

Как следует из рис. 2, число $D4 - D7$, является номером блока, который зарегистрировал частицу. Это число набирается тумблерами S . При

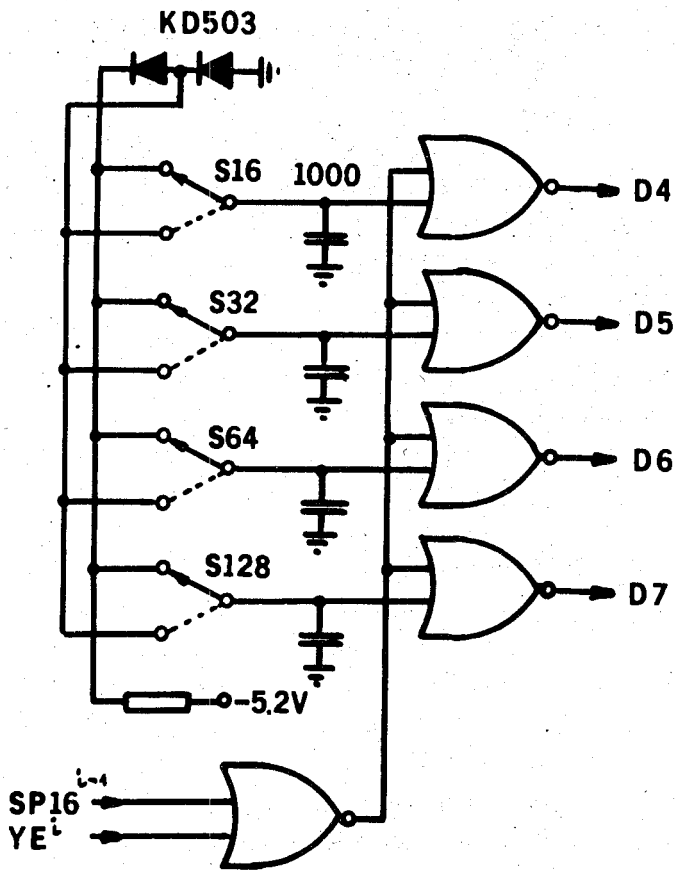


Рис. 6. Схема шифрации старших битов системы.

появлении срабатывания в i -том блоке (сигнал YE^i) или срабатывания 16-го канала $i-1$ блока (SP^{i-1}) набранное число появляется на информационных шинах системы.

Выходные формирователи и управление (рис. 7)

Состояния шин $DO-D7$ преобразовываются в стробированный NIM импульс, в TTL потенциал, поступающий на процессор и опрашиваемой через ЭВМ TTL сигнал. NIM формирователь выполнен на токовом ключе (экспандер). Трансляция ECL уровней в уровни TTL осуществляется при помощи токового ключа, который открывает диод КД503, запирающий транзистор КТ315. Выход на ЭВМ выполнен на микросхеме с открытым коллектором. В блоке находится двухходовая схема обнуления от ЭВМ, состоящая из транслятора уровней TTL в уровни ECL . Выход этой схемы подан на все блоки системы.

От момента запоминания вся дальнейшая обработка информации производится асинхронным методом, что повышает скорость и надежность шифрации. Собственное время задержки шифрации составляет - 150 нсек. Один блок состоит из 63 микросхем и потребляет 900 ма тока от источника - 5,2 в.

В заключение авторы пользуются случаем выразить благодарность С.Б. Нурушеву, А.А. Деревшикову и Э.Н. Цыганову за интерес к работе и полезные обсуждения, а М.В. Кучиной и Н.И. Беликову за техническую помощь.

Л и т е р а т у р а

1. А.А. Борисов и др. Годоскопическая установка для исследования упругого рассеяния частиц высоких энергий. Труды Международной конференции по аппаратуре в физике высоких энергий, Дубна, 1970.
2. Ф.К. Алиев, З. Гузик и др. Препринт ОИЯИ, Р4-5793, Дубна, 1971.
3. А.А. Derevchikov, Z.Guzik et al. Fast Digital Processor for Applications in High-Energy Physical Experiments. Nucl. Instr. and Meth. (to be published).

Рукопись поступила в издательский отдел
6 марта 1972 года.

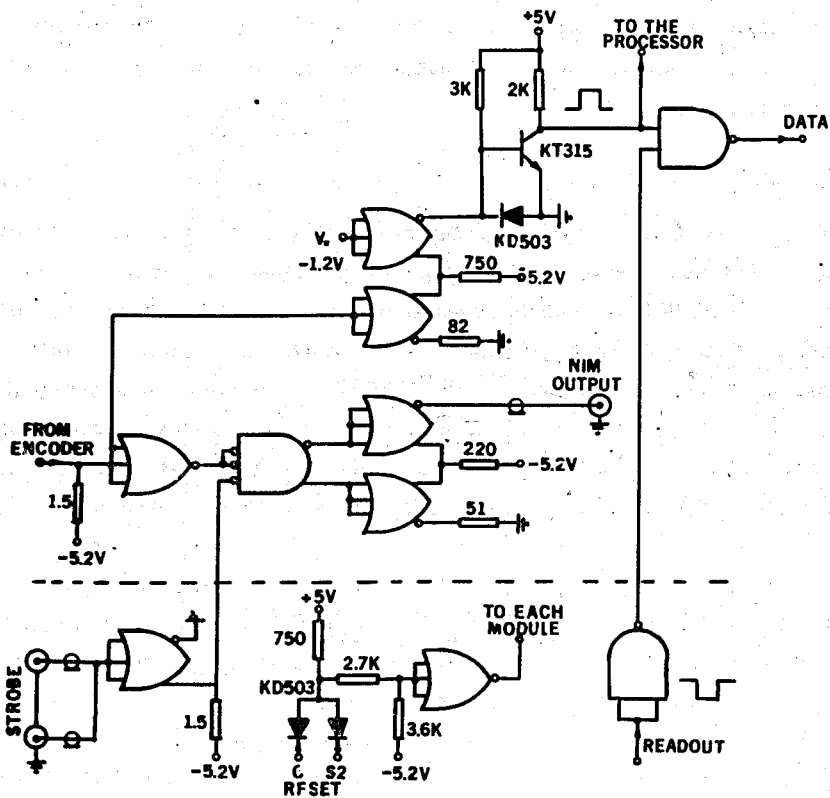


Рис. 7. Схема выходных формирователей и управления.