

Г-79

19/15-71

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

1195/2-71

13 - 5638



В.М. Гребенюк

ДВОИЧНОЕ ПЕРЕСЧЕТНОЕ
УСТРОЙСТВО СО СКОРОСТЬЮ СЧЕТА
ДО 200 МГц

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

1971

.13 - 5638

В.М. Гребенюк

ДВОИЧНОЕ ПЕРЕСЧЕТНОЕ
УСТРОЙСТВО СО СКОРОСТЬЮ СЧЕТА
ДО 200 МГЦ

Направлено в ПТЭ

СОЕДИНЕННЫЙ ИНСТИТУТ
КОСМИЧЕСКИХ ИССЛЕДОВАНИЙ
БИБЛИОТЕКА

За последние годы появилось много сообщений о создании пересчётных схем, быстродействие которых исчисляется сотнями мегагерц^{/1-7/}. Однако разработка их не прекращается, что, в первую очередь, связано с желанием обеспечить надёжную работу, простоту настройки и повторяемость схем.

Большинство из известных пересчётных схем выполнено либо полностью на туннельных диодах^{/4/}, либо на комбинации туннельных диодов и транзисторов^{/1-3,5-7/}.

В ряде схем допустимое изменение напряжения на триггерах быстродействующих пересчётных схем составляет $(0,5+4)\%$ ^{/8/}, а динамический диапазон амплитуд на входе триггера - $(3+15)\%$ ^{/8/}. Кроме того, накладываются ограничения (иногда довольно жесткие^{/7/}) на длительность запускающего сигнала.

В работе описывается схема, в значительной мере свободная от перечисленных выше ограничений. Она создана на основе триггерной ячейки, предложенной Таном и Максвеллом^{/6/}.

На рис. 1 приведена принципиальная схема триггера. Пусть открыт транзистор T_1 и текут токи $I_{вх}$ и $I_{см}$, где $I_{вх}$ - управляющий ток, а $I_{см}$ - режимный, большой пикового тока туннельного диода. Тогда туннельный диод ТД₁ смещен разностью токов $I_{см} - I_{вх} = I_0$ в точку А (см. рис. 2). При этом транзистор T_2 закрыт, и потенциал на его базе $U_{\delta 2} = I_0 r R_2 / R_1 + R_2$.

При выключении тока $I_{вх}$ (выключение $I_{вх}$ соответствует приходу входного сигнала) туннельный диод $ТД_1$ переключается в точку Б. При этом транзистор $Т_2$ запирается на базе потенциалом $I_{сМ} r R / 2 | R / 1 + R / 2$ и не может открыться, несмотря на то, что эмиттерный потенциал стал отрицательнее на величину U_B (где U_B - напряжение на туннельном диоде в точке Б).

С включением тока $I_{вх}$ (включение $I_{вх}$ соответствует окончанию входного сигнала) туннельный диод $ТД_1$ смещается в точку В по характеристике. При этом потенциал на коллекторе транзистора $Т_1$ снова становится $U_a = I_0 r$, а на базе $Т_2 - U_{\delta 2} = I_0 r R_2 / R_1 + R_2$. Так как туннельный диод $ТД_1$ находится в высоковольтном состоянии, то потенциала на базе $Т_2$ уже недостаточно, чтобы запереть транзистор $Т_2$, и он открывается, а $ТД_2$ смещается по характеристике в точку А. Транзистор $Т_1$ при этом закрывается, а туннельный диод $ТД_1$ становится в О.

Таким образом, изменение состояния триггера происходит с окончанием входного сигнала.

Диаграммы коллекторных напряжений транзисторов $Т_1$ и $Т_2$ при изменении тока $I_{вх}$ приведены на рис. 3.

Так как триггер изменяет состояние с окончанием сигнала, то формирования входного сигнала по длительности не требуется. Это обеспечивает возможность каскадирования ячеек по постоянному току. Полная схема пересчетного устройства приведена на рис. 4.

В качестве входного формирователя и для связи отдельных ячеек применены дифференциальные усилители, работающие в ключевом режиме. Симметричное включение без каскадов связи в коллекторные цепи триггеров автоматически обеспечивает режим каскадов связи и снижает зависимость режима от изменения напряжения источника питания. Вместо резистора R_1 (см. рис. 1) в окончательном варианте схемы поставлены стабилитроны, т.к. они имеют меньшее дифференциальное сопротивление.

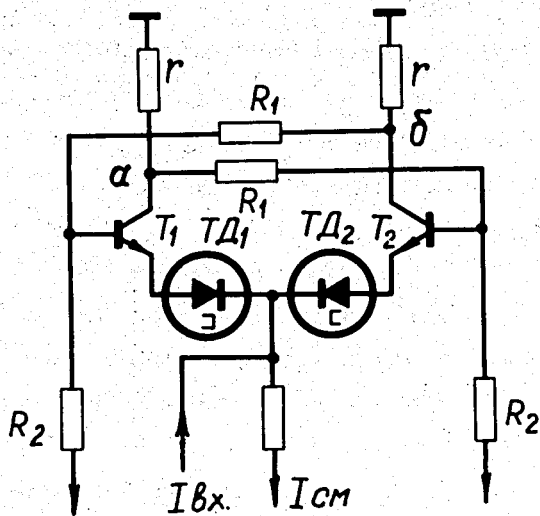


Рис. 1. Принципиальная схема триггера.

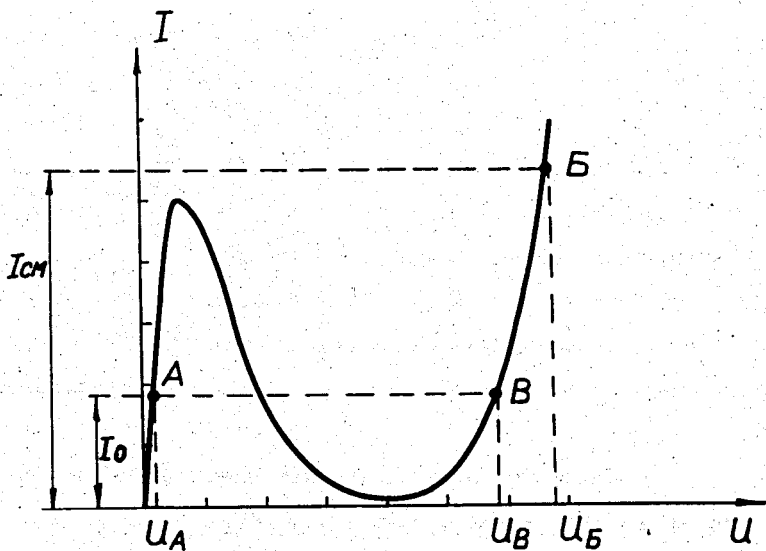


Рис. 2. Положение рабочей точки на характеристике туннельного диода в различных фазах работы триггера.

Из-за существующего разброса напряжения стабилизации стабилитронов в схему включены переменные резисторы, компенсирующие разброс потенциалов баз триггерных транзисторов.

Эмиттерные повторители на транзисторах T_1-T_4 используются для потенциальных выходов кода.

Транзистор T_5-T_{14} - ГТ313, $T_{15}+T_{22}$ - ГТ311. Диоды, не обозначенные на схеме, - Д18 и служат для установки пересчёта в состояние 0. Сброс может осуществляться как импульсно, так и потенциально.

Монтаж пересчётной схемы - печатный, причём имеются 2 модификации устройства.

В одной из них на плате размещаются 4 триггера. В этом случае блок используется в качестве 4-разрядного двоичного регистра и обладает быстродействием 180+200 МГц.

Съём сигнала для запуска более "медленных" ячеек производится с коллектора свободного транзистора дифференциальной пары $T_{11} T_{12}$ (см. рис. 4).

В другой модификации на плате располагаются: входной ограничитель (рис. 5), три триггера и выходной формирователь, схема которого приведена на рис. 6.

Этот блок обладает быстродействием 100-110 МГц (из-за наличия входного ограничителя) и используется в стандартных стойках пересчётных схем. Динамический диапазон входных амплитуд (0,3+15) в.

Допустимое изменение напряжений питания схемы $\pm 10\%$.

Выходной формирователь формирует стандартный токовый сигнал амплитудой 18 ма для работы с системой блоков наносекундной электроники.

На рис. 7 приведены осциллограммы сигналов на выходе триггеров при частоте входных сигналов 180 МГц.

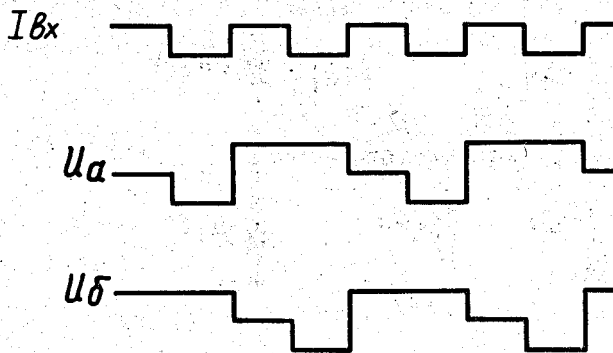


Рис. 3. Диаграммы напряжений в точках U_a и U_b при изменении $I_{вх}$.

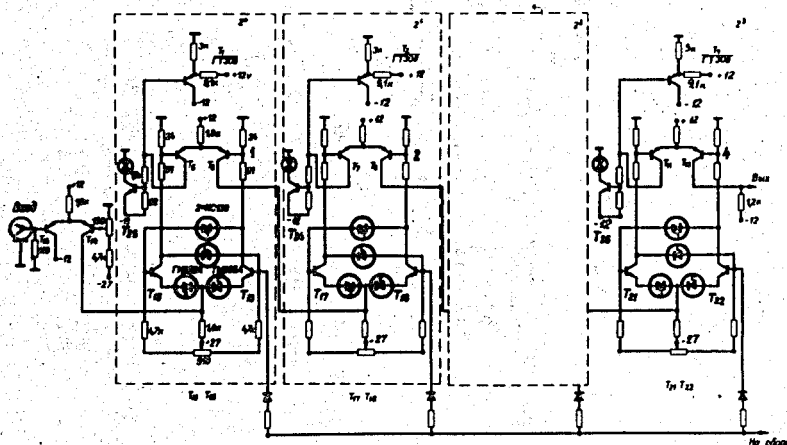


Рис. 4. Принципиальная схема пересчётного устройства.

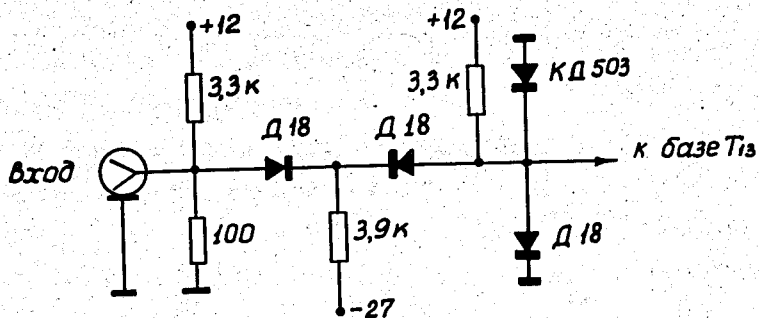


Рис. 5. Принципиальная схема входного ограничителя.

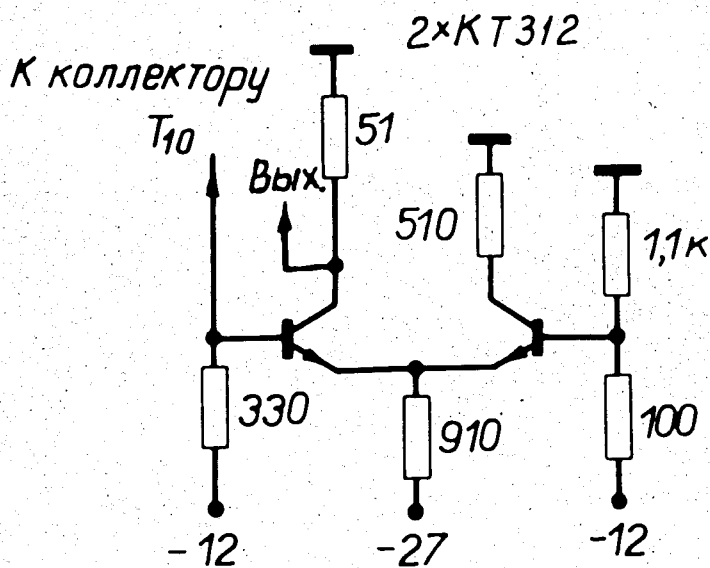


Рис. 6. Принципиальная схема выходного формирователя.

На рис. 7а,б,в горизонтальная развертка 5 нсек/дел. На рис. 7г горизонтальная развертка 10 нсек/дел. Вертикальная шкала 100 мв/дел на всех осциллограммах.

Пересчётные схемы с успехом использовались в экспериментах на синхротронной ОИЯИ в течение года. Выхода из строя схем за это время не происходило.

В заключение автор пользуется случаем выразить благодарность В.Г. Зинову за ценные замечания и постоянный интерес к работе, А.В. Устинову за разработку печатной платы и монтаж пересчётного устройства.

Литература

1. В.М. Лачинов. Препринт ОИЯИ 2217, Дубна, 1965.
2. И.Ф. Колпаков, И. Тёрек. Стр. 286. Материалы Симпозиума по наносекундной ядерной электронике, Дубна, 1967.
3. И. Манда и др. Препринт ОИЯИ 13-3042, Дубна, 1966.
4. P. Bernard. L'onde Électrique, 46, p.885-888, 1966.
5. Z.C. Tan. R.S.I., v.38, No.10, p.1415, 1967.
6. Z.C. Tan and P.C. Maxwell. R.S.I., v.39, No.4, p.466, 1968.
7. Z.C. Tan. R.S.I., v.40, No.4, p.585, 1969.
8. В.Ф. Мухин, В.А. Армашов. Туннельные диоды в вычислительной технике, стр. 167, Изд-во "Зинатне", Рига, 1969.

Рукопись поступила в издательский отдел

23 февраля 1971 года.

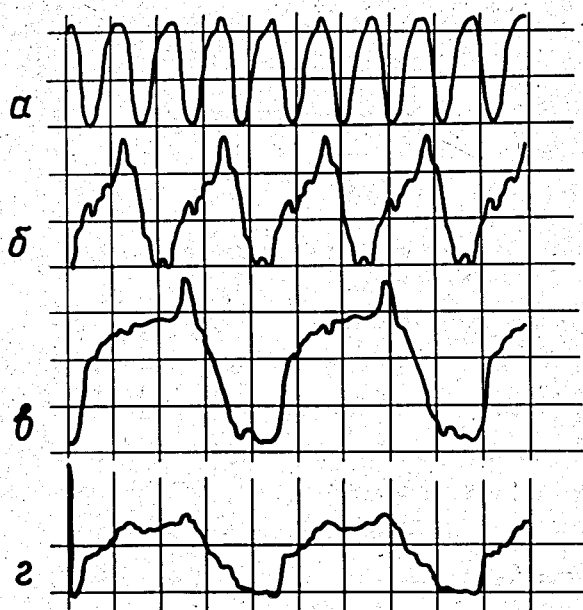


Рис. 7. а) Последовательность входных сигналов; б) выходные сигналы с первого триггера (точка 1 рис. 4); в) выходные сигналы со второго триггера (точка 2 рис. 4); г) выходные сигналы с третьего триггера (точка 3 рис. 4).