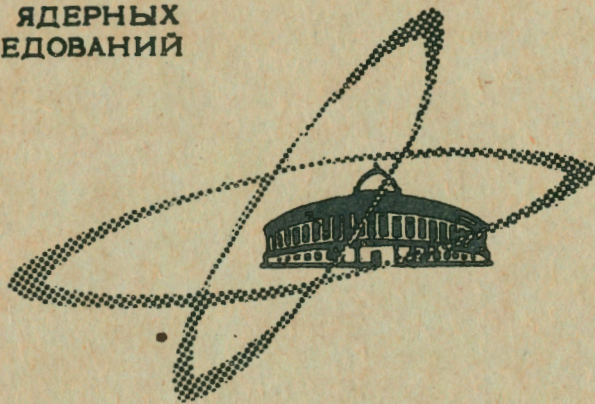


ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна.



13 - 4212

В.М.Лачинов

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

СХЕМЫ ИНДИКАЦИИ И УПРАВЛЕНИЯ
ДЛЯ БЫСТРОДЕЙСТВУЮЩЕЙ ПЕРЕСЧЕТНОЙ
ДЕКАДЫ

1968

13 - 4212

В.М.Лачинов

СХЕМЫ ИНДИКАЦИИ И УПРАВЛЕНИЯ
ДЛЯ БЫСТРОДЕЙСТВУЮЩЕЙ ПЕРЕСЧЕТНОЙ
ДЕКАДЫ

Направлено в ПТЭ

**Научно-техническая
библиотека
ОИЯИ**

В ряде случаев при использовании быстродействующей пересчётной декады^{1,2/} в цифровых измерительных приборах необходима индикация ее состояния после завершения счёта и последующий сброс ее показаний в нулевое значение перед новым измерительным циклом. Возможный вариант такого устройства индикации и сброса приведен в работе^{1/}. Однако указанная схема применима к декаде, в которой в пятеричном кольце используются транзисторы р-п-р типа, тогда как в настоящее время наиболее надёжной и наиболее часто применяемой на практике является декада с пятеричным кольцом на транзисторах типа ГТ311(п-р-п) ^{2/}.

Здесь предлагается усовершенствованная схема индикации и сброса на "0" для последнего варианта декады, которая имеет максимальную скорость счёта свыше ≈ 210 Мгц.

Состояния данной декады индуцируются следующим образом^{1,3/} (рис. 1). Два состояния входного триггера на ТД_{1,2} определяют включение чётных или нечётных цифр индикаторной лампы. Пятеричная пересчётная схема подготавливает включение одной пары цифр из 5 возможных (1-2, 3-4, 5-6, 7-8, 9-0). Таким образом, с использованием последующих схем совпадения осуществляется дешифрация состояний декады и зажигание одной из 10 цифр индикаторной лампы.

В данном дешифраторе (рис. 1) сигналы "чёт-нечёт", определяемые входным двоичным триггером на ТД_{1,2} с выходными уровнями - 0,08 в и -0,8 в, фиксируются простым пороговым устройством на Т₂₁ и Т₂₂, которое отличается хорошей чувствительностью (гистерезис $\approx \pm 10$ мв) и высокой температурной стабильностью (до 0,3 мв/град) порога срабатывания ($U_{\text{пор}} \approx -0,35$ в), что обеспечивает надёжную работу дешиф-

ратора. В коллекторных цепях последующего транзисторного ключа ($T_{23,24}$) получается сигнал "чёт-нечёт", который в виде ограниченного по величине тока (≈ 2 ма) поступает в эмиттерные цепи схем совпадения ($T_{11} + T_{20}$),

Для дешифрации состояния пятеричного кольца используют напряжения на сопротивлениях $R_{\delta_1} - R_{\delta_5}$ (рис. 1), которые, например, могут иметь одно из 3-х возможных значений: 0,5 в; 1,5 в; 2,5 в (см. таблицу). Однозначно фиксируется состояние кольца наличием напряжения 1,5 в на одном из этих сопротивлений (см. табл. 1). Однако такое напряжение трудно использовать для дешифрации, так как оно имеет промежуточное значение. Обходят эту трудность обычно применением комбинации схем сложения на сопротивлениях $/1,3/$. Например, получают полусумму напряжений со 2-го и 4-го выходов ключей кольца (см. таблицу), которая принимает значения -0,5 в; 1,0 в; 1,5 в; 2,0 в; 2,5 в. В данном случае легко фиксируемое крайнее напряжение 2,5 в соответствует состоянию кольца, когда средний уровень 1,5 в имеется на выходе 1-го ключа. При счёте средний уровень 1,5 в перемещается по кольцу и фиксируется наличием напряжения 2,5 в на соответствующих выходах схем сложения.

С целью повышения надежности и чёткости дешифрации декады желательно увеличить разницу между крайним фиксируемым напряжением на выходах схем сложения и ближайшим к нему возможным напряжением. В предлагаемом здесь устройстве применена диодно-резисторная схема сложения (рис. 1), которая почти в 2 раза увеличивает указанную разницу (в данном случае до ≈ 1 в). Это объясняется тем, что на выходах схем сложения при разных входных сигналах получается напряжение, приблизительно равное меньшему входному сигналу. В результате увеличивается эффективность дешифрации, снижаются требования к последующим схемам совпадения, которые могут быть взяты более простыми.

Выходы схем сложения подключаются к базам определенных пар транзисторов ($T_{11,16}$, $T_{12,17}$, $T_{13,18}$, $T_{14,19}$, $T_{15,20}$), которые выполняют две функции. В качестве схем совпадений эти транзисторы производят окончательную дешифрацию состояния декады и, кроме того, осуществляют требуемое включение цифр индикаторной лампы ИН-1. Эмиттеры транзисторов, которые включают чётные цифры ИН-1, соединены вместе, как и эмиттеры транзисторов, коммутирующих нечётные цифры.

Обе группы эмиттеров подключаются к соответствующим выходам транзисторного ключа "чёт-нечёт". Сигналы с выходов пятеричного кольца, поступающие на отдельные пары транзисторов, подготавливают одну из них. В этой паре включается транзистор, относящийся к той группе, в эмиттерную цепь которой поступает ток ≈ 2 ма (сигнал "чёт-нечёт"). Напряжение на эмиттере включаемого транзистора, а следовательно, и на всех остальных в этой группе, имеет такое значение, что запирает остальные триоды этой группы. Коллекторный ток транзистора, равный ≈ 2 ма, обеспечивает нормальное свечение одной из цифр ИН-1. Схема обеспечивает включение только одной цифры. В схемах совпадения и управления ИН-1 могут, например, использоваться транзисторы типа П309. Так как они имеют допустимое напряжение коллектор - база, которое ниже, чем коммутируемое напряжение на ИН-1 ≈ 160 в, то в коллекторах транзисторов стоят резисторные делители, ограничивающие напряжения на них.

Транзисторы $T_{25} + T_{27}$ являются основой схемы для сброса показания декады на нуль. За исходное состояние декады взяты состояния двоичного триггера с выходным напряжением - 0,6 в, а пятеричного кольца с напряжением + 1,5 в на выходе 1. Ключ ($T_{25,26}$) управляется отрицательным импульсом с амплитудой больше 2 в от нулевого уровня. Отрицательный сигнал с коллектора T_{25} через диоды $D_{8,9}$ устанавливает в исходное состояние двоичный триггер, а на выходе 1 пятеричного кольца - напряжение $< 1,5$ в. С транзистора T_{26} положительный сигнал через повторитель T_{27} и диод D_7 устанавливает на выходах 2 и 4 кольца напряжения $> 2,5$ в. Этих сигналов достаточно для однозначного задания исходного состояния декады. При отсутствии сигнала сброса схема обеспечивает на разделительных диодах достаточно большие запирающие напряжения (малые емкости диодов) и не оказывает влияния на работу декады.

Таким образом, рассмотренное устройство для индикации декады и сброса на нуль по сравнению с известными $/1,3/$ отличается, во-первых, более эффективной диодно-резисторной схемой дешифрации пятеричного кольца, а, во-вторых, применением более простых и надежных узлов. Кроме того, для схемы характерно пониженное потребление мощности (все коммутирующие ИН-1 транзисторы, кроме одного, заперты)

и меньшее количество используемых транзисторов. Добавление предлагаемого устройства к декаде/2/, которая работает как входной делитель частоты, например, в электронно-счётных частотомерах, позволит либо уменьшить на порядок время измерения, либо увеличить на порядок точность измерения частоты при соответствующей стабильности частоты опорного генератора.

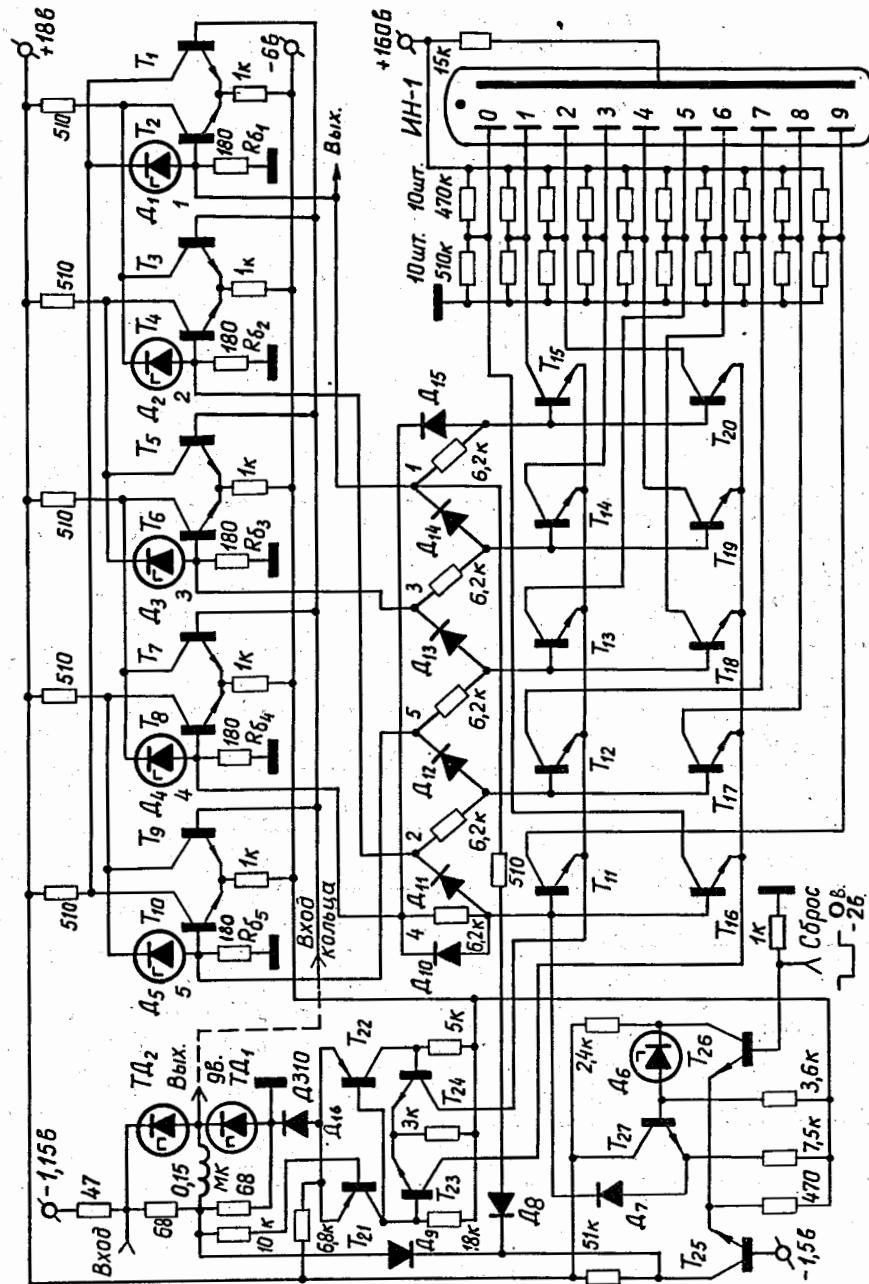
В случае использования индуцируемой декады в счётных цифровых приборах необходимо осуществлять управление входными сигналами (временную селекцию). На рис. 2 показана такая схема применительно к рассматриваемой декаде/2/. Импульсы управления (типа меандра или два разнополярных коротких импульса, соответствующих началу и концу времени пропускания) запускают ТД₄, работающий в режиме триггера и являющийся чувствительным и стабильным амплитудным дискриминатором. В качестве нагрузки ТД₄ используется транзистор Т по схеме с общей базой, который работает как ключ с токовым управлением. Состояния транзисторного ключа определяют режим выходного ТД одновибратора формирователя/2/. При открытом Т в ТД₃ смещение таково, что входной счётный сигнал не запускает одновибратор и, соответственно, декаду. При указанных на рис. 2 элементах время срабатывания ключа может достигать ≈ 2 нсек.

В заключение автор благодарит П.П.Гавриша за монтаж приведенных выше схем и участие в их наладке.

Л и т е р а т у р а

1. Ю.Н.Денисов, В.М.Лачинов, В.И.Прилипко. ПТЭ, №4, 83, 1965.
2. В.М.Лачинов. ПТЭ №5, 105, 1966. Препринт ОИЯИ, 2217, Дубна, 1965.
3. R.Engelmann. Electronics, 36, N46, 19, 1963.

Рукопись поступила в издательский отдел
20 декабря 1968 года.



Т₁-10 - ГТЭ11А; Т₁₁-20 - ПЗ02; Т₂₁, 22 - П104; Т₂₃, 27 - П105; ТД_{1,2} - ЭИ301Г; Д₄, 16 - Д808; Д₇-15 - Д18

Рис. 1. Схема индикации и сброса на ноль для быстродействующей пересчётной декады.

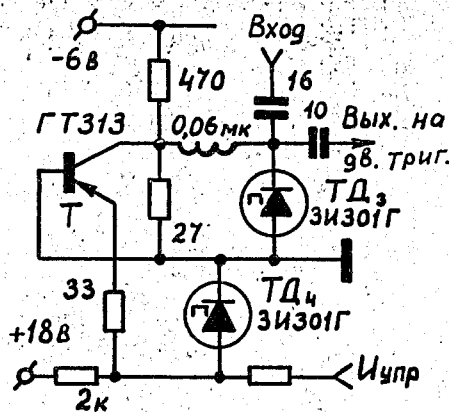


Рис. 2. Временной селектор.

Таблица

Колич. имп-ов	Выход двоичного триггера, в.	Выходы ключей пятеричного кольца, В.				
		1	2	3	4	5
0	-0,6	<u>1,5</u>	2,5	0,5	2,5	0,5
1	-0,08	2,5	<u>1,5</u>	0,5	2,5	0,5
2	-0,6	2,5	0,5	<u>1,5</u>	2,5	0,5
3	-0,08	2,5	0,5	2,5	<u>1,5</u>	0,5
4	-0,6	2,5	0,5	2,5	0,5	<u>1,5</u>
5	-0,08	<u>1,5</u>	0,5	2,5	0,5	2,5
6	-0,6	0,5	<u>1,5</u>	2,5	0,5	2,5
7	-0,08	0,5	2,5	<u>1,5</u>	0,5	2,5
8	-0,6	0,5	2,5	0,5	<u>1,5</u>	2,5
9	-0,08	0,5	2,5	0,5	2,5	<u>1,5</u>