

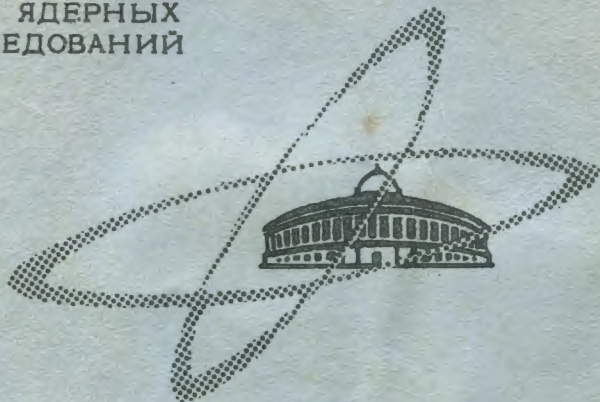
С 344.38

Г-79

2/10 67

ОБЪЕДИНЕННЫЙ  
ИНСТИТУТ  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ

Дубна



13 - 3271

В.М. Гребенюк, И.Ф. Колпаков

ВРЕМЕННОЙ КОДИРОВЩИК НА 4096 КАНАЛОВ  
С ШИРИНОЙ КАНАЛА 10 НСЕК

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

1967.

13 - 3271

В.М. Гребенюк, И.Ф. Колпаков

ВРЕМЕННОЙ КОДИРОВЩИК НА 4096 КАНАЛОВ  
С ШИРИНОЙ КАНАЛА 10 НСЕК

4991/1 пр.

Многоканальный преобразователь время-цифровой код является относительно сложным устройством в сравнении с время-амплитудными конвертерами<sup>/1/</sup>, которые, в основном, используются для измерения микросекундных и наносекундных интервалов времени, и современными хронотронными измерителями времени<sup>/2-4/</sup>. Важными преимуществами временных кодировщиков являются стабильность ширины каналов и отсутствие необходимости в калибровке. Следует отметить, что стабильность ширины каналов у время-амплитудных конвертеров достигается только при использовании сложных систем стабилизации. В связи с возрастающей тенденцией обрабатывать результаты эксперимента в ходе самого эксперимента на вычислительных машинах становится важным малое "мертвое" время кодировщиков и большая по сравнению с время-амплитудными конвертерами скорость ввода в запоминающее устройство (З.У.)<sup>/5/</sup>. Полезной особенностью является также малая дифференциальная нелинейность кодировщиков. Преобразователь - время-цифровой код позволяет получить практически любое требуемое число каналов и легко изменять диапазон измерений.

Принцип временного кодировщика широко известен<sup>/6/</sup> и иллюстрируется на рис. 1. Прибор имеет генератор стабильной частоты, "ворота", открываемые сигналом, связанным с началом измеряемого временного интервала ("старт"), и пропускающие сигналы генератора на пересчетную схему. При поступлении импульса, соответствующего концу измеряемого интервала ("стоп"), "ворота" закрываются, и записанный в триггерах пересчетной схемы код измеренного временного интервала считывается в запоминающее устройство (З.У.). При стабилизации кварцем задающего генератора стабильность его частоты порядка  $10^{-4}$  -  $10^{-5}$ , что позволяет в принципе обеспечить число каналов кодировщика порядка  $10^4$  -  $10^5$ . Ширина канала определяется частотой генератора и быстро-

действием пересчетной схемы. Известные схемы кодировщиков имеют минимальную ширину каналов 20 нсек<sup>/7/</sup>, 10 нсек<sup>/8-10/</sup> и даже 5 нсек<sup>/11/</sup>. Прогресс в разработке быстродействующих пересчетных устройств указывает на возможность осуществления на туннельных диодах пересчетных схем на частоты 0,5-1 Гц. Однако даже при таких скоростях счета будет существовать некоторый разрыв между разрешающей способностью временных кодировщиков и разрешающими временами ФЭУ (для лучших современных ФЭУ дисперсия по времени пролета составляет 0,1 нсек).

Нониусные временные преобразователи временных интервалов в цифровой код<sup>/8,12,13/</sup> имеют разрешающие времена до 50 нсек, однако из-за невысокой стабильности частоты генераторов в них не удается получить большое число каналов. Современные универсальные цифровые измерители временных интервалов, работающие как в микросекундном, так и в наносекундном диапазонах, представляют собой сочетание временного кодировщика с одним из более быстрых временных преобразователей - амплитудно-временным конвертером<sup>/14/</sup>, хронотроном<sup>/15,16/</sup> либо нониусным преобразователем. "Грубое" измерение временного интервала осуществляется здесь счетом числа импульсов задающего генератора, а интерполяция отрезков времени между началом измеряемого интервала и первым импульсом задающего генератора, а также между последним сосчитанным импульсом задающего генератора и концом интервала производится с помощью одного из упомянутых выше быстрых преобразователей. Разрешающие времена достигают при этом 0,5 нсек и менее при числе каналов 4096.

Развивается также фазовый метод временного кодирования со статистическим выравниванием временной шкалы<sup>/17,18/</sup>, с помощью которого выполнен кодировщик на 1024 канала с разрешающим временем 50 нсек. Однако подобное устройство является весьма громоздким.

Таким образом, временные кодировщики имеют разрешающие времена, приближающиеся к разрешающим временам время-амплитудных конвертеров, обладая большим числом каналов и лучшей стабильностью. Следует отметить, что собственные разрешающие времена временных преобразователей в цифровой код в сочетании с интерполяторами являются лучшими, чем у существующих детекторов частиц. Однако современные кодировщики являются все еще сложными электронными устройствами, поэтому необходимо их дальнейшее развитие в сторону

упрощения и повышения надежности - задача, решаемая, возможно, только с помощью интегральных схем.

#### Блок-схема временного кодировщика на 4096 каналов с шириной 10 нсек и последовательность его работы

Разработанный временной кодировщик предназначен, в основном, для наблюдения  $\mu$ -мезонных распадов, что определяло диапазон его измеряемых временных интервалов:  $0-40,96 \pm 0,01$  мсек (4096 каналов при ширине канала 10 нсек). Логическая схема кодировщика построена таким образом, чтобы предотвратить ложные срабатывания схемы, исключить повторные срабатывания во время регистрации событий и в течение переписи кода зарегистрированного события в З.У. и вернуть схему в исходное состояние по окончании записи в З.У.<sup>/19/</sup>. Разумеется, кодировщик может быть использован во всех случаях измерения временных интервалов в указанном диапазоне.

Полная блок-схема кодировщика приведена на рис. 2. Основными узлами схемы являются: синусоидальный генератор, стабилизированный кварцем с усилителем частоты на 100 Мгц, "ворота" (В), управляемые триггером Т и пересчетная схема на частоту 100 Мгц, емкостью  $2^{12}$  - 1 импульсов ( $Tr_1 - Tr_{12}$ ).

В исходном состоянии триггер Т находится в состоянии "0", "ворота" В закрыты, и сигналы задающего генератора не попадают на вход пересчетного устройства. Как видно из блок-схемы на рис. 2, на входах "старт" и "стоп" имеются формирователи входных импульсов по амплитуде и длительности ( $\Phi_1$  и  $\Phi_2$ ) и "ворота"  $V_1$  и  $V_2$ , соответственно. Ворота  $V_1$  нормально открыты, а  $V_2$  - закрыты. Этим исключается запуск схемы при поступлении импульса "стоп" ранее сигнала "старт". Триггер блокировки  $T_{14}$ , управляющий триггером Т, на время записи находится также в состоянии "0". Триггеры пересчетной схемы  $Tr_1 - Tr_{12}$  и триггер переполнения  $Tr_{13}$  находятся в состоянии "0". С приходом импульса "старт" триггер Т становится в состояние "1", открывая "ворота" В, и начинается счет импульсов с генератора 100 Мгц пересчетной схемой. При установлении триггера Т в состояние "1" "ворота"  $V_2$  открываются и готовы к приходу импульса "стоп", а ворота  $V_1$  закрываются, чем обеспечивается отсутствие

повторных срабатываний по входу "старт" с началом измерения. С приходом импульса "стоп" триггер Т возвращается в исходное состояние, "ворота" В закрываются, и прекращается счет импульсов генератора пересчетной схемой. Теперь начинается цикл записи в З.У. амплитудного анализатора (АА) и схема блокируется: "ворота" В<sub>2</sub> снова закрываются, поскольку триггер Т устанавливается в состояние "0", "ворота" В<sub>1</sub> хотя и открываются, но сам триггер Т блокируется через формирователь Ф<sub>3</sub> триггером Т<sub>14</sub>, срабатывающим при поступлении сигнала "стоп". Так обеспечивается блокировка обоих входов на время переписи в З.У. При переключении триггера Т<sub>14</sub> с приходом сигнала "стоп" срабатывает также одновибратор О<sub>1</sub>, посылающий на З.У. АА импульс начала регистрации. Через 4 мксек (время такта З.У. АА) производится параллельное считывание потенциалов триггеров Т<sub>1</sub>-Т<sub>12</sub> - двоичного кода измеренного временного интервала в адресные триггеры З.У. По окончании программы записи в З.У. с АА поступает импульс конца регистрации, который устанавливает в исходное состояние "0" триггеры пересчетной схемы и триггер Т<sub>14</sub> (через формирователь Ф<sub>4</sub>), вследствие чего триггер Т также возвращается в состояние "0" (через формирователь Ф<sub>3</sub>) и снимается запрет с "ворот" В<sub>1</sub>. Формирователь Ф<sub>4</sub> (через формирователь Ф<sub>5</sub>) блокирует триггер Т на время установки в "0" пересчетной схемы. При отсутствии такой блокировки в течение времени, когда триггеры пересчетной схемы еще не установились в исходное состояние, может поступить импульс "старт", который переключит триггер Т, "ворота" В откроются, и в пересчетной схеме, не готовой к счету, будет зарегистрирован неверный код события. После окончания импульса с формирователя Ф<sub>5</sub> схема готова к регистрации следующего временного интервала.

Логика кодировщика предусматривает установку пересчетной схемы в "0" в отсутствие сигнала "стоп". В этом случае при переполнении пересчетной схемы срабатывает триггер Т<sub>13</sub>, сигнал с которого формируется Ф<sub>4</sub>, и сбрасывает в "0" пересчетную схему и триггер Т (через формирователь Ф<sub>3</sub>). В этом случае запуск АА и считывания информации не происходит. По окончании импульса с формирователя Ф<sub>4</sub> кодировщик готов к дальнейшей работе. Логика кодировщика не предусматривает блокировки входа "стоп" при появлении 2-го импульса по входу "старт" в течение измеряемого интервала. Исключение таких событий важно при измерениях с  $\mu$ -мезонами.

В кодировщике предусмотрено изменение временного диапазона, что достигается переключением выхода последних триггеров пересчетной схемы на триггер Т<sub>13</sub>. Ширина канала при этом остается неизменной (10 нсек).

Кодировщик выполнен в виде отдельных блоков: задающего генератора на 100 Мгц, "ворот" с логикой управления, двоичной пересчетной схемы на 100 Мгц с коэффициентом пересчета 16 (Т<sub>1</sub>-Т<sub>4</sub>) и далее стандартных - двоичной пересчетной схемы на 15 Мгц с коэффициентом пересчета 16 (Т<sub>5</sub>-Т<sub>8</sub>), двоичной пересчетной схемы на 5 Мгц (Т<sub>9</sub>-Т<sub>12</sub>) и двоичной пересчетной схемы на 500 кгц (Т<sub>13</sub>)<sup>/20/</sup>. Ширина канала может быть увеличена на 100 нсек (соответственно максимальный временной диапазон увеличится до 408,6 мксек), если сигналы на вход "ворот" подавать с имеющегося выхода задающего генератора 10 Мгц. При этом необходима замена двоичной пересчетной схемы на 100 Мгц на стандартную двоичную пересчетную схему на 15 Мгц с блоком входного дискриминатора<sup>/21/</sup>.

#### Генератор и умножитель частоты на 100 Мгц

При числе каналов 4096 кодировщика задающий генератор необходимо было выполнять с кварцевой стабилизацией. Ввиду отсутствия кварцевого резонатора на частоту 100 Мгц (при возбуждении на основной гармонике) был использован задающий генератор на частоту 10 Мгц, стабилизированный кварцем с последующим десятикратным умножением частоты (до 100 Мгц). Известно, что относительная нестабильность частоты при умножении сохраняется<sup>/22,23/</sup>. Умножение частоты осуществлялось на двух ступенях каскадов резонансных усилителей с коэффициентами умножения 5 и 2, соответственно, на каждой ступени. Уход частоты задающего генератора в температурном диапазоне +20°C - +40°C не превышал 10<sup>-4</sup>. Такая стабильность является достаточной для 4096 - канального кодировщика.

На рис. 3 приведена полная схема задающего РС-генератора<sup>/8/</sup> и умножителя частоты. С выхода задающего генератора на транзисторе Т<sub>1</sub> (П416) синусоидальный сигнал с амплитудой 8 в поступает через эмиттерные повторители на транзисторах Т<sub>2</sub>, Т<sub>3</sub> (П416) на выход 10 Мгц и на умножительный каскад

на 5 на двух резонансных усилителях на 50 Мгц с транзисторами  $T_4$  (П416) и  $T_5$  (ГТ313). С выхода этого каскада через эмиттерный повторитель на транзисторе  $T_6$  (ГТ313) сигналы с амплитудой 4 в и частотой 50 Мгц поступают на вход удваивающего частоту каскада из двух резонансных усилителей на 100 Мгц на транзисторах  $T_7$ ,  $T_8$  (ГТ313). Выходные сигналы с частотой 100 Мгц и с амплитудой 6 в на нагрузке 100 ом снимаются с выхода эмиттерного повторителя на транзисторе  $T_9$  (параллельное включение двух транзисторов ГТ313). Модуляция составляет 5%. Резонансные контуры выполнены на стандартных экранированных телевизионных катушках промежуточной частоты с диаметром 8 мм посеребренным проводом с диаметром 1 мм. Настройка - индуктивная. Сердечники на частоте 100 Мгц - латунные. В контурах на 50 Мгц число витков - 10 и 12, соответственно, а на 50 Мгц - по 6 витков. Добротность контуров  $30 \div 50$ . Коэффициенты включения по входной и выходной цепям подбирались экспериментально. Для первого контура на 50 Мгц коэффициент включения транзистора  $T_4$  равен 1, а  $T_5$  - 0,5. Для второго контура коэффициенты включения равны 1/3. Для первого контура на 100 Мгц коэффициент включения коллектора транзистора  $T_7$  составляет 1/6, а выходной цепи - 1/2. Для второго контура коэффициенты включения равны 1/2. Данные дросселей  $Dr_1 - Dr_8$ : 15 витков провода  $d=0,12$  мм на ферритовых сердечниках с  $\mu=1000$ ,  $b$  7 мм. Генератор с умножителем выполнен в виде блока со стандартными размерами. При отключении напряжения питания в пределах -9в - -16,5 в (при нормальном рабочем -12 в) частота на выходе генератора не изменяется с точностью  $10^{-4}$ .

#### "Ворота" и схема управления

На рис. 4 показаны принципиальные схемы "ворот" и логики управления, выполненные в одном стандартном блоке. В качестве "ворот" (В по блок-схеме на рис. 2) используются стандартные линейные "ворота" /24/. Пропускающая часть "ворот" выполнена на транзисторах  $T_1 - T_3$  и  $T_5$  (ГТ 311). Линейные "ворота" детектируют входные синусоидальные сигналы с частотой 100 Мгц, превращая их на входе в импульсы с длительностью 2 мкс на полувысоте с максимальной амплитудой 2,5 в и глубиной модуляции 10% (с частотой 10 Мгц).

Такие параметры сигнала удовлетворяют требованиям запуска пересчетного устройства на 100 Мгц и позволяют обойтись без дополнительных формирователей.

"Ворота" управляются отрицательными импульсами по входам "старт" и "стоп" с амплитудами 1-15 в. Триггер управления "воротами" (Т по блок-схеме на рис. 2) выполнен на туннельном диоде  $ТД_3$  (ЗИ301Г). Формирователь по входу "старт" ( $\Phi_1$  на рис. 2) является одновременно инвертером, выполненным на туннельных и обращенных диодах ( $ОД$ ,  $ТД_1$  (ЗИ301Г),  $ТД_2$  (ЗИ301Г)). Формирователь по входу "стоп" ( $\Phi_2$  на рис. 2) выполнен на одновибраторе на туннельном диоде  $ТД_5$  (ЗИ301Г). Одновибратор на туннельном диоде  $ТД_2$  в формирователе по входу "старт" одновременно служит в качестве "ворот"  $В_1$  (см. рис. 2), а одновибратор на туннельном диоде  $ТД_8$  на входе "стоп" - как "ворота"  $В_2$  (см. рис. 2). В исходном состоянии туннельный диод  $ТД_2$  смещен на туннельную ветвь. Падение напряжения на нем составляет 50 мв. Транзистор  $T_3$  при этом закрыт, и на его коллекторе потенциал равен +15 в. В схеме "ворот" (В по рис. 2) транзистор  $T_2$  будет также закрыт, запрещая прохождение импульсов с генератора на пересчетную схему. Через эмиттерный повторитель на транзисторе  $T_4$  одновибратор на туннельном диоде  $ТД_6$  будет смещен обратным током 20 ма ("ворота"  $В_2$  по рис. 2 будут заблокированы). Сигнал по входу "старт" вызовет переключение туннельного диода  $ТД_3$  в состояние с падением напряжения 1 в, транзистор  $T_5$  откроется, потенциал в его коллекторе понизится до +8 в. Транзистор  $T_2$  также откроется, и сигналы с генератора смогут поступать на пересчетную схему. Низкий потенциал в эмиттере транзистора  $T_4$  вызовет смещение в обратном направлении туннельного диода  $ТД_2$  (ворота  $В_1$  по рис. 2 блокируются) и снимет обратное смещение на туннельном диоде  $ТД_6$  (ворота  $В_2$  по рис. 2 открываются и готовы к пропусканию импульса "стоп"). Состояние триггера на туннельном диоде  $ТД_3$  регистрируется индикацией на лампочке накаливания (транзисторы  $T_7$  (П10) и  $T_8$  (П16)). Сигнал, поступивший с одновибратора на туннельном диоде  $ТД_6$  на входе "стоп", переключает туннельный диод  $ТД_3$  снова в состояние с малым падением напряжения. "Ворота" (В рис. 2) закрываются, и прекращается счет импульсов с генератора пересчетной схемой. Потенциал на коллекторе транзистора  $T_5$  снова повышается до +15 в, одновибратор на туннельном диоде  $ТД_6$  блокируется обратным

смещением, а одновибратор на туннельном диоде  $ТД_2$  переводится в состояние готовности к регистрации импульсов. Сигнал по входу "стоп", вызвавший срабатывание одновибратора на туннельном диоде  $ТД_6$ , переключает также в состояние с падением напряжения 1 в туннельный диод  $ТД_{11}$  (ЗИ301Г) (на рис. 2 - триггер  $Т_{14}$ ) из исходного состояния с падением напряжения 50 мв. Состояние этого туннельного диода индицируется также лампочкой накаливания (транзисторы  $Т_{15}$  (П10) и  $Т_{16}$  (1Т308)). Выход туннельного диода  $ТД_{11}$  усиливается и инвертируется транзисторами  $Т_{11}$  (2Т301) и  $Т_{12}$  (1Т308) (по рис. 2 -  $\Phi_3$ ). Через эти транзисторы осуществляется обратное смещение на 10 ма туннельного диода  $ТД_3$  на время, пока туннельный диод  $ТД_{11}$  находится в состоянии с большим падением напряжения. Таким образом, хотя одновибратор на туннельном диоде  $ТД_2$  и разблокирован, переключение триггера на туннельном диоде  $ТД_3$  в это время запрещено. С эмиттера транзистора  $Т_{12}$  производится также запуск одновибратора на транзисторах  $Т_{13}$ ,  $Т_{14}$  (2Т301), с выхода которого снимается импульс с амплитудой 7 в и с длительностью 2 мксек, использующийся как импульс начала регистрации в З.У. АА. По окончании программы записи в З.У., с АА поступает отрицательный импульс конца регистрации с амплитудой -6в и длительностью 1,5 мксек. Этот импульс усиливается по амплитуде до -12 в транзисторами  $Т_{21}$  (1Т308) и  $Т_{20}$  (1Т301), после чего поступает на туннельный диод  $ТД_{11}$  и переключает его в исходное состояние. Однако блокировка триггера на туннельном диоде еще не заканчивается. Импульс с выхода транзистора  $Т_{20}$  также еще дифференцируется, формируется на транзисторах  $Т_{17}$ ,  $Т_{18}$  (1Т308) и обеспечивает установку в "0" пересчетной схемы. Пока на выходе транзистора  $Т_{18}$  присутствует импульс установки "0" (12в, положительный, с длительностью 4 мксек) через транзистор  $Т_{19}$  (2Т301) ( $\Phi_5$  по рис. 2) осуществляется блокировка туннельного диода  $ТД_3$ . По окончании установки в "0" пересчетной схемы кодировщик находится опять в состоянии готовности к регистрации следующего события. Транзисторы  $Т_{17}$ - $Т_{21}$  образуют формирователь, обозначенный как  $\Phi_4$  на рис. 2.

Если после регистрации сигнала "старт" в заданном интервале измерений отсутствует импульс на входе "стоп", то с отсчетом пересчетной схемой  $10^{12}$  импульсов на дифференцирующую емкость на входе транзистора  $Т_{17}$  и на туннельный диод  $ТД_{11}$  поступает отрицательный перепад -10в с выхода 1-го триггера

4-ой пересчетной ячейки (на рис. 2 -  $Т_{p13}$ ), который устанавливает туннельный диод  $ТД_{11}$  в исходное состояние и пересчетную схему в "0". Фазировка выходных импульсов "ворот" не производилась, но она может быть в данной схеме просто осуществлена подачей сигналов с выхода 100 Мгц на вход имеющихся "ворот" в пересчетной схеме на 100 Мгц.

#### Пересчетная схема

Пересчетная схема, как уже говорилось выше, содержит 4 отдельных блока. Пересчетная схема на 100 Мгц с коэффициентом пересчета 16 выполнена на туннельных диодах из р-германия. Остальные ячейки выполнены на основе стандартных пересчетных декад ОИЯИ. Изменена только система импульсного сброса и потенциальных выходов.

#### Характеристики

Дифференциальная линейность кодировщика измерялась регистрацией случайных временных интервалов  $^{125}/$ . На вход "старт" подавались сигналы от сцинтилляционного счетчика, который регистрировал импульсы от  $\alpha$ -источника, на вход "стоп" - сигналы от генератора с частотой 10 кгц. Оценки дифференциальной линейности после регистрации  $10^4$  импульсов в каждом канале дают величину  $\pm 1\%$ . Наблюдались "выбросы" с периодом в 32 канала, которые, вероятно, были связаны с нечеткой установкой на "0" в пересчетном устройстве. При нагрузках более  $10^3$  событий/сек наблюдается интегральная нелинейность.

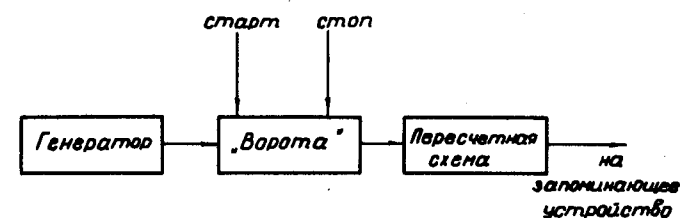
Уменьшение ширины канала кодировщика в настоящем исполнении возможно за счет дополнения нондусными либо, вероятнее, хронотронными интерполяторами. При этом ширина канала может быть уменьшена в несколько раз.

В заключение авторы благодарят Ю.К. Акимова за поддержку и внимание, Б.С. Краснобородова, Ю.М. Валуева, В.Ф. Борейко за выполнение отдельных блоков схемы и помощь в измерениях, В.П. Езерского за помощь в измерениях, а также В.Г. Зинова, В.В. Калинин, Ю.И. Сусова и В.М. Лачинова за консультации и полезные обсуждения.

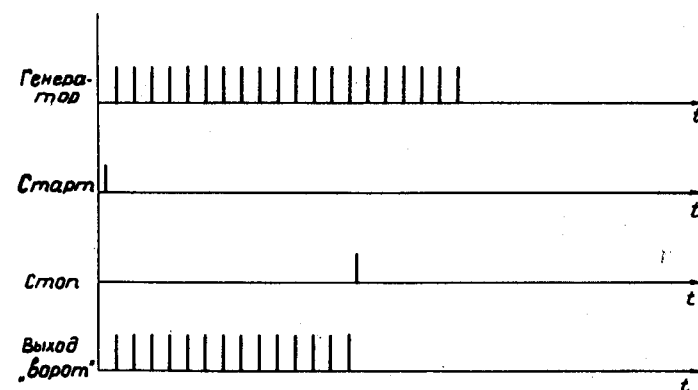
## Л и т е р а т у р а

1. М.Н. Дражев. Препринт ОИЯИ Р-1997, Дубна 1986.
2. А.Е.Вьерке et al., Nucl.Instr.Meth., 12, 25+ 31 (1961).
3. S.C.Baker et al., Nucl.Instr.Meth., 12, 1+ 10 (1961).
4. W.H.Jr.Venable, Rev.Sci.Instr., 37, N11, 1443 (1966).
5. Y.Amram, Proc.EANDC Conf., Karlsruhe, 268 (1964).
6. R.G.Baron, Proc. IRE, 45, N1, 21+ 30 (1957).
7. J.Thenard, G.Victor, Nucl.Instr.meth., 33, 33+ 37 (1964).
8. R.A.Lundy, Rev.Sci.Instr., 34, N2, 146 (1963).
9. J.K.Whittaker, P.Cavanagh, Nuclear Electronics, Paris Conf.,Proc., 673, Paris (1963).
10. M.Eckhause et al., Nucl.Instr.Meth., 43, N2, 365+ 367 (1966).
11. А.А. Иванов. Приборы и техн. эксперим. № 1, 111-114 (1986).
12. H.W.Lefevre, J.T.Rassel, IRE Trans., NS-5 (1958).
13. J.Cressivel, P.Wilde, Proc.EANDC Conf., Karlsruhe,300 (1964).
14. J.Thenard, G.Victor, Nucl.Instr.Meth., 40, 318 (1966).
15. P.Durand et al., Nuclear Electronics, Paris Conf., Proc., 651,Paris(1963).
16. H.Meyer, Nucl.Instr.Meth., 40, 149 (1966).
17. I.De Lotta, et al., Proc. EANDC Conf., Karlsruhe,291 (1964).
18. C.Cottini et al., Proc.Instr. Conf. on Instrum. for High Energy Physics., Stanford p.171, IUPAP -USAEC, (1966).
19. R.A.Lundy, Phys.Rev., 195, 1686 (1962).
20. Б.А. Зеленов и др. Препринт ОИЯИ Р-1310, Дубна 1963.
21. И.Ф. Колпаков. ПТЭ, № 5, 127 (1966).
22. И.Х. Ризкин. "Умножители и делители частоты". Связь. М., (1966).
23. Р.А. Валитов и др. "Радиотехнические схемы на транзисторах и туннельных диодах". "Связь". М., (1966).
24. И.Ф. Колпаков. Препринт ОИЯИ 2778, Дубна 1966.
25. А.А. Иванов, В.С. Нестеренко. Труды V научно-технической конференции по ядерной радиоэлектронике. М., Госатомиздат, т.2, стр. 30 (1963).

Рукопись поступила в издательский отдел  
12 апреля 1967 г.



а)



б)

Рис. 1. Принцип работы временного кодировщика:  
а) блок-схема, б) временная диаграмма.



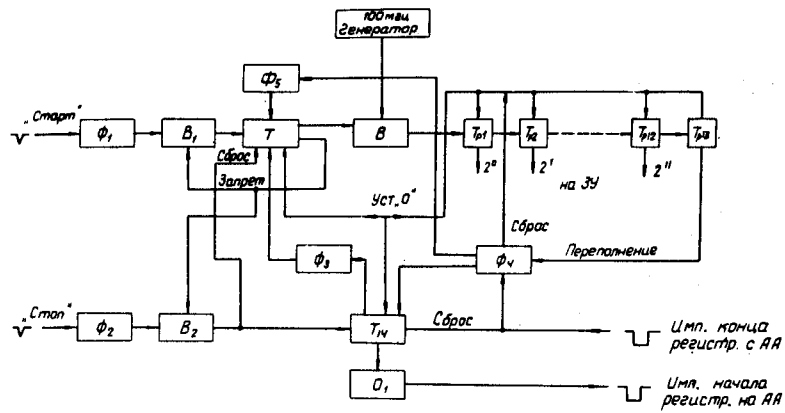


Рис. 2. Полная блок-схема временного кодировщика на 4096 каналов с шириной 10 нсек.

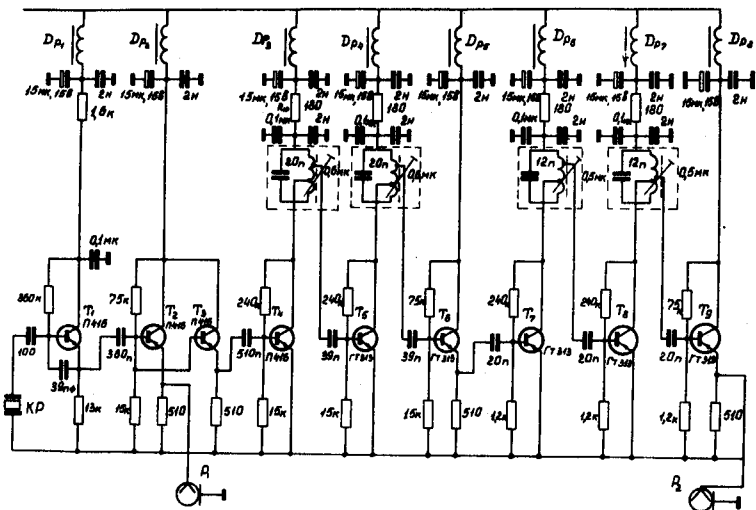


Рис. 3. Принципиальная схема генератора, стабилизированного кварцем, и умножителя частоты на 100 Мгц.

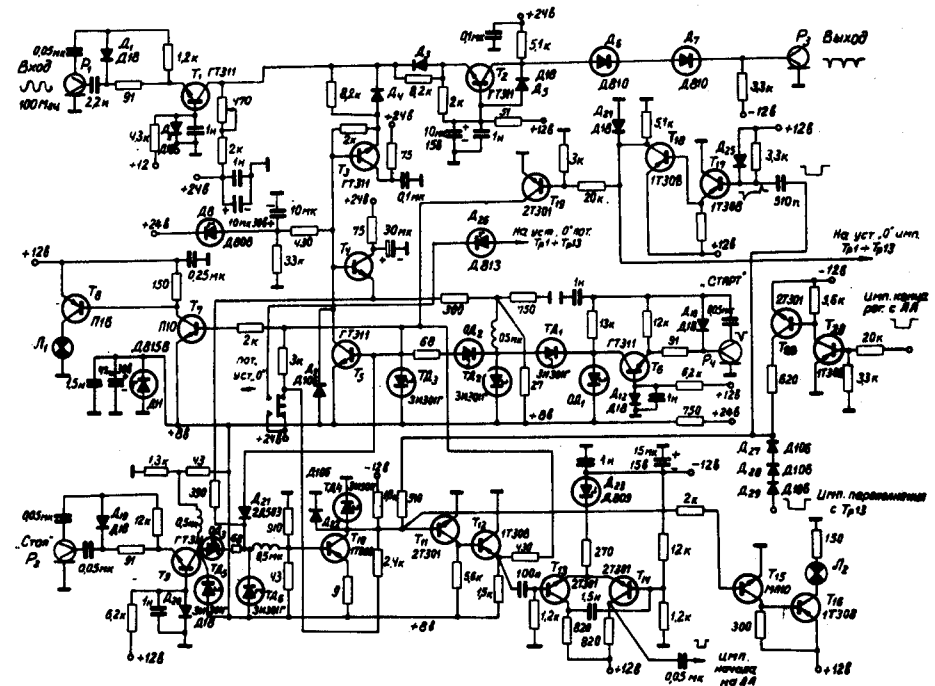


Рис. 4. Принципиальная схема "ворот" и схемы управления кодировщика.