

Б-272



Объединенный
институт
ядерных
исследований
Дубна

3907/2-79

1/10-79

13 - 12453

С.Г.Басиладзе, А.Н.Парфенов, А.В.Пиляр

СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР
В СТАНДАРТЕ КАМАК, ВЫДЕЛЯЮЩИЙ СОБЫТИЯ
РЕШЕНИЕМ ЛИНЕЙНЫХ НЕРАВЕНСТВ

1979

13 - 12453

С.Г.Басиладзе, А.Н.Парфенов, А.В.Пиляр

**СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР
В СТАНДАРТЕ КАМАК, ВЫДЕЛЯЮЩИЙ СОБЫТИЯ
РЕШЕНИЕМ ЛИНЕЙНЫХ НЕРАВЕНСТВ**

Направлено в ПТЭ

Басиладзе С.Г., Парфенов А.Н., Пиляр А.В.

13 - 12453

Специализированный процессор в стандарте КАМАК,
выделяющий события решением линейных неравенств

Описан специализированный процессор, выполненный в стандарте КАМАК, предназначенный для выделения событий по алгоритму, представляющему собой линейные неравенства вида $\sum_{i=1}^k A_i X_i \geq B_j$. Исходные данные X_i поступают в процессор по магистрали КАМАК в виде 9-разрядных двоичных чисел. Нормировочные коэффициенты A_i и константы сравнения B_j запоминаются в оперативной памяти процессора, либо могут быть переданы по магистрали КАМАК. Время одного цикла вычислений процессора / умножение на нормировочный коэффициент, суммирование и сравнение с константой / составляет ~ 1,2 мкс. В качестве элементной базы использованы ТТЛ микросхемы.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований, Дубна 1979

Basiladse S.G., Parfenov A.N., Pilyar A.V.

13 - 12453

CAMAC Specialized Hardware Processor for Data Selection
by Solving Linear Inequalities

A CAMAC specialized hardware processor is described intended to selecting events over an algorithm, being linear inequalities of $\sum_{i=1}^k A_i X_i \geq B_j$ type. X_i input data enters the processor via a CAMAC dataway as 9-bit binary words. A_i normalization coefficients and B_j comparison constants are stored in processor operative memory, or could be transferred via a CAMAC dataway. One cycle of solving time takes (multiplying to a normalization coefficient, summation and comparison to a constant) about 1.2 mks. TTL integrated circuits are used.

The investigation has been performed at the Laboratory of High Energies, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubno 1979

Современные физические установки характерны значительно возросшим объемом информации, которая должна быть передана в ЭВМ. Поэтому основной вклад в мертвое время установки, определяющее продолжительность эксперимента, вносит время передачи данных в ЭВМ. В то же время доля интересующих экспериментатора событий, выделяемых при off-line-обработке, составляет лишь незначительную часть от всех зарегистрированных. Для отбраковки фоновых событий в реальном времени эксперимента в последнее время широко используются специализированные процессоры¹⁻³. Их применение позволяет значительно сократить время экспозиции и количество магнитных лент для записи экспериментальных данных.

Описываемый в данной работе процессор предназначен для выделения полезных событий, зарегистрированных спектрометром ядер отдачи, основным детектором которого является пропорциональная камера с дрейфовым промежутком⁴. События выделяются по минимальной суммарной энергии ионизации в камере, измеряемой при помощи нескольких зарядо-цифровых преобразователей, а также по максимальному отклонению трека частиц в горизонтальном и вертикальном направлениях. Эти отклонения измеряются при помощи соответствующих амплитудо-цифровых и время-цифровых преобразователей. Таким образом, для выделения событий по энергии ионизации проверяется неравен-

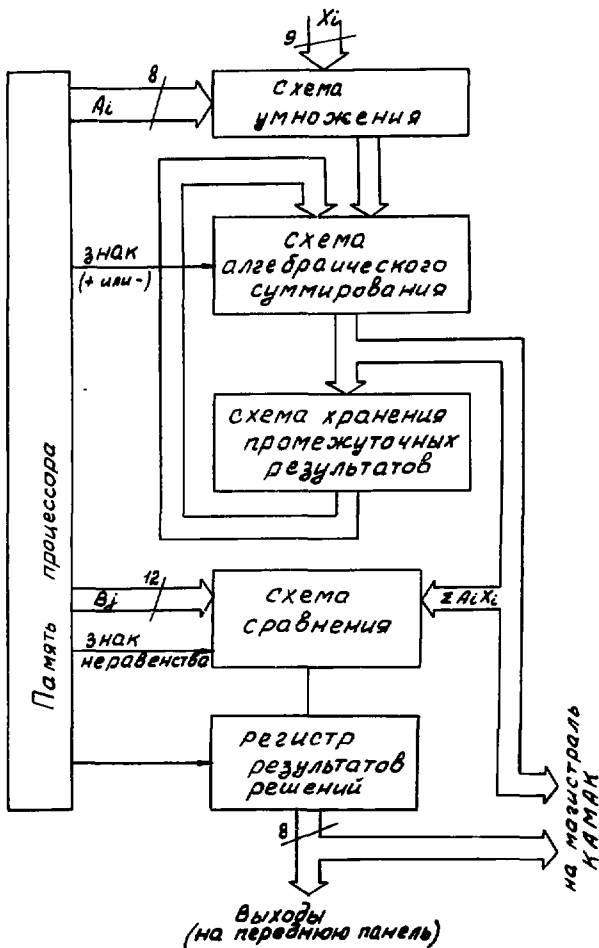
ство вида $\sum_{i=1}^k A_i X_i - E_0$, где X_i - показания соответствующих зарядо-цифровых преобразователей /ЗЦП/, A_i - нормировочные коэффициенты, учитывающие различие коэффициентов преобразования каналов измерения, E_0 - минимально допустимая ионизация.

При выделении событий по максимальному отклонению процессору необходимо проверить неравенство: $|A_1 X_1 - A_2 X_2| < \Delta X_{\max}$, где X_1 и X_2 - показания АЦП и ВЦП, измеряющих координаты трека в точках 1 и 2, A_1 и A_2 - нормировочные коэффициенты, учитывающие различие коэффициентов преобразования в каналах измерения координат. Таким образом, видно, что процессор всегда должен проверять соотношения вида: $\sum_{i=1}^k A_i X_i \geq B_j / |I|$, где A_j - положительное либо отрицательное число, X_i и B_j - положительные числа.

Введение нормировочных коэффициентов A_i является принципиально необходимым для всех процессорных задач, в которых в качестве источников исходной информации используются аналого-цифровые преобразователи. Разброс "пьедесталов" преобразователей $\sum_{i=1}^k A_i P_i$ всегда может быть учтен соответствующей поправкой в величине B_j .

Алгоритм отбора $\sum_{i=1}^k A_i X_i \geq B_j / |I|$ является типичным для весьма широкого круга задач. Так, например, он применим для выделения событий рассеяния частиц в мишени, поскольку проверяемое неравенство в этом случае имеет вид: $A_1 X_1 - A_2 X_2 + A_3 X_3 - A_4 > B$, где X_1 , X_2 и X_3 - координаты прохождения частицей трех регистрирующих плоскостей до и после мишени, A_1, A_2, A_3 и A_4 - константы, зависящие от геометрии опыта, B - минимальный требуемый угол рассеяния.

Блок-схема процессора приведена на рисунке. Исходные данные X_i поступают с магистрали КАМАК на схему умножения в виде 9-разрядного двоичного числа. Произведение $A_i X_i$ алгебраически складывается с содержимым регистра хранения промежуточных результатов $(\sum_{m=1}^{i-1} A_m X_m)$, после чего полученный результат в случае необходимости сравнивается с заданной константой B_j . Результаты сравнения записываются в 8-разрядный регистр результатов решений, данные из которого выводятся на переднюю панель блока, либо на магистраль КАМАК. Таким образом, запоминаемое в процессоре число операций сравнения - восемь. Необходимые управляющие сигналы, задающие нужный режим работы, а также нормировочные коэффициенты A_i и константы сравнения B_j записаны в 24-разрядной оперативной памяти процессора, выполненной в виде отдельного блока, и поступают в процессор либо по магистрали



КАМАК, либо через разъем, расположенный на передней панели процессора. В первом случае для одного цикла вычислений процессора /умножение X_j на константу A_j , алгебраическое суммирование с результатом предыдущих действий и сравнение с заданной константой B_j в случае необходимости/ требуется 2 цикла КАМАК. Первый - для записи в процессор требуемых констант, второй - для записи исходных данных X_i . Во втором случае требуется только 1 цикл КАМАК для записи исходных данных. Возможен также режим записи данных по функции $F/16/$, что необходимо для проверки работы процессора.

Выбор способа передачи исходных данных в процессор является весьма важным моментом. Как правило, время передачи информации в процессор вносит значительный вклад в общее время решения. Для передачи данных традиционным способом требуется по меньшей мере два цикла КАМАК. Первый - для считывания информации из соответствующего АЦП в контроллер или в драйвер ветви, второй - для занесения этой информации в процессор. С целью сокращения времени передачи информации в процессор авторами использован следующий способ. Процессор устанавливается либо в крейт, в котором размещены аналого-цифровые преобразователи, либо в крейт драйвера ветви. По сигналу запуска установки начинается обычный процесс считывания данных в буферную память драйвера, "разравнивающую" поток событий перед перезаписью в ЭВМ. В драйвере имеется также программная память, по командам которой сначала начинает считываться информация, необходимая процессору для проверки соотношения $/1/$. Одновременно с записью в буфер по специальным сигналам, поступающим из программной памяти, эта же информация с R-шин записывается и в процессор. Быстродействия процессора достаточно, чтобы в промежутке между двумя считываниями в драйвер произвести одну частную операцию умножение-сложение-сравнение.

В случае, если решение удовлетворительное, считывание всего массива данных в буферную память драйвера продолжается по заданной программе. При отрицательном решении считывание данных прекращается, и сигналом "Сброс" установка приводится в состояние готовности.

В качестве элементной базы в основном использованы интегральные схемы ТТЛ расширенной серии К155. Схема умноже-

ния выполнена на основе 4-разрядного АЛУ /К155 ИП2, К155 ИП3/ по принципу циклического суммирования частных произведений. Период одной микрооперации процессора ~100 нс, а полный цикл одной операции длится ~1,2 мкс. Процессор размещен в ячейке КАМАК однократной ширины.

В заключение авторы выражают благодарность В.А.Никитину за постановку задачи, Л.А.Урмановой и В.А.Смирнову за полезные обсуждения и В.И.Максименковой за помощь в монтаже и составлении технической документации.

ЛИТЕРАТУРА

1. Verkerk C. Труды IX Международного симпозиума по ядерной электронике /Варна, 1977/. ОИЯИ, Д13-11182, Дубна, 1978, с. 128-141.
2. Гузик З., Басиладзе С.Г. ОИЯИ, Р13-6917, Дубна, 1973.
3. Басиладзе С.Г. и др. ПТЭ, 1978, № 3, с. 98-100.
4. Басиладзе С.Г. и др. Труды III Международного совещания по пропорциональным и дрейфовым камерам /Дубна, 1978/. ОИЯИ, Д13-11807, Дубна, 1978.

*Рукопись поступила в издательский отдел
11 мая 1979 года.*