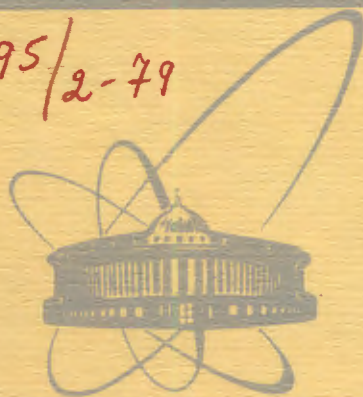


2795/2-79



сообщения  
объединенного  
института  
ядерных  
исследований  
дубна

Ц8416

Г-399

13 - 12308

Р. Герстенбергер, О.К. Нефедьев, Л.П. Челноков

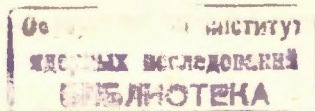
БЛОК ДИНАМИЧЕСКОЙ ПАМЯТИ 4Кx8  
В СТАНДАРТЕ КАМАК

1979

13 - 12308

Р.Герстенбергер, О.К.Нефедьев, Л.П.Челноков

БЛОК ДИНАМИЧЕСКОЙ ПАМЯТИ 4Кx8  
В СТАНДАРТЕ КАМАК



Герстенбергер Р., Нефедьев О.К., Челноков Л.П.

13 - 12308

Блок динамической памяти 4Кх8 в стандарте КАМАК

Описывается электронный блок памяти объемом 4К байт, разработанный на базе интегральных микросхем динамического типа К 565 РУ1А. Блок памяти выполнен в стандарте КАМАК. Приводятся функциональная схема и временная диаграмма работы блока. Блок выполняет 13 команд КАМАК для обеспечения инкрементного режима накопления и режима последовательной записи дескрипторов. Блок предназначен для работы в качестве буферной памяти измерительных систем, многоканальных анализаторов в экспериментах с использованием электроники КАМАК.

Работа выполнена в Лаборатории ядерных реакций ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1979

Gerstenberger R., Nefedyev O.K., Chelnokov L.P. 13 - 12308

CAMAC Dynamic RAM 4Kx8 Bit Memory Module

A CAMAC dynamic RAM 4Kx8 bit memory module is described. It is developed on the base of integral circuits. The module provides for the performance of 13 CAMAC commands. It has an incremental and descriptor storage. The module is intended for on-line measurement system and multichannel analyzer storage in experiments using CAMAC electronics.

The investigation has been performed at the Laboratory of Nuclear Reactions, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1979

Блок динамической оперативной памяти объемом в 4К байтов в стандарте КАМАК предназначен для использования в качестве быстродействующей памяти измерительных систем на основе мини-ЭВМ (измерительных модулей). Блок памяти имеет автономное обеспечение регенерации содержимого памяти и сравнительно большой набор команд, которые обеспечивают повышенное быстродействие работы системы и простое программирование режимов работы памяти.

В блоке памяти реализованы два основных режима накопления событий (входных кодов): а) в интегрированном виде с суммированием числа "одинаковых" событий; б) в неинтегрированном виде с запоминанием независимых событий. Данный блок памяти с произвольной выборкой емкостью 4096x8 бит разработан на основе интегральных микросхем динамического типа К 565 РУ1А<sup>1/</sup>. Микросхема состоит из матрицы памяти (64x64), содержит схемы декодирования строк и столбцов, блок усилителей считывания, записи и регенерации. Информационные входы и выходы микросхемы совместимы с уровнями ТТЛ-схем.

Некоторые данные отдельного элемента памяти:

- а) информационная емкость - 4096 бит,
- б) время цикла записи - 700 нс,
- в) время цикла чтения и регенерации - 500 нс,
- г) время выборки - 300 нс,
- д) питание -, +12 В, +5 В, -5 В,
- е) потребляемая мощность - 10 мкВт/бит в режиме хранения,  
80 мкВт/бит в режиме обращения.

В разработанном блоке памяти содержится 9 интегральных микросхем К 565 РУ1А (8 информационных

и 1 контрольный разряд памяти). Достоинством разработанного блока памяти – динамического ЗУ перед статическим ЗУ является то, что он имеет меньшую удельную рассеиваемую мощность на единицу хранимой информации. Дело в том, что здесь энергия рассеивается лишь в моменты активной работы памяти (при циклах чтения, записи, регенерации) и практически не потребляется между циклами обращения.

Недостатком памяти динамического типа является то, что требуется периодически обновлять содержимое всех ячеек памяти. В данном блоке памяти регенерация осуществляется автоматически с периодом 1,6 мс. За это время генератор импульсов с интервалом в 25 мкс вырабатывает 64 импульса, которые поступают в адресный счетчик регенерации. Вследствие этого последовательно обновляются все 64 строки матрицы (по 64 ячейки в строке). Так как время регенерации одной строки равно 1 мкс, то общее "мертвое" время, затрачиваемое на регенерацию, составляет 4%.

Функциональная схема блока памяти представлена на рис. 1. Кроме элементов памяти данный модуль содержит следующие основные функциональные узлы:

- 1) регистр адреса (12 разрядов) – RCADR;
- 2) адресный счетчик регенерации (6 разрядов) – RCREF;
- 3) входной регистр числа (8 разрядов) – RCDIN;
- 4) выходной регистр числа (8 разрядов) – RDOUT;
- 5) схему контроля байта по четности;
- 6) буферный регистр режимов работы (5 разрядов);
- 7) дешифратор команд КАМАК;
- 8) блок управляющих сигналов;
- 9) регистр запросов для обслуживания (3 разряда) – RREQ.

Блок памяти обеспечивает выполнение следующих команд КАМАК:

- 1/ F(0)A(0)
  - 1.1) чтение кода из выходного регистра на магистраль RDOUT → R1÷R8;
  - 1.2) чтение информации из памяти в выходной регистр MEMORY → RDOUT;

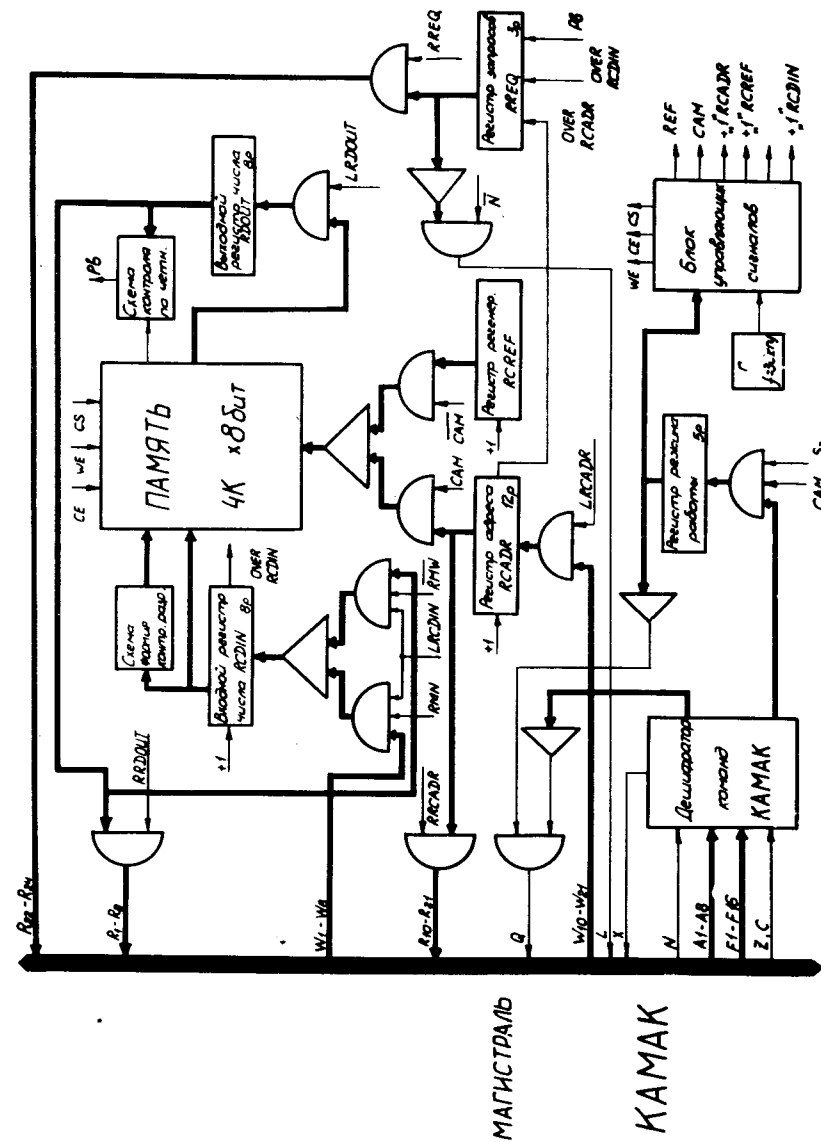


Рис. 1. Функциональная схема блока динамической памяти 4Кx8.

- 1.3) добавление "1" к содержимому регистра адреса в конце цикла чтения,  $RCADR+1 \rightarrow RCADR$ .
- 2/ F(0)A(1) - выполнение пунктов 1.1 и 1.2.  
 3/ F(0)A(2) - выполнение только пункта 1.1.  
 4/ F(0)A(3) - чтение содержимого регистра адреса на магистраль  $RCADR \rightarrow R10 \div R21$ .
- 5/ F(2)A(0) - чтение содержимого регистра запросов на шины R  $RREQ \rightarrow R22 \div R24$ .
- R22 = 1 при переполнении регистра адреса RCADR,  
 R23 = 1 при ошибке четности байта,  
 R24 = 1 при переполнении содержимого входного регистра RCDIN (для анализаторного режима работы).
- 6/ F(16)A(0) 6.1) запись в регистр адреса из магистрали  $W10 \div W21 \rightarrow RCADR$ ;  
 6.2) чтение из памяти в выходной регистр MEMORY  $\rightarrow RDOUT$ ;  
 6.3) добавление "1" к содержимому регистра адреса в конце цикла чтения  $RCADR+1 \rightarrow RCADR$ .  
 - выполнение пунктов 6.1 и 6.2.  
 - выполнение только пункта 6.1.
- 7/ F(16)A(1)  
 8/ F(16)A(2)  
 9/ F(16)A(3) 9.1) запись в регистр адреса из магистрали  $W10 \div W21 \rightarrow RCADR$ ;  
 9.2) чтение содержимого по данному адресу, добавление "1" к содержимому и запись нового содержимого по старому адресу (анализаторный режим работы)  $MEMORY \rightarrow RCDIN \rightarrow RCDIN+1 \rightarrow MEMORY$ .
- 10/ F(18)A(0) 10.1) запись кода из магистрали во входной регистр  $W1 \div W8 \rightarrow RCDIN$ ;  
 10.2) запись принятого кода в память  $RCDIN \rightarrow MEMORY$ ;

- 10.3) добавление "1" к содержимому регистра адреса в конце цикла записи  $RCADR+1 \rightarrow RCADR$ .  
 - выполнение пунктов 10.1 и 10.2.  
 - выполнение только пункта 10.1.
- 11/ F(18)A(1)  
 12/ F(18)A(2)  
 13/ F(19)A(3) 13.1) запись кода и адреса в регистры с шин магистрали  $W1 \div W8 \rightarrow RCDIN$ ,  $W10 \div W21 \rightarrow RCADR$ ;
- 13.2) запись кода в память по принятому адресу.  
 $RCDIN \rightarrow MEMORY$ .

Основными сигналами для взаимодействия блока памяти с контроллером являются сигналы L и Q.

Блок памяти генерирует сигнал L на обслуживание в следующих трех случаях:

- 1) при переполнении регистра адреса RCADR,
- 2) при ошибке четности байта,
- 3) при переполнении входного регистра RCDIN (в анализаторном режиме работы).

В этих случаях контроллер должен прочитать код из регистра запросов и выявить источник генерации сигнала L. Блок памяти генерирует сигнал Q, если во время обращения к блоку в нем еще не закончено выполнение внутренних действий, вызванных предыдущей командой КАМАК. Так как блок памяти имеет один буферный регистр работы, то сигнал Q=1 указывает на то, что последнюю команду КАМАК следует повторить, т.к. блок выполнить ее не мог.

Данный блок памяти может найти применение в качестве буферной памяти измерительных систем, памяти многоканальных анализаторов и т.д. Блок памяти имеет двойную ширину, содержит 76 интегральных схем и потребляет следующие токи:

- а) по цепи +6 В - 600 мА,
- б) по цепи -6 В - 10 мА,
- в) по цепи +12 В - 75 мА.

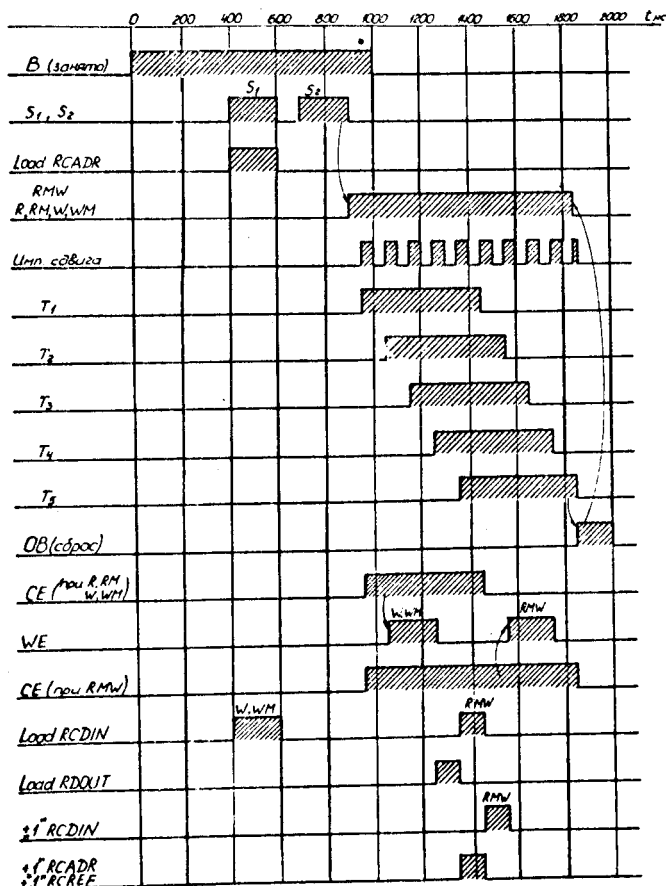


Рис. 2. Временная диаграмма работы блока памяти.

### ЛИТЕРАТУРА

1. Гафаров П.М. и др. Электронная промышленность, 1978, №8, с.5.
2. Даматов Я.М., Никитюк Н.М. ОИЯИ, 13-10688, Дубна, 1977.
3. Герстенбергер Р. и др. ОИЯИ, 13-11109, Дубна, 1977.

Рукопись поступила в издательский отдел  
19 марта 1979 года.