

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



Б-242

2876/2-78

13 - 11449

С.Г.Басиладзе, А.Н.Парфенов

УНИВЕРСАЛЬНЫЙ БЫСТРЫЙ ЦИФРОВОЙ ШИФРАТОР
ДЛЯ ПРОЦЕССОРНЫХ СИСТЕМ ОТБОРА СОБЫТИЙ

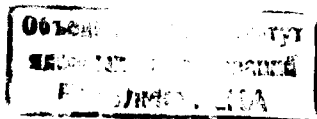
1978

13 - 11449

С.Г.Басиладзе, А.Н.Парфенов

УНИВЕРСАЛЬНЫЙ БЫСТРЫЙ ЦИФРОВОЙ ШИФРАТОР
ДЛЯ ПРОЦЕССОРНЫХ СИСТЕМ ОТБОРА СОБЫТИЙ

*Направлено в ПТЭ и на Международное совещание по
методу пропорциональных и дрейфовых камер, Дубна,*



Басиладзе С.Г., Парфенов А.Н.

13 - 11449

Универсальный быстрый цифровой шифратор для процессорных систем отбора событий

Описан универсальный 16-канальный блок регистрации и подготовки данных для процессорных систем отбора событий, осуществляющий кодирование номеров и количества сработавших каналов в двоичный код, а также передачу этих кодов через специальную быструю магистраль в процессор или накопитель.

Скорость кодирования и передачи данных доведена до 400 Мбит/с. Количество блоков, объединяемых быстрой магистралью, — до 64. Возможен вывод данных и на магистраль КАМАК.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1978

В последнее время на крупных физических установках широко применяются быстрые цифровые процессоры для выделения искоемых событий¹⁻³. Если устройства предварительного отбора событий /например, схемы совпадений/ работают непосредственно с импульсами с детекторов /т.е. информация, подлежащая отбору, представлена в линейном позиционном коде/, то отличительной особенностью процессоров является осуществление отбора по определенному алгоритму с исходной информацией, переведенной в двоичный код. Необходимость этого вызвана ростом количества информации о каждом событии, связанным с повышением числа датчиков сигналов в крупных установках. Если ранее количество информации о событии, подлежащем выделению, составляло 2-3 бита /4-8 канальные схемы совпадений/, то процессоры работают с количеством информации 8-12 бит /250-4000 датчиков сигналов/, поэтому аппаратная реализация алгоритма отбора в линейном позиционном коде потребовала бы исключительно больших затрат на оборудование.

Процессоры в настоящее время делаются индивидуально для каждой задачи¹⁻³. Ситуация в этой области очень напоминает начальный период разработок транзисторной наносекундной электроники до введения функционально-модульного принципа построения, а также период появления систем связи с ЭВМ в он-лайн экспериментах до внедрения стандарта КАМАК. Сейчас, может быть, еще затруднительно унифицировать, т.е. распространить функционально-модульный принцип непосредственно на сами процессорные устройства, ввиду сильных различий встречающихся алгоритмов отбора и недоста-

точности накопленного опыта. Однако, по мнению авторов, вполне возможно унифицировать устройства подготовки данных /регистрации и шифровки их в двоичный код/ в процессорных системах. Они занимают до 85% по объему оборудования, поэтому задача их стандартизации весьма актуальна и практически решает проблему унификации процессорных систем отбора событий.

Анализ известных разработок /1-5/ показывает, что универсальный модуль шифровки исходных данных должен содержать: 1/ схему регистрации входных импульсов /желательны уровни ECL и TTL /, 2/ схему шифровки количества сработавших каналов в двоичный код /в пределе - до 1000 каналов/, 3/ схему шифровки номеров сработавших каналов в двоичный код, 4/ схему вывода и приема кодов на быструю магистраль для обеспечения возможности объединения нескольких блоков и передачи кодов в собственно процессор, либо в некий промежуточный накопитель.

Схемы шифровки и магистраль должны иметь по возможности наибольшее быстродействие для снижения мертвого времени процессора.

Описание такого унифицированного блока приводится ниже.

Блок-схема прибора приведена на рис. 1. Сигналы с участка годоскопической системы детекторов /в уровнях ECL, либо TTL / поступают на 16-канальную схему регистрации, где происходит их запоминание при наличии строб-импульса. Со схемы регистрации данные могут быть выведены по команде чтения на магистраль КАМАК. Непосредственно после регистрации они поступают на схему подавления соседних срабатываний*, информация с которой подается далее на схему кодирования номеров сработавших каналов и на сумматор. В сумматоре количество каналов, сработавших в данном блоке, преобразуется в двоичный код и суммируется с кодом количества каналов, сработавших в предыдущих блоках.

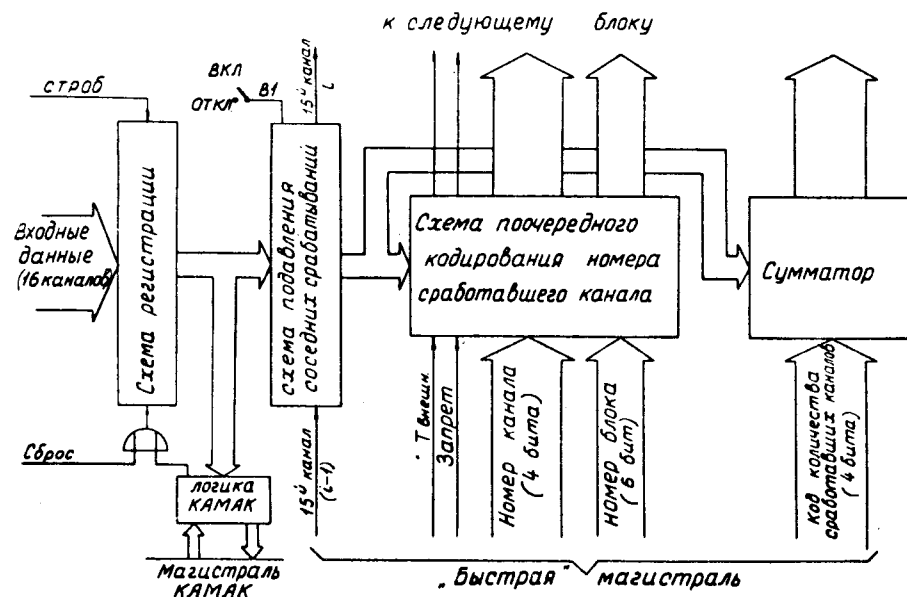


Рис. 1

Схема кодирования номеров сработавших каналов имеет выход на быструю магистраль. Эта схема всегда пропускает информацию, идущую по быстрой магистрали с предыдущих блоков. Поступление в блок низкого /разрешающего/ потенциала по шине "Запрет" означает, что прохождение информации с предыдущих блоков закончено. После этого на каждый тактовый импульс на магистраль по очереди выводятся коды сработавших каналов данного блока и код номера блока. После передачи последнего кода на выходной шине "Запрет" вырабатывается низкий потенциал, разрешающий считывание информации из следующего блока.

Принципиальная схема. Упрощенное изображение схемы регистрации, подавления соседних срабатываний и чтения данных по магистрали КАМАК показано на рис. 2. Все узлы блока, кроме вывода данных на магистраль КАМАК, выполнены на микросхемах серии К-500 /6,7/.

* Подавление соседних срабатываний может быть использовано при работе с пропорциональными камерами. Замыканием тумблера В1 оно может быть отключено.

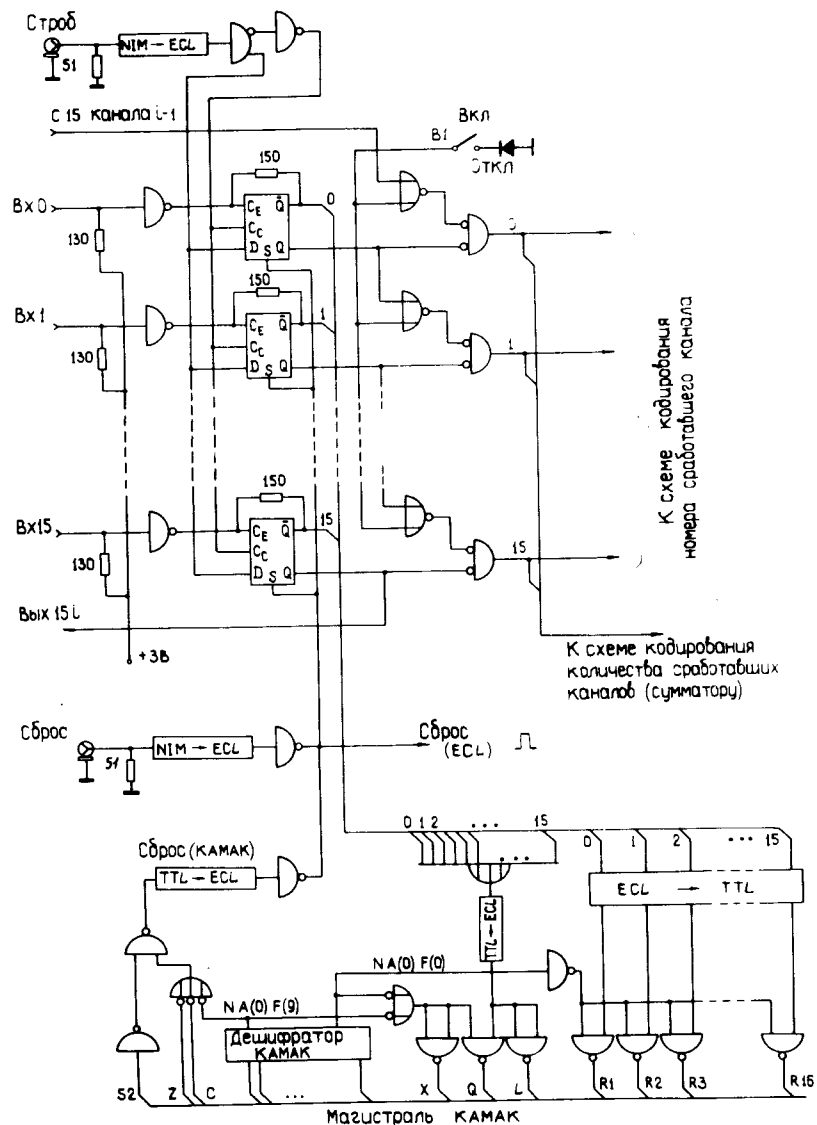


Рис. 2

Входные сигналы поступают на вход C_E регистрирующего триггера /К500ТМ131/. На D - и C_C - входы подаются отрицательные импульсы, соответствующие сигналу "Строб". При таком включении в триггер записывается "единица" в случае прихода отрицательного фронта входного сигнала в интервале времени, задаваемом сигналом "Строб". Это исключает необходимость формирования входных сигналов по длительности. Для исключения "пролезания" входных импульсов на R и L шины магистрали КАМАК, выходы приемного элемента и триггеры разделены резистором 150 Ом , а нагрузочный резистор 390 Ом подключен только к \bar{Q} - выводу триггера.

С Q - выходов триггеров информация поступает на схему подавления соседних срабатываний, на выходе которой при срабатывании нескольких соседних каналов сигнал появляется только в канале с наименьшим номером.

Наиболее ответственным узлом блока, определяющим быстродействие, является схема поочередного кодирования номеров сработавших каналов, построенная по принципу "приоритетного" кодирования^{8,9}. Заметим, что для обеспечения наибольшего быстродействия принципиально необходимо кодировать информацию о номере сработавшего канала непосредственно в блоке, а не в промежуточном накопителе на выходе быстрой магистрали, как это делается в системах считывания информации с пропорциональных камер^{8,9}. При любом способе поочередного, не разрушающего исходную информацию, кодирования¹⁰ обязательно промежуточное запоминание ее, либо, по крайней мере, кода номера текущего кодируемого канала - в системах меньшего быстродействия⁸. Поскольку сложность приоритетного шифратора сильно возрастает при увеличении числа кодируемых каналов, в описываемом блоке, для уменьшения количества микросхем, использовано разбиение каналов на группы. Имеется 8 групп по 2 канала в каждой. Приоритетным шифратором кодируется только номер группы, дающий три старших разряда в коде номера канала. Состояние младшего разряда определяется тем, какой канал сработал - четный или нечетный.

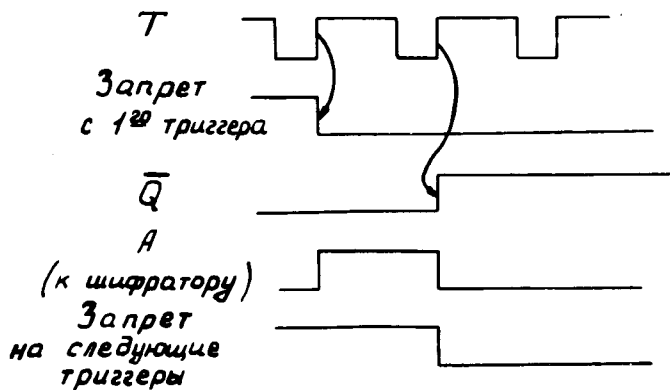
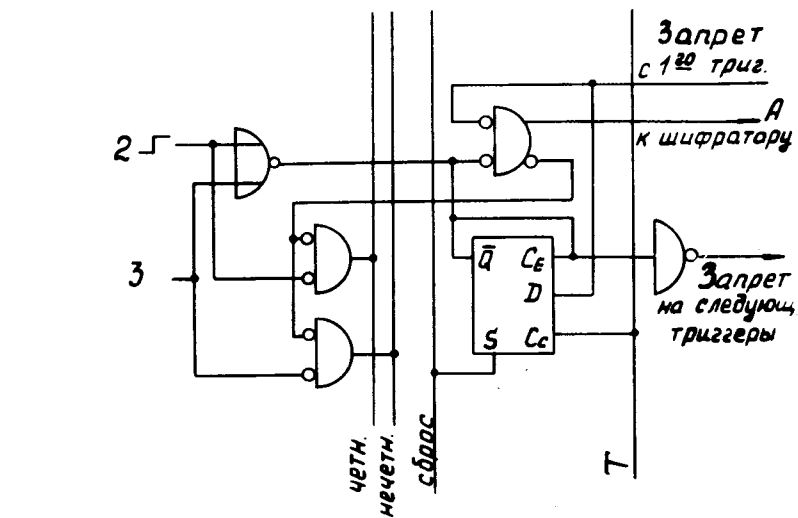


Рис. 3

Принцип работы одной ячейки приоритетного кодирования иллюстрируется рис. 3. При срабатывании хотя бы одного из каналов группы, после снятия "запрета" от предыдущих /на рисунке от первой/ групп, со схемы пропускания сигнал поступает на шифратор номера группы. Одновременно открываются две схемы пропускания

индицирующие срабатывание канала - четного или нечетного. Положительным фронтом тактового импульса триггер переключается, что приводит к закрыванию всех схем пропускания данной группы и снимает запрет со следующих групп.

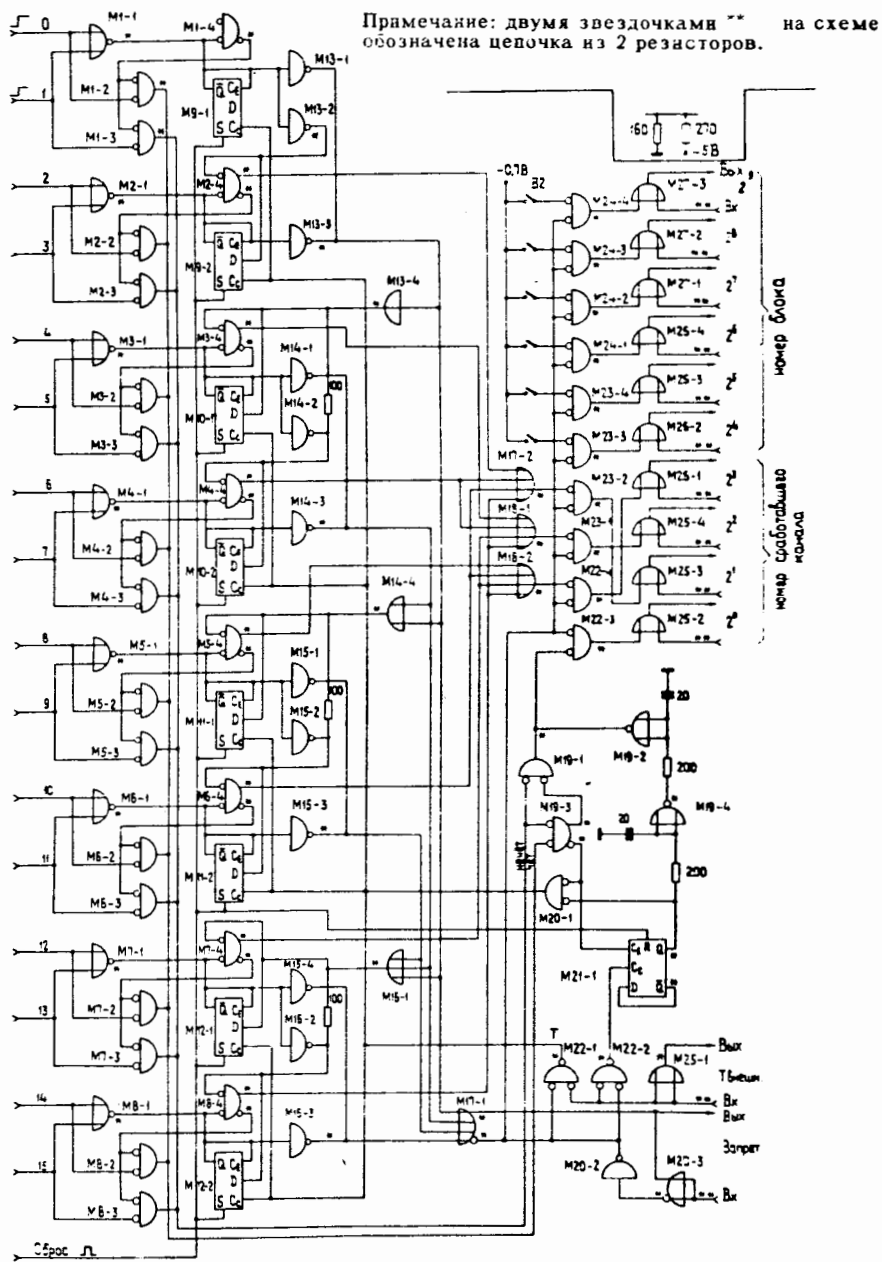
Полностью схема поочередного кодирования номера сработавшего канала приведена на рис. 4. Регистр приоритетного кодирования выполнен на микросхемах M9-M12, шифратор номера группы - на схемах M17-2, M18. Код номера блока задается переключателем В2.

Тактовые сигналы проходят в блок через схемы пропускания M22-1 и M22-2 при поступлении по шине "Запрет" разрешающего уровня и при наличии информации в блоке. Одновременно открываются схемы пропускания M22-3, M22-4, M23, M24 и на быструю магистраль на каждый тактовый импульс поступают коды номеров каналов, сработавших в блоке /разряды $2^0 \div 2^3/$ и код номера блока $/2^4 \div 2^9/$.

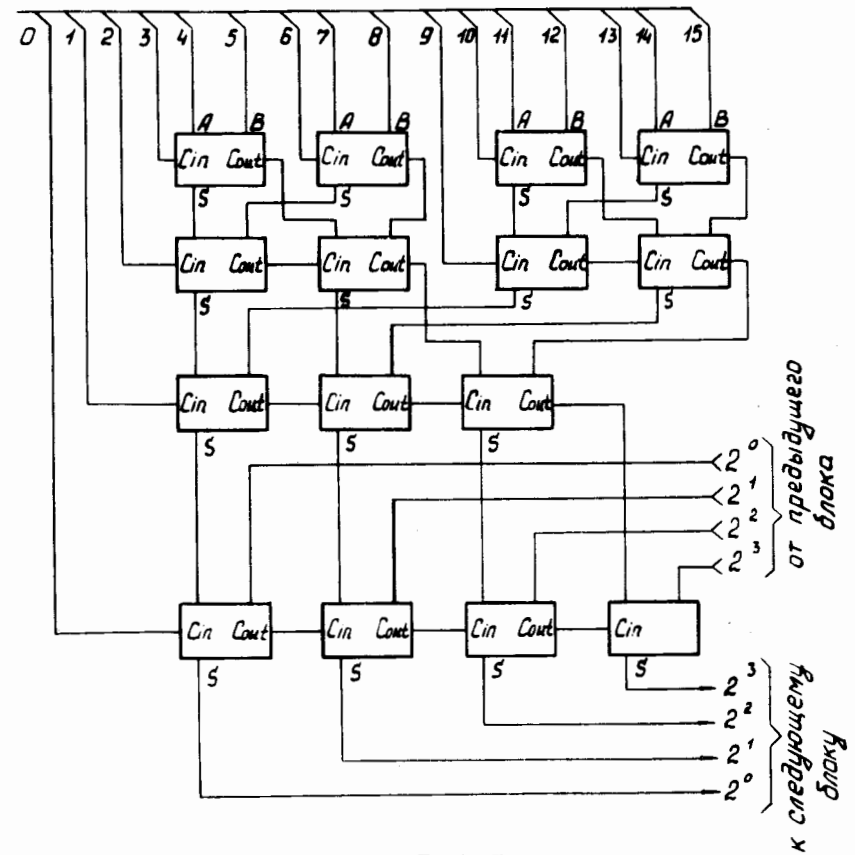
Следует заметить, что если в одной из групп сработали сразу оба канала, четный и нечетный, то к младшему разряду кода номера сработавшего канала подключается выход Q триггера M21-1, работающего в счетном режиме. В этом случае при первом тактовом импульсе в младшем разряде кода появляется "0", а при следующем - "1". Код номера группы $/2^1 \div 2^3/$ в этом случае не меняется из-за запрета поступления первого из тактовых сигналов на C_c -входы триггеров приоритетного кодирования.

После того как информация будет считана из блока полностью, по последнему тактовому импульсу на шине "Запрет" быстрой магистрали появляется отрицательный уровень, разрешающий считывание информации со следующих блоков. Одновременно закрываются схемы пропускания M22-M24, связывающие данный блок с быстрой магистралью.

Схема сумматора, осуществляющего преобразование количества сработавших каналов в двоичный код и суммирование этого числа с числом каналов, сработавших в предыдущих блоках, приведена на рис. 5. Из рисунка видно, что этот узел блока работает асинхронно и не требует тактовых импульсов. Информация о количестве



сработавших каналов появляется в процессоре независимо от информации о номере канала и может быть использована для предварительного отбора событий по количеству частиц, прошедших через годоскопическую систему в интервале строб-сигнала / 8,5%. Общее кодируемое количество частиц в плоскости может доходить до 15.



Краткие характеристики блока

Входы
 Число входов - 16,
 Импеданс - 130 Ом,

Уровни - TTL или ECL.
Длительность импульсов - любая, свыше 4 нс.

Входы "Строб" и "Сброс"

Импеданс - 50 Ом.
Уровни - NIM.
Минимальная длительность - 5 нс.
Разрешающее время - равно длительности сигнала "Строб", минус 4 нс.

Быстрая магистраль

Импеданс - 110 Ом /скрученные пары/.
Уровни - ECL.
Формат данных - 10 разрядов - код номера сработавшего канала, связан с тактовым импульсом; 4 разряда - код количества сработавших каналов - асинхронная передача.

Задержка а/ начальная - 25 нс - на подготовку первого кода номера сработавшего канала.
36 нс - на подготовку кода количества каналов, сработавших в данном блоке.

б/ на передачу информации между блоками:
для кодов номеров - 5 нс на блок /с учетом соединительных кабелей магистрали/.

для суммирования кодов количества - 7 нс на блок /с учетом кабелей/.

Тактовая частота - до 40 МГц.

Длительность тактовых импульсов - от 4 нс, но не более периода тактовых импульсов, минус 20 нс.

Функции и команды КАМАК

NA(0)F(0) - чтение данных по шинам R1 ÷ R16.
NA(0)F(9), Z, C - сброс.
L - появляется при регистрации импульса в любом из каналов.
X - сигнал правильной расшифровки функций.
Q - совпадает с X при L=1.

Блок размещен в ячейке КАМАК единичной ширины.
Потребляемые токи +6 В - 0,2 А; -6 В - 2,5 А.

В заключение авторы считают своим приятным долгом поблагодарить В.И.Какурину, В.И.Максименкову и А.А.Рюмина за помощь в монтаже и составлении технической документации.

Литература

1. Verkerk С. Труды Международного совещания по методике проволочных камер /Дубна, 1975/. ОИЯИ, Д13-9164, Дубна, 1975, стр. 232-251.
2. Verkerk С. Труды IX Международного симпозиума по ядерной электронике /Варна, 1977/, ОИЯИ, Д13-11182, Дубна, 1978, стр. 128-141.
3. Басиладзе С.Г. и др. ОИЯИ, 13-10407, Дубна, 1977.
4. Басиладзе С.Г., Гузик З. ОИЯИ, Р13-7492, Дубна, 1973.
5. Brandt A. e.a. Nucl.Instr. and Meth., 1975, 126, pp. 519-527.
6. Таблица аналогов интегральных схем СССР и зарубежных фирм, Москва, Внешторгиздат, стр. 18,19.
7. MECL integrated circuits data book. Motorola inc. September, 1973.
8. Lindsay J. e.a. Preprint CERN 74-12, Geneva, 1974.
9. Басиладзе С.Г., Юдин В.К. ОИЯИ, 13-10527, Дубна, 1977.
10. Басиладзе С.Г., Смирнов В.А., Юдин В.К. ОИЯИ, 13-10026, Дубна, 1976.

Рукопись поступила в издательский отдел
4 апреля 1978 года.