

1246 / 2-78

СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА



13/II-78

Ц 8416  
Г-399

13 - 11109

Р.Герстенбергер, В.И.Смирнов, Л.П.Челноков

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ЗУ-256 x 8

1977

13 - 11109

Р.Герстенбергер, В.И.Смирнов, Л.П.Челноков

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ЗУ-256 х 8

Герстенбергер Р., Смирнов В.И., Челноков Л.П. 13 - 11109

Запоминающее устройство 3У - 256x8

Описывается запоминающее устройство емкостью 256 восьмиразрядных слов, построенное на основе интегральных элементов памяти на МОП-структуре, содержащих 256 статических триггеров. В устройстве реализованы два режима накопления - режим с добавлением единицы к содержимому вызванного адреса и режим последовательного заполнения входными восьмиразрядными кодами адресов памяти. При заполнении память переходит в режим вывода содержимого на внешний накопитель (магнитная лента, перфоратор и др.), осуществляется цикл самоочистки памяти и возврат к режиму накопления. Запоминающее устройство используется в установке по поиску сверхтяжелых элементов в природе.

Работа выполнена в Лаборатории ядерных реакций ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1977

Gerstenberger R., Smirnov V.I., Chelnokov L.P. 13 - 11109

The 256x8 Memory

A memory (capacity 256 words, each 8 bits) is described which is constructed with integral circuits in MOS-technology. These circuits contain 256 flip-flops. Two regimes are realised in this device- the regime of increment and that of serial filling. The memory goes to the output regime when it is overflowed and transfers information to a periphery memory (magnetic tape, paper tape etc.). After that a clear cycle is realised and then it goes back to the input regime. The memory is used in a device for search for superheavy elements in nature.

The investigation has been performed at the Laboratory of Nuclear Reactions, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1977

Все многообразие цифровой статистической информации, получаемой в современных экспериментах, может быть разделено по методу ее накопления на два вида. Первый содержит относительно малое поле дескрипторов, и накопление информации возможно в так называемом интегрирующем режиме. Для каждого значения входной информации отводится одна ячейка памяти, в которой с приходом очередного байта информации добавляется единица. Такой режим накопления часто называют режим " +1 ". Для него характерна высокая плотность записи в памяти полезной информации, высокое быстродействие и простота. Однако максимальное число дескрипторов при таком методе накопления не может превышать  $2^{12} \div 2^{15}$ . К недостаткам метода следует также отнести безотносительность информации ко времени ее поступления, и, как следствие, возможность искажения всей уже накопленной информации в случае сбоев, изменения условий эксперимента, изменения характеристик аппаратуры и т.д.

Второй вид информации отличается большим наполнением каждого байта входной информации, когда число возможных дескрипторов превышает  $2^{12} \div 2^{100}$ , и ее накопление производится в режиме "регистрации событий" <sup>1/1</sup>. При этом в ячейках памяти запоминаются сами значения дескрипторов. После заполнения памяти ее содержимое обычно переносится на магнитную ленту или даже /в случае редких событий/ на перфоленту. Таким образом, сохраняется хронология поступления информации, причем последующая не может исказить ранее накопленной, однако плотность записи в памяти

по методу регистрации событий существенно ниже, чем в режиме "+1".

Для накопления статистической информации в двух рассмотренных режимах было разработано запоминающее устройство ЗУ - 256x8 на основе интегрального элемента памяти на МОП-структуре, содержащего 256 статистических триггеров, совместимых по управлению с ТТЛ-логикой.

Ниже приводятся некоторые данные элемента памяти:

Информационная емкость	- 256 бит,
время записи	- <1 мкс,
время считывания	- <1 мкс,
способ записи	- Д-вход,
способ считывания	- потенциальный выход,
способ адресации	- потенциальный двоичный код,
питание	- +5 В, 25 мА, -12 В, 25 мА.

интегральная схема имеет 16 выводов.

В разработанном ЗУ используются 8 таких интегральных схем, образующих 8-разрядную память на 256 адресов, т.е. память объемом в 256 байтов.

Рассмотрим блок-схему ЗУ, показанную на рис. 1.

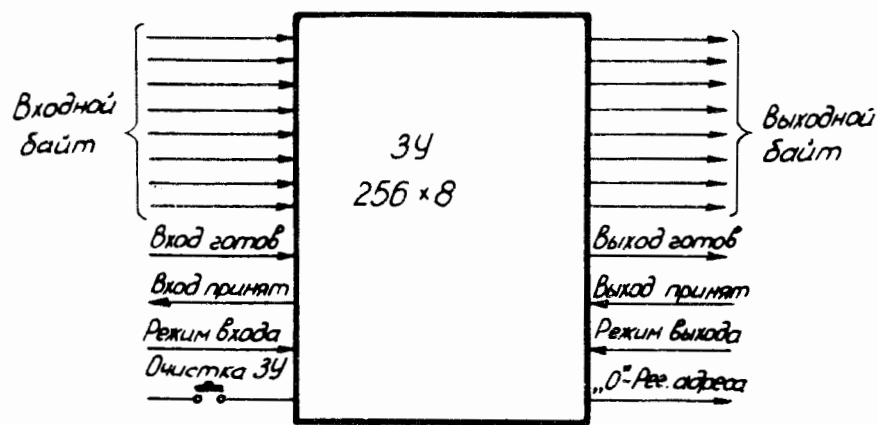


Рис. 1. Блок-схема ЗУ - 256x8.

Информация записывается в ЗУ и считывается по-байтно. В зависимости от поступления сигнала "Режим входа" входной байт служит для ЗУ или 8-разрядным адресом, по которому следует осуществить запись в режиме "+1", или частью дескриптора события, который должен быть записан в очередную ячейку памяти. Запись в ЗУ производится при помощи двух управляющих сигналов "Вход готов" и "Вход принят". В случае вывода /считывания/ информации из памяти на это время входы блокируются и информация считывается с восьми информационных выходов под управлением сигналов "Выход готов" и "Выход принят". Сигнал "0 регистра адреса" служит для синхронизации ЗУ с другими устройствами. Потенциал "Режим выхода" определяет способ считывания - однократное или многократное считывание всего содержимого памяти.

На рис. 2 представлена функциональная схема ЗУ. Главными узлами его являются: матрица памяти 256x8,

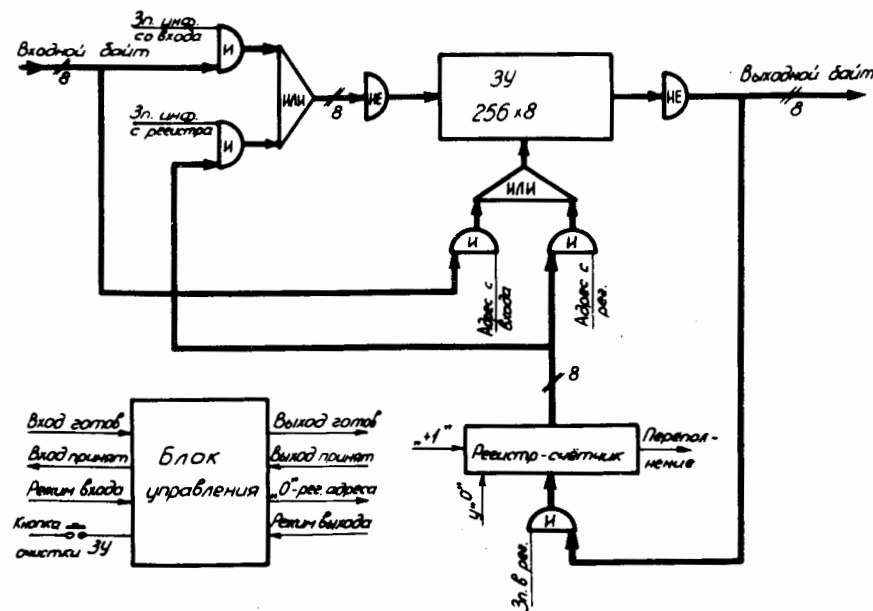


Рис. 2. Функциональная схема ЗУ - 256x8.

8-разрядный счетный регистр с возможностью параллельного занесения в память информации и ее списывания, а также блок управления. Следует обратить внимание на то, что ЗУ содержит только один регистр, который выступает в качестве адресного в режиме регистрации событий или в качестве регистра содержания в режиме "+1" и всегда - в качестве адресного в режиме вывода информации из памяти.

В блоке управления содержатся 5 триггеров, формирующие и времязадающие цепи, а также элементы логики, обеспечивающие все режимы работы ЗУ.

Остановимся на работе ЗУ более подробно /см. рис. 2/. После включения питания ЗУ автоматически устанавливается в состояние приема информации. Так же автоматически очищаются все ячейки памяти, а 8-разрядный регистр принимает нулевое состояние.

При появлении потенциала "Вход готов" записываются 8 информационных разрядов с шин "Входной байт" на тот адрес ЗУ, который находится в регистре /после включения питания на нулевой адрес/. По окончании цикла записи в регистр добавляется "+1" и выдается потенциал "Вход принят", который будет снят только после снятия потенциала "Вход готов". Такой цикл продолжается до тех пор, пока вся память не окажется заполненной. Признаком ее заполнения является переполнение счетного регистра во всех режимах накопления. При переполнении этого регистра ЗУ автоматически переходит в состояние считывания информации и выдает потенциал "Выход готов", а на шинах "Выходной байт" устанавливается содержимое нулевого адреса. Выходной байт присутствует на шинах ЗУ до тех пор, пока не появляется сигнал "Выход принят". При его появлении снимается сигнал "Выход готов" и после снятия потенциала "Выход принят" в регистр добавляется "+1", после чего снова выставляется сигнал "Выход готов". Этот цикл продолжается до полного считывания информации из всей памяти. При прохождении счетного регистра ЗУ через нулевое состояние, блок управления включает цикл автоматической установки всех ячеек памяти в "О" /стирание/, после чего ЗУ переходит в режим приема информации.

Рассмотрим теперь режим интегрального накопления. При наличии на входе потенциала "Режим входа" информация с шин "Входной байт" подключается непосредственно к адресным шинам всех элементов памяти, что означает обращение к одному из 256 байтов ЗУ. После прихода потенциала "Вход готов" происходит следующее: прежде всего очищается счетный регистр /у"О" - установка "О"/, после чего информация, считанная по выбранному адресу, заносится в 8 разрядов регистра. Затем содержание регистра увеличивается на единицу /сигнал "+1"/, после чего по тому же адресу в память записывается увеличенное на единицу содержание регистра. По окончании цикла записи выставляется сигнал "Вход принят", который снимается после снятия сигнала "Вход готов". Весь этот цикл может по каждому адресу повторяться до 256 раз. Если в одном из адресов происходит переполнение, то режим "Накопление" переключается на режим "Вывод", а в памяти сохраняется предпоследнее содержание /255/.

При наладке различных устройств оказалось удобным иметь возможность многократного считывания информации из памяти без ее стирания. Для этой цели введен потенциал "Режим выхода", который определяет режим чтения - однократный или многократный. Для синхронизации /например, счетчика адресов последующей памяти или элемента индикации/ служит потенциал "О регистра адреса". Это состояние адресных шин индицируется лампочкой на лицевой панели памяти. Другая лампочка показывает режим вывода, что означает закрытый вход.

При необходимости память может быть очищена вручную нажатием кнопки "Очистка памяти", которая в блоке управления запускает цикл полной очистки всех ячеек памяти.

Конструктивно память исполнена на печатной плате /175x210/ мм двусторонним печатным монтажом с помощью полуавтомата АДМАП.

Все устройство ЗУ содержит 40 интегральных схем.  
Потребление тока: +6 В, 350 мА,  
-12 В, 150 мА.

В заключение авторы выражают благодарность А.А.Датриеву за плодотворное обсуждение работы на всех ее этапах, а также В.В.Кочеткову за помощь в монтаже устройства.

#### *ЛИТЕРАТУРА*

1. *Замятин Н.И., Смолин Д.А. ОИЯИ, 10-9666, Дубна, 1976.*

*Рукопись поступила в издательский отдел  
28 ноября 1977 года.*