

Ц. 3416
Д-16

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



3817/2-77

19/IX-77

13 - 10687

Я.М.Даматов, Н.М.Никитюк

ЭЛЕМЕНТЫ И УСТРОЙСТВА
ПОЛУПРОВОДНИКОВОЙ ДИНАМИЧЕСКОЙ ПАМЯТИ

1977

13 - 10687

Я.М.Даматов, Н.М.Никитюк

ЭЛЕМЕНТЫ И УСТРОЙСТВА
ПОЛУПРОВОДНИКОВОЙ ДИНАМИЧЕСКОЙ ПАМЯТИ

Направлено в ПТЭ

Даматов Я.М., Нихитюк Н.М.

13 - 10687

Элементы и устройства полупроводниковой динамической памяти

Описывается принцип действия и структурная схема модуля памяти с квазистатическим управлением. Рассматриваются способы регенерации содержимого таких модулей памяти и приводятся принципиальные схемы управления регенерацией и усилителя чтения.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1977

Динамические полупроводниковые запоминающие устройства /ЗУ/, как правило, имеют более высокое быстродействие и меньшую общую рассеиваемую мощность по сравнению со статическими ЗУ. Объясняется это тем, что эти ЗУ рассеивают энергию в момент активной работы памяти /циклы чтения, записи, регенерации/ и не потребляют энергии в течение периодов между циклами. Эти и другие качества способствуют тому, что полупроводниковые ЗУ динамического типа широко используются в современных мини- и микро-ЭВМ.

Однако в памяти динамического типа содержимое ячеек матрицы со временем изменяется, что приводит к необходимости введения дополнительных схем для периодической регенерации содержимого всех ячеек памяти. Период регенерации в основном зависит от технологии используемого ЗУ, температуры окружающей среды и прочих внешних условий. Длительность периода регенерации может находиться в пределах от миллисекунды до нескольких секунд /1-4/. Прежде чем рассматривать способы регенерации и устройства управления динамическим ЗУ, рассмотрим кратко структурную схему и параметры типичного модуля полупроводниковой динамической памяти. На *рис. 1* приведена блок-схема большой интегральной схемы /БИС/ типа МК4006 /МК4008/^{1/}. Матрица БИС памяти состоит из 1024 запоминающих ячеек с произвольным доступом. Декодирование адресов происходит внутри микросхемы. Информационные сигналы и сигналы управления статические и совместимы с уровнями ТТЛ. Исключение составляют выходные сигналы микросхемы, которые не совместимы с уровнями ТТЛ /см. ниже/.

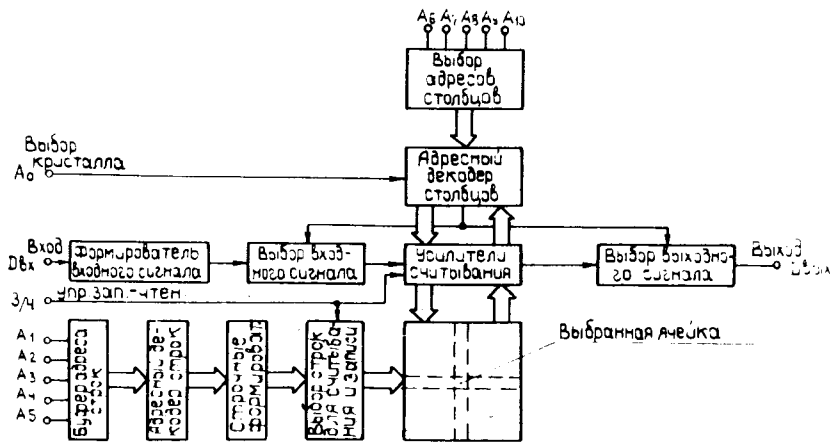


Рис. 1. Блок-схема модуля полупроводниковой памяти.

Модуль выполнен в керамическом корпусе с 16 выводами. Запоминающая матрица состоит из 32 строк и 32 столбцов. Для выборки элемента матрицы задается 10-разрядный код адреса, который разделяется на две части: на 5-разрядный код выборки строки A1-A5 и 5-разрядный код выборки столбца A6-A10. На вывод "Запись-чтение" подается сигнал, который управляет схемами записи данных в матрицу. Модуль памяти может быть полностью отключен или включен путем подачи сигнала соответствующего потенциала на вход "Выбор кристалла". В модуле используются два номинала напряжений питания: +5 В и -12 В. Общая потребляемая мощность - 140 мВт.

Чтение данных

На рис. 2 приведена временная диаграмма чтения. Чтение кода происходит при подаче высокого уровня на вход "Запись-чтение". Считываемый код на выходе модуля в соответствии с заданным адресом будет присутствовать на выходе до тех пор, пока не будет изменен адрес ячейки или не наступит период регенерации.

Цикл чтения ($t_{цч}$)

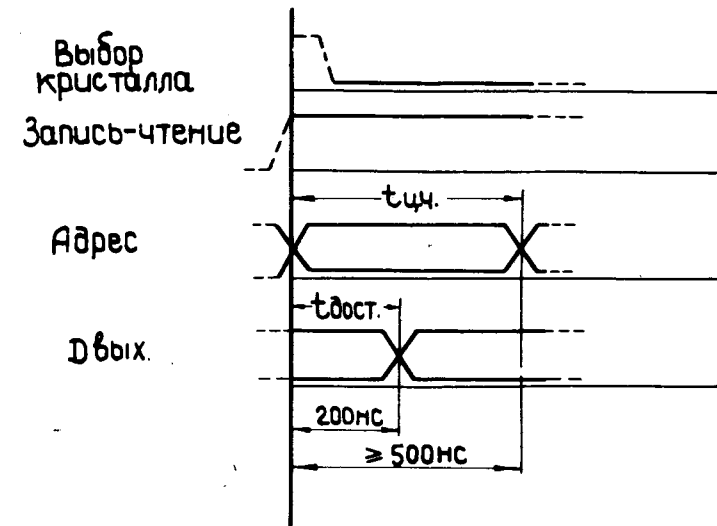


Рис. 2. Временная диаграмма чтения.

Цикл записи ($t_{цз}$)

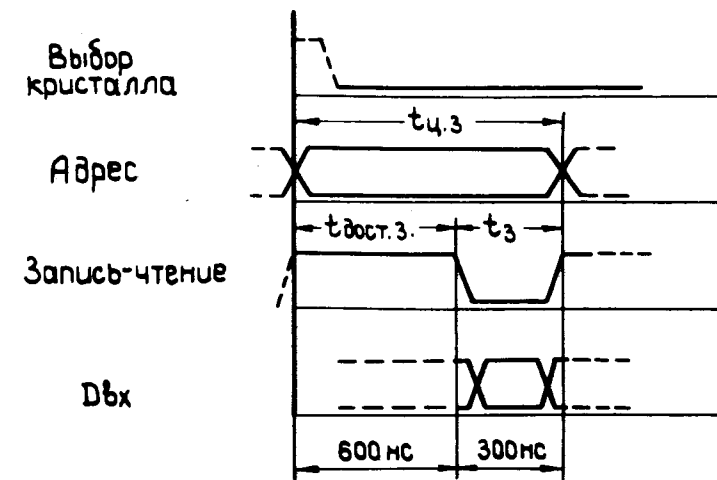


Рис. 3. Временная диаграмма записи.

Запись данных

Запись кода в ячейку /рис. 3/ происходит при условии, что на вывод "Вход" подан код, подлежащий записи, а на выходы "Запись-чтение" и "Выбор кристалла" - низкий уровень напряжения. Новый адрес на адресные шины может быть подан лишь после того, как на шине "Запись-чтение" будет установлен высокий уровень напряжения. После этого может начинаться операция чтения.

Регенерация данных

На рис. 4 приведена временная диаграмма, соответствующая циклу регенерации. Регенерация данных может происходить как в процессе записи, так и в цикле регенерации. В течение цикла регенерации состояние адресных шин A1-A5 определяет, какая из 32 строк матрицы памяти будет подвержена регенерации при помо-

щи внутренних схем. Таким образом, все 32 ячейки, расположенные на одной строке, будут регенерированы за один цикл. Поскольку практически трудно выполнить такое условие, при котором все 32 возможных адреса строк будут связаны с циклом записи через каждые 2 мс, то для построения нормально функционирующего ЗУ необходимо предусмотреть специальный цикл регенерации. Цикл регенерации подобен циклу записи за исключением того, что на входе "Выборка кристалла" должен быть приложен высокий уровень напряжения. Это позволяет отключить выходы модуля и предотвратить запись новых данных в течение цикла регенерации.

Возможны два способа регенерации. При первом способе необходимо каждые 2-5 мс закрывать доступ к памяти и производить полный цикл регенерации по 32 строкам. В результате мертвое время памяти составит 32 цикла доступа к памяти. Другой способ регенерации более предпочтителен. Он позволяет практически исключить мертвое время. При этом способе цикл регенерации разделяется на 32 равных временных интервала. По истечении каждого из этих интервалов происходит регенерация одной из 32-х строк матрицы памяти. Причем регенерация осуществляется непрерывно, пока включено питание в блоке памяти. Если же произойдет наложение во времени момента регенерации /порядка 1 мкс для ЗУ данного типа/ на цикл обращения к ЗУ, то при помощи соответствующей логической схемы можно отдать приоритет тому или иному сигналу в зависимости от того, какой из них поступил раньше.

На рис. 5 приведена принципиальная схема формирования циклов регенерации, записи и чтения. С выхода Э8-3 снимается сигнал управления "Запись-чтение", который поступает на соответствующий вход модуля питания.

На элементах Э1-1, Э1-2, Э2-1, Э2-2, Э3 построена схема выработки сигналов регенерации, на элементах Э6-1, Э6-2, Э10-1, Э10-2, Э11, Э13-1, Э8-1, Э10-4 - схема формирования цикла регенерации. Аналогичным образом на элементах Э6-3, Э6-4, Э10-3, Э9-6, Э12, Э13-2, Э8-2, Э10-5 построена схема формирования сиг-

Цикл регенерации

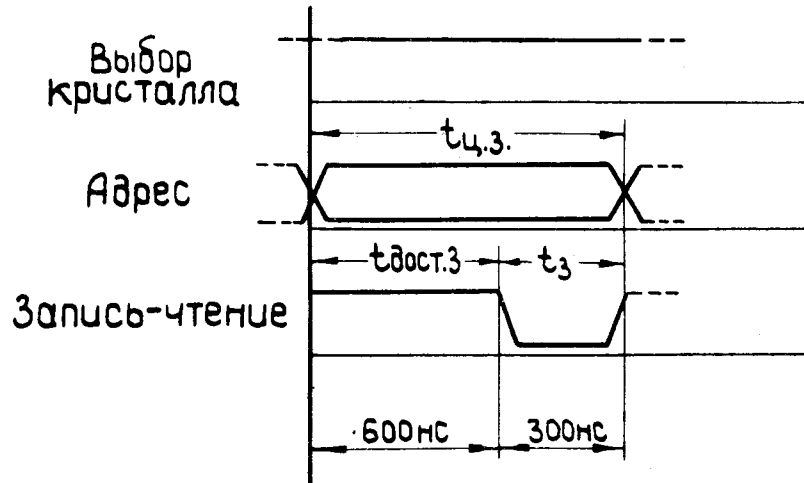


Рис. 4. Временная диаграмма цикла регенерации.

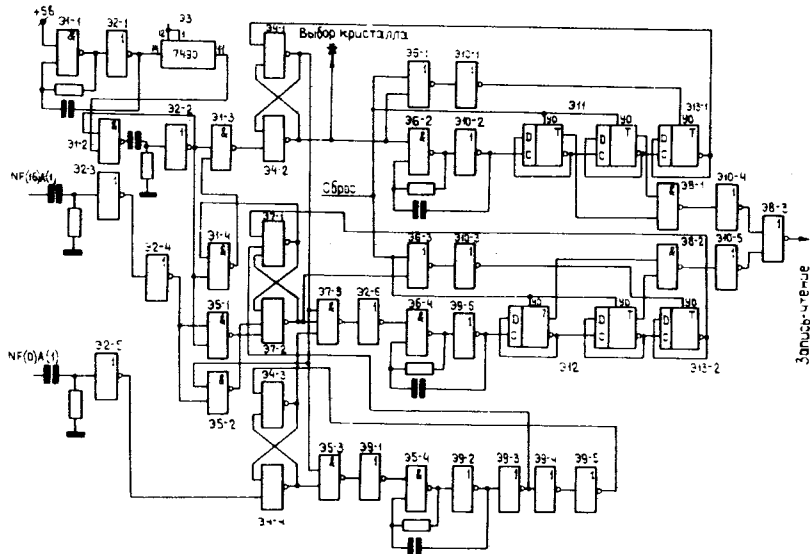


Рис. 5. Принципиальная схема формирования циклов регенерации, записи и чтения.

нала, соответствующего циклу записи данных. Элементы Э5-3, Э9-1, Э5-4, Э9-2, Э9-3, Э9-4, Э9-5 участвуют в выработке сигнала, соответствующего циклу чтения данных. На элементах Э1-4, Э5-1, Э5-2, Э7-1, Э7-2, Э7-3, Э4-3, Э4-4, Э5-3, Э1-3 реализована логика приоритетного прохождения сигналов. Если, к примеру, сигнал цикла регенерации поступит несколько раньше сигнала записи /в пределах 1 мкс/, то последний запоминается на триггере Э7-2. После окончания данного цикла регенерации на выходе Э7-3 появляется сигнал, который формирует цикл записи данных. Аналогичная ситуация происходит при формировании сигнала, связанного с циклом чтения.

С выхода Э4-2 снимается сигнал "Выбор кристалла", который поступает на соответствующий вход памяти. В момент регенерации этот сигнал имеет высокий уровень напряжения, а в момент цикла записи или чтения - низкий уровень.

Усилители считывания

В отличие от всех входных сигналов с модулей памяти типа МК4006^{1/1}, выходные сигналы не совместимы с этими уровнями. Так, например, логической единице соответствует 200 мВ, логическому нулю - 0 В. На рис. 6 приведена схема усилителя-формирователя выходного сигнала модуля памяти до уровня ТТЛ.

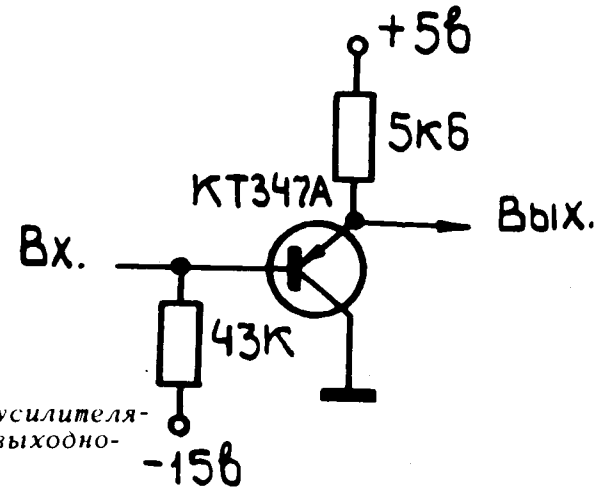


Рис. 6. Схема усилителя-формирователя выходного сигнала.

Импульсное питание

Мощность, рассеиваемая модулем типа МК4006, может быть снижена со 140 до 50 мВт без уменьшения надежности его работы путем уменьшения напряжения питания по номиналу с -12 В до 0 В в те моменты времени, когда нет цикла доступа к памяти или отсутствует цикл регенерации. На рис. 7 приведена принципиальная схема импульсного питания. Эта схема позволяет формировать импульсы -15 В на нагрузке 50 Ом.

Описанные выше схемы нашли применение при построении модуля полупроводниковой оперативной памяти емкостью 1КХ24 бит, выполненного в стандарте КАМАК.

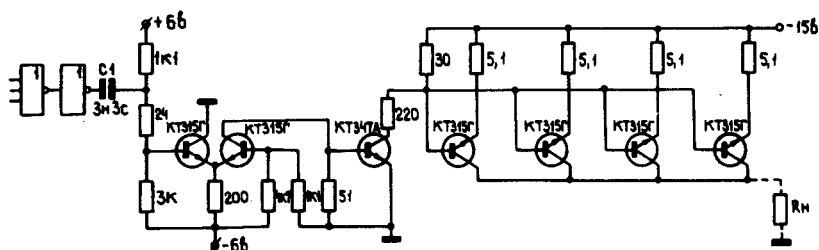


Рис. 7. Схема импульсного питания.

Литература

1. *Integrated Circuit Guide*. Проспект фирмы MOSTEK, August, 1974.
2. Altman L. *Special Report. Semiconductor RAMs Land Computer Mainframe Jobs*. *Electronics*, 1972, v.45, No. 18, p.63-77.
3. Riley W. *Special Report: Semiconductor Memories are Taking over Data-Storage Applications*, *Electronics*, 1973, v. 46, No. 16, p.75-90.
4. Walther T.R. *Dymanic N/MOS RAM with Simplified Refresh*. *Computer Design*, 1973, v.12, No. 12, p.53-58.

Рукопись поступила в издательский отдел
25 мая 1977 года.