

Б-272

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



1751 / 2-77

10/5-77

13 - 10407

С.Г.Басиладзе, Б.Н.Гуськов, Ли Ван Сун,
А.Н.Максимов, А.Н.Парфенов

БЫСТРЫЙ ЦИФРОВОЙ ПРОЦЕССОР
ДЛЯ ОТБОРА СОБЫТИЙ
ПО РАЗНОСТИ КОЛИЧЕСТВА ЧАСТИЦ

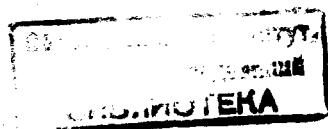
1977

13 - 10407

С.Г.Басиладзе, Б.Н.Гуськов, Ли Ван Сун,
А.Н.Максимов, А.Н.Парфенов

**БЫСТРЫЙ ЦИФРОВОЙ ПРОЦЕССОР
ДЛЯ ОТБОРА СОБЫТИЙ
ПО РАЗНОСТИ КОЛИЧЕСТВА ЧАСТИЦ**

Направлено в ПТЭ



Басиладзе С.Г. и др.

13 - 10407

Быстрый цифровой процессор для отбора событий по разности количества частиц

Описан быстрый цифровой процессор, основное назначение которого - отбор событий по разности количества частиц, прошедших через две пропорциональные камеры. Число входов процессора - 32 для первой камеры и 64 - для второй.

Выделяемая разность количества частиц - от 1 до 8, время решения - 180 нс. Устройство изготовлено в отделе новых научных разработок Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1977

Описываемый процессор разработан для бесфильмового магнитного спектрометра БИС-11^{/1/}, предназначенного для использования в экспериментах по поиску "очарованных" частиц, в которых спектрометр должен регистрировать частицы, возникающие как вследствие взаимодействия нейтронов пучка с мишенью / π -мезоны - 3 шт. см. рис. 1/, так и вследствие распада продуктов такого взаимодействия /напр., K_s^0 -мезона - рис. 1/. Область, где происходит распад, выделена двумя пропорциональными камерами - ПК1 и ПК2. В задачу процессора входит выделение событий, сопровождающихся распадом, т.е. число частиц, прошедших через ПК2 - N_2 , должно быть на определенную величину больше, чем число частиц, прошедших через ПК1 - N_1 /на рис. 1 $N_2 - N_1 = 2$ /. Выделение частиц пучка производится специальным устройством мониторинга и здесь не рассматривается. Количество проволочек в ПК1 равно 32, в ПК2 используются сигналы "Быстрое ИЛИ" с групп проволочек общим количеством до 64.

Блок-схема процессора. Блок-схема процессора, состоит из трех блоков регистрации сигналов с ПК, шифраторов количества пришедших импульсов в двоичный код и арифметического блока /рис.1/. Двоичные коды, соответствующие N_1 и N_2 , поступают на арифметический блок, производящий проверку соотношения

$$A < N_2 - N_1 \leq B \quad /1,а/$$

либо

$$A < N_1 - N_2 \leq B, \quad /1,б/$$

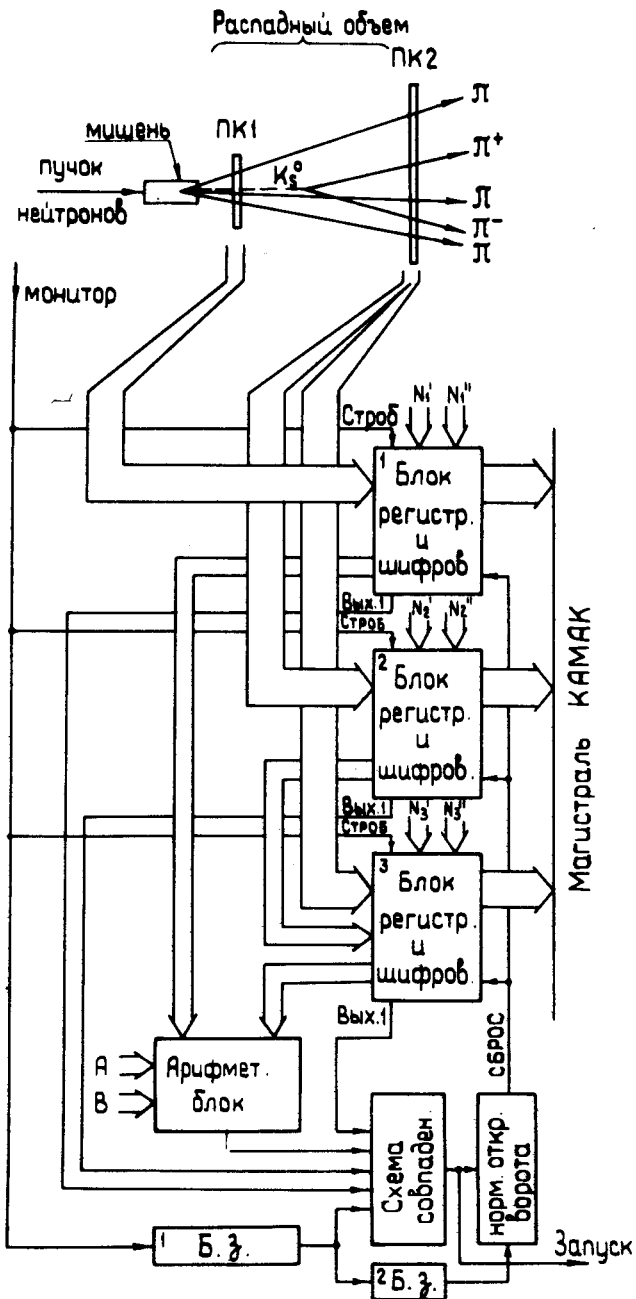


Рис. 1. Схема расположения пропорциональных камер и блок-схема процессора.

где А и В - константы, вводимые в блок с переключателей на передней панели. Блоки регистрации и шифровки имеют дополнительные выходы /Вых.1 - рис. 1/, сигналы на которых появляются в случае, если количество частиц находится в задаваемом переключателями на передней панели цифровом окне

$$N' \leq N_i < N'' \quad /2/$$

Если удовлетворяются условия /1/ и /2/, положительное решение процессора стробируется задержанным импульсом монитора и со схемы совпадений снимается сигнал начала чтения данных с установки в ЭВМ. При невыполнении условий /1/, /2/ производится быстрый сброс /по передней панели/ блоков регистрации и шифровки. Данные с блоков регистрации могут быть считаны через магистраль КАМАК, что дает возможность последующей проверки правильности решения.

Блок регистрации и шифровки. На рис. 2 показана структурная схема блока регистрации и шифровки количества частиц в двоичный код. Он реализован на трех печатных платах. Первая плата представляет собой годоскопическую систему ворот с памятью и выводом данных на магистраль КАМАК^{/2/}, остальные являются 16-входовыми цифровыми мажоритарными схемами совпадений^{/3/}. На первой плате производится стробирование, запоминание и передача данных в ЭВМ, на остальных собран шифратор двоичного кода.

На передней панели блок имеет цифровые входы и выходы для быстрой передачи /в уровнях ECL / и последующего суммирования кодов из нескольких блоков, число которых, в принципе, ограничено только скоростью решения. Для суммирования образовавшегося в блоке двоичного кода с кодом из предыдущего блока /либо с предыдущей печатной платы/ используется трехразрядный сумматор. Двоичный код на выходе блока соответствует числу зарегистрированных частиц, если их общее количество не более 8, либо не более 15 и если только в одном из блоков зарегистрировано 8 или более частиц.

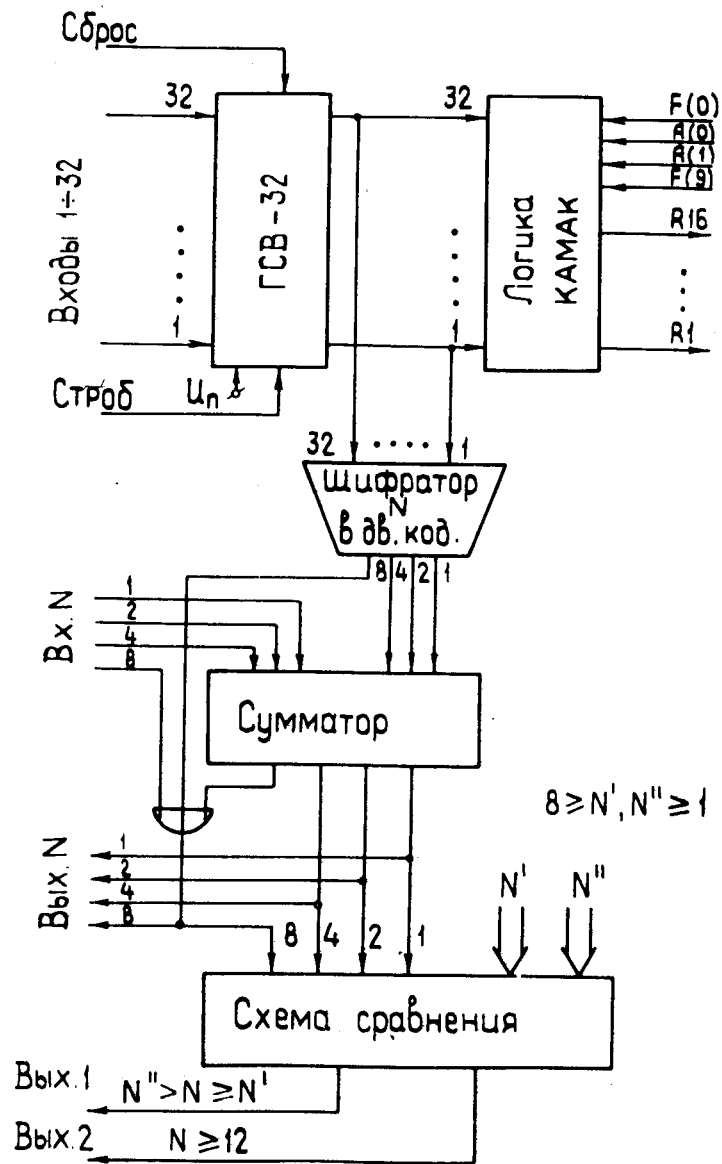


Рис. 2. Структурная схема блока регистрации информации и шифровки в двоичный код количества зарегистрированных частиц.

На третьей плате собрана схема сравнения, имеющая два выхода. С первого сигнал снимается в случае, когда количество частиц лежит в пределах цифрового окна /2/. Границы цифрового окна лежат в пределах от 1 до 8. Со второго выхода сигнал снимается, если количество частиц $N_i \geq 12^{3/}$.

Основные характеристики блока: входные сигналы - в уровнях NIM; минимальная длительность строба - 7 нс, сброса - 20 нс; время шифровки в двоичный код - 70 нс; время сложения кодов - 25 нс; функции КАМАК - $F(0)A(0) \div A(1)$, $F(9)A(0)$; сигнал L появляется при регистрации сигнала в одном из каналов. Блок размещен в ячейке КАМАК - 3М, потребляемые токи - 6 В/0,3 А.

Арифметический блок. Структурная схема арифметического блока приведена на рис. 3. В блоке использована печатная плата и отдельные узлы цифрового процессора /4/. Двоичные коды N_1 и N_2 поступают на входы схемы вычитания, на выходе которой появляется код, соответствующий $|N_1 - N_2|$. Это число - ΔN - сравнивается с заданными на передней панели цифровыми границами A и B схемами сравнения. Диапазон возможных величин A - от 0 до 7, величин B - от 0 до 15. В случае, если $B = A + 1$, блок выделяет события с фиксированной разностью, равной B. Учет знака разности производится схемой совпадений на выходе с помощью схем пропускания, подключенных к выходу схемы вычитания. Знак разности задается с передней панели.

Вход запрета может быть использован для подавления ложных срабатываний во время решения /стробирования положительного решения, если отбор производится только по условию /1//.

Основные параметры блока: входные уровни ECL, выходные - NIM, время решения - 60 нс. Блок размещен в ячейке КАМАК - 1М, потребляемый ток - 6 В/0,5 А.

Остальные логические блоки процессора - стандартные блоки быстрой электроники /5/. В целом процессор занимает 2/3 крейта КАМАК. Полное время решения составляет 180 нс.

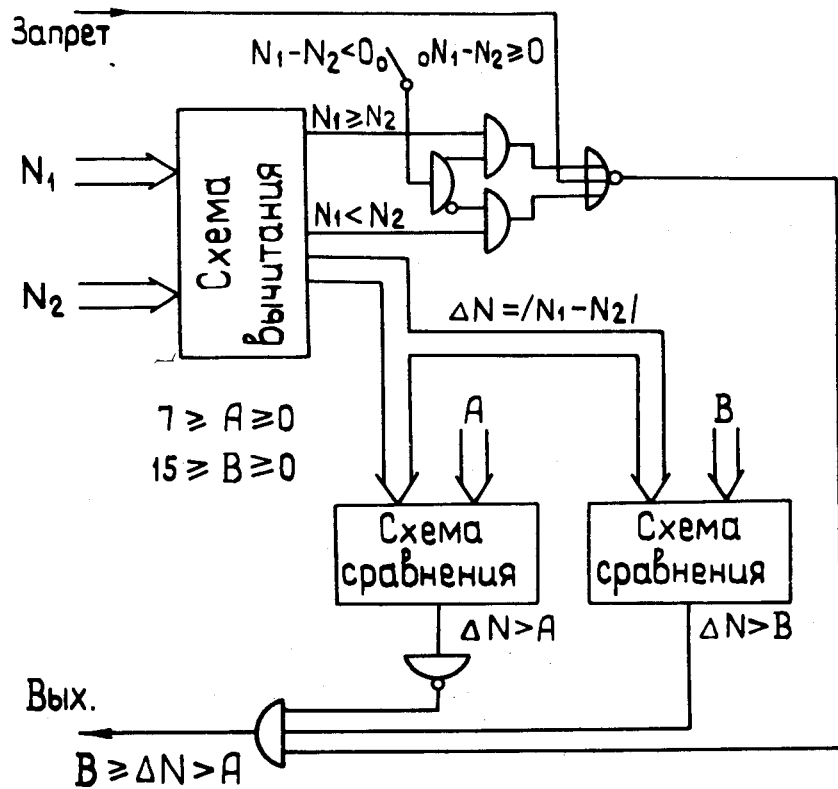


Рис. 3. Структурная схема арифметического блока.

В заключение авторы выражают благодарность В.Г.Кривохижину и М.Ф.Лихачеву за постановку задачи, В.А.Арефьеву за полезные обсуждения, А.А.Виноградовой, В.А.Григорьевой, В.И.Какуриной, В.И.Максименковой, А.А.Рюмину - за помощь в монтаже, а также Д.А.Кириллову - за проверку процессора с использованием ЭВМ.

Литература

1. Кривохижин В.Г. и др. ОИЯИ, Б2-1-9414, Дубна, 1975.
2. Басиладзе С.Г., Ли Ван Сун. ОИЯИ, 13-9583, Дубна, 1976.
3. Басиладзе С.Г., Гвоздев В.Я. ПТЭ, 1974, №6, с.78.
4. Гузик Э., Басиладзе С.Г. ОИЯИ, Р13-6917, Дубна,
5. Басиладзе С.Г., Ли Ван Сун, Парфенов А.Н., Юдин В.К. ОИЯИ, 13-10017, Дубна, 1976.

Рукопись поступила в издательский отдел
1 февраля 1977 года.