

15
A67



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

А.П. Анисимов, Ш.И. Барилко, И.Д. Ванков

1134

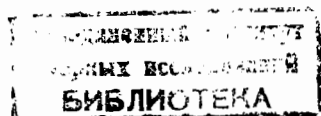
БЕСТРИГГЕРНОЕ АРИФМЕТИЧЕСКОЕ
УСТРОЙСТВО
МНОГОКАНАЛЬНОГО АНАЛИЗАТОРА

*Научно-техн. конф. по ядерной
электронике, 6-я. Труды...
т 2 - Анализаторы. М., Атомиздат,
1965, с 58-67.*

А.П. Анисимов, Ш.И. Барилко, И.Д. Ванков

1134

БЕСТРИГГЕРНОЕ АРИФМЕТИЧЕСКОЕ
УСТРОЙСТВО
МНОГОКАНАЛЬНОГО АНАЛИЗАТОРА



Дубна 1962 год

А н н о т а ц и я

В работе дается описание функций, выполняемых арифметическим устройством многоканального анализатора в терминах алгебры - логики и приводятся две схемы арифметического устройства без триггеров со счетным входом. Приведенные схемы отличаются повышенной надежностью.

Принятые обозначения

$x_{n,t}$ - двоичный символ n -го разряда числа, считываемого с МОЗУ в цикл t .

$X_{n,t}$ - двоичный символ, равный единице при наличии сигнала из n -го разряда МОЗУ в цикл t .

$s_{n,t}$ - двоичный символ n -го разряда числа, записываемого в МОЗУ в цикл t .

$y_{n,t}$ - двоичный символ переноса с $(n-1)$ -го разряда на n -ый разряд арифметического устройства (Ар.У.) в цикл t .

$Y_{n,t}$ - двоичный символ, равный единице при наличии сигнала переноса из $(n-1)$ -го в n -ый разряд Ар.У. в цикл t .

$Z_{n,t}$ - двоичный символ, равный единице при наличии сигнала "запрета" в n -ом разряде в цикл t .

Арифметическое устройство (Ар.У.) является одним из основных узлов всех анализаторов с магнитными оперативными запоминающими устройствами (МОЗУ). В анализаторах с МОЗУ арифметическое устройство выполняет следующие функции:

1. Добавление единицы к числу, записанному в памяти.
2. Сброс информации, записанной в памяти.
3. Передача числа на выводные устройства: осциллограф, печатающее устройство, неоновые индикаторы.

После прихода в анализатор детекторного импульса выполняется стандартная программа его регистрации, состоящая в следующем:

1. Очистка Ар.У. от предыдущей информации.
2. Считывание числа из соответствующего канала МОЗУ и передача этого числа в параллельном коде в Ар.У., где оно должно запомниться на некоторое время.
3. Добавление к числу, списанному из МОЗУ, единицы.
4. Запись вновь полученного числа в МОЗУ, для чего вырабатываются импульсы "запрета" в те разряды, в которых при считывании в следующий цикл, сигнала не должно быть.

Для сброса информации памяти Ар.У. посылаются импульсы запрета во все разряды МОЗУ.

При передаче числа на выводные устройства выполняется та же программа, но только без добавления единицы. (За исключением вывода на печать, когда двоичный код преобразуется в десятичный методом досчета).

Функция добавления единицы к числу, хранящемуся в памяти по выбранному адресу,

является основной для Ар.У. . Она описывается следующими логическими уравнениями:

$$S_{n,t} = x_{n,t} \bar{y}_{n,t} + \bar{x}_{n,t} y_{n,t} \quad (1)$$

$$y_{n,t} = x_{n-1,t} y_{n-1,t} \quad (2)$$

$$x_{n,t+1} = s_{n,t} \quad (3)$$

Уравнение (1) означает, что в n -ом разряде МОЗУ в цикл t записывается "1" только тогда, когда либо в n -ом разряде в цикл $t-1$ была записана "1" ($x_{n,t} = 1$) и в цикл t не было переноса с $(n-1)$ -го на n -ый разряд Ар.У. ($y_{n,t} = 0$; $y_{n-1,t} = 1$), либо в нем в цикл $t-1$ был записан "0" ($x_{n,t} = 0$) и в цикл t был перенос с $(n-1)$ -го на n разряд Ар.У. ($y_{n,t} = 1$). Во всех остальных случаях записывается "0".

Уравнение (2) означает, что перенос с $(n-1)$ -го на n -ый разряд Ар.У. имеется только тогда, когда в цикл $(t-1)$ в $(n-1)$ -ом разряде МОЗУ была записана "1" ($x_{n-1,t} = s_{n-1,t-1} = 1$) и имеется перенос с $(n-2)$ -го на $(n-1)$ -ый разряд Ар.У. ($y_{n-1,t} = 1$).

Уравнение (3) означает, что в цикл $(t+1)$ с n -го разряда МОЗУ считывается то, что было записано в нем в цикл t .

В прямом коде наличие сигнала из определенного разряда МОЗУ при считывании в цикл t идентифицируется с двоичной единицей соответствующего разряда считываемого числа, а наличие сигнала переноса из $(n-1)$ -го в n -ый разряд Ар.У. с переносом, т.е.

$$X_{n,t} = x_{n,t}; \quad Y_{n,t} = y_{n,t} \quad (4)$$

Так как из Ар.У. посылаются в цикл t импульсы "запрета" в те разряды, в которых при считывании в цикл $(t+1)$ сигналов не должно быть, то справедливо уравнение:

$$Z_{n,t} = \bar{X}_{n,t+1} \quad (5)$$

Из уравнения (4) и (2) следует, что в прямом коде:

$$Y_{n,t} = X_{n-1,t} \cdot Y_{n-1,t} \quad (2a)$$

а из уравнений (5), (4), (1), (3)

$$\begin{aligned} Z_{n,t} &= \bar{X}_{n,t+1} = \bar{x}_{n,t+1} = \bar{s}_{n,t} = \\ &= \overline{x_{n,t} \bar{y}_{n,t} + \bar{x}_{n,t} y_{n,t}} = \overline{[X_{n,t} \bar{Y}_{n,t}][\bar{X}_{n,t} Y_{n,t}]} = \end{aligned} \quad (5a)$$

$$= \overline{[X_{n,t} + Y_{n,t}][X_{n,t} + \bar{Y}_{n,t}]} = \overline{X_{n,t} Y_{n,t} + \bar{X}_{n,t} \bar{Y}_{n,t}}$$

$$Z_{n,t} = X_{n,t} Y_{n,t} + \bar{X}_{n,t} \bar{Y}_{n,t}$$

Описанные в литературе ^{/1/} Ар.У. используют цепочку, работающих друг на друга триггеров (как правило, 16 соответствующих числу разрядов Ар.У.) (рис. 1).

На вход С подается импульс сброса, сбрасывающий все триггеры в "0".

На входы "A₁"- "A₁₆" подаются сигналы из соответствующих разрядов МОЗУ, которые переводят триггера в состояние "1".

На вход "1" подается импульс добавления единицы, который переносится через счетные входы триггеров до первого триггера, в котором записан "0" и переводит его в состояние "1".

Триггеры управляют схемами совпадений "И" - "И₆", на вторые входы которых подается импульс "запрета" "Z".

С разрядов, в которых записан "0", подаются разрешающие потенциалы на схему совпадений. Образующиеся таким образом импульсы "запрета" пропускаются и подаются на соответствующие разряды МОЗУ "В₁" - "В₁₆".

К недостаткам этой схемы относятся:

1. Низкая информационная надежность работы триггеров с несколькими входами, среди которых есть счетные.

2. Необходимость больших интервалов между импульсами для установки всех триггеров (16 разрядов дают задержку около 5 мксек).

Для упрощения схемной реализации иногда целесообразно работать в обратном коде. Тогда справедливы уравнения:

$$X_{n,t} = \bar{x}_{n,t} \quad Y_{n,t} = \bar{y}_{n,t} \quad Z_{n,t} = s_{n,t} \quad (6)$$

Подставляя (6) в уравнения (1) и (2) получим:

$$Y_{n,t} = X_{n-1,t} + Y_{n-1,t} \quad (26)$$

$$Z_{n,t} = \bar{X}_{n,t} Y_{n,t} + X_{n,t} \bar{Y}_{n,t} \quad (56)$$

Для реализации уравнений (26) и (56) можно применить схему, изображенную на рис. 2.

В таблице 1 приведена зависимость выходных сигналов от входных.

Т а б л и ц а 1

X_n	Y_n	Z_n	Y_{n+1}
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	1

В данной таблице единица означает наличие сигнала. (В данном варианте схемы - отрицательного потенциала на соответствующем входе X_n и Y_n и выходе переноса Y_{n+1} и положительного перепада напряжения на выходе Z).

Рабочий вариант схемы на 4 разряда приведен на рис. 3. Схема работает следующим образом.

Входные сигналы с матрицы поступают на усилители со стробированием. Усиленные сигналы через трансформаторы Тр. 2 управляют транзисторными ключами T_2 , которые в

свою очередь управляют зарядом емкости C . Разряд емкости осуществляется устройством управления после окончания операций добавления единицы и регистрации. Сигналы X на полусумматор $T_{4,5}$ снимаются с емкостей через эмиттерные повторители T_3 . Сигналы Z снимаются с общих коллекторных сопротивлений $T_{4,5}$. Сигналы переноса берутся с диодных схем "ИЛИ" через эмиттерные повторители T_6 .

Временная диаграмма работы $Ar.Y$ изображена на рис. 4.

В схеме применены транзисторы типа *npn* с целью облегчения режима работы транзистора T_3 . Для исключения ложного сигнала из-за неравенства входных сигналов X и Y базы транзисторов $T_{4,5}$ подсоединены к небольшому минусу, определяемому делителем R_3 и R_4 .

За время эксплуатации выявились некоторые слабые места.

1. Тяжелый режим работы транзистора T_2 , вследствие чего наблюдались выходы из строя транзисторов T_2 и T_3 . Этот недостаток может быть устранен применением транзисторов типа П 416.

2. Ограничение скорости работы $Ar.Y$ из-за плохих частотных свойств транзисторов $T_{4,5}$.

В целях упрощения схемы и увеличения надежности схемы были использованы туннельные диоды. Схема ячейки $Ar.Y$ с использованием туннельных диодов приведена на рис. 5.

Рассмотрим работу схемы.

Входной сигнал с матрицы поступает на усилитель со стробированием. Простробируемый и усиленный импульс перебрасывает туннельный диод. Туннельный диод управляет транзистором T_2 . С коллектора транзистора T_2 снимается значение слагаемого X_n . Второе слагаемое Y_n подается со схемы переноса согласно уравнению (26). Единица в данном $Ar.Y$ означает наличие отрицательного сигнала на входах X_n и Y_n и выходе переноса Y_{n+1} и положительного сигнала на выходе Z .

Временная диаграмма работы $Ar.Y$ изображена на рис. 6.

Полная схема $Ar.Y$ на 16 разрядов изображена на рис. 7.

В схеме прямого переноса стоят высокочастотные точечные диоды типа Д 12, обладающие малым прямым сопротивлением. Величина прямого сопротивления существенна, так как сигнал переноса проходит через диоды последовательно и падение напряжения на диодах может послужить ложным сигналом переноса. Вторым методом исключения возникновения ложного переноса является ограничение количества диодов в цепи переноса, включенных последовательно.

В нашем варианте количество таких диодов сведено к 4, что является вполне удовлетворительным. Кроме того для уменьшения тока в цепи переноса между разрядами поставлены эмиттерные повторители на транзисторах типа *npn* (П11). Туннельный диод должен быть установлен в рабочую точку, соответствующую середине гистерезисной петли.

З а к л ю ч е н и е

Как показала длительная эксплуатация, описанное Ар.У. обладает высокой надежностью. Более высокая надежность, по сравнению с ранее описанными Ар.У., объясняется исключением в цикле работы одной триггерной функции. (В Ар.У. на триггерах имеются две триггерные функции: 1. Установление числа из памяти, 2. Установление нового числа, отличающегося на единицу. В описанном Ар.У. сохраняется только функция установления числа из памяти).

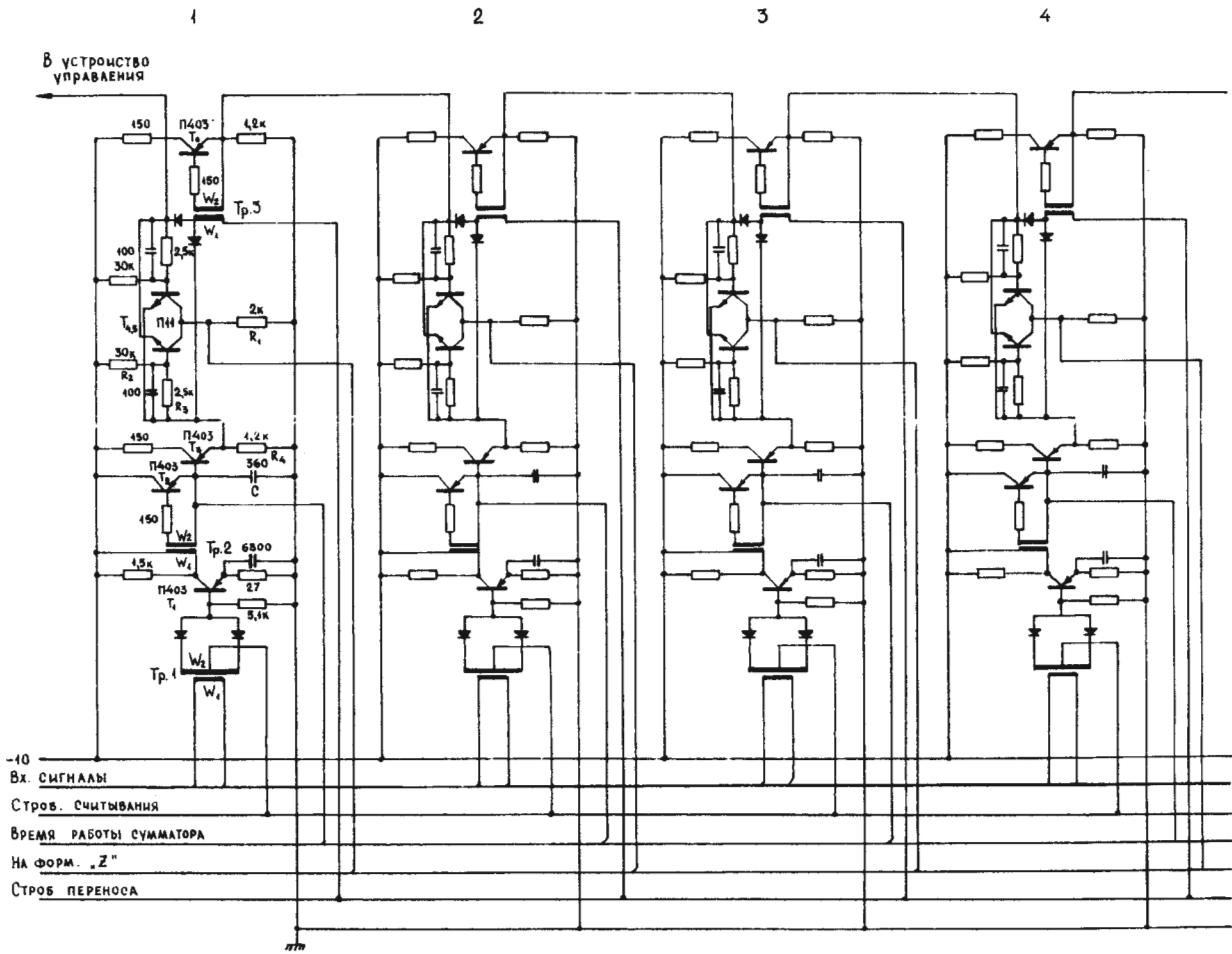
Описанная схема может найти применение и в других устройствах с параллельной работой, в частности в З.У. на магнитных барабанах.

Авторы выражают благодарность Б.Е. Журавлеву за ряд ценных идей.

Л и т е р а т у р а

1. R. Schuman . Rev. Scient. Instruments, 27, 686 (1956).

Рукопись поступила в издательский отдел
6 декабря 1962 года.



Примечание:

1. Все диоды типа Д9Б
2. Трансформатор $Tr.1$ ОК 1000 7×4×2
 $W_1 = 108$ ПЗВ-0,1
 $W_2 = 2 \times 120$ ПЗВ-0,1
3. Трансформаторы $Tr.2$ и $Tr.3$ ОК 1000 10×7×2
 $W_1 = 906$ ПЗВ-0,1
 $W_2 = 306$ ПЗВ-0,1

Рис. 3

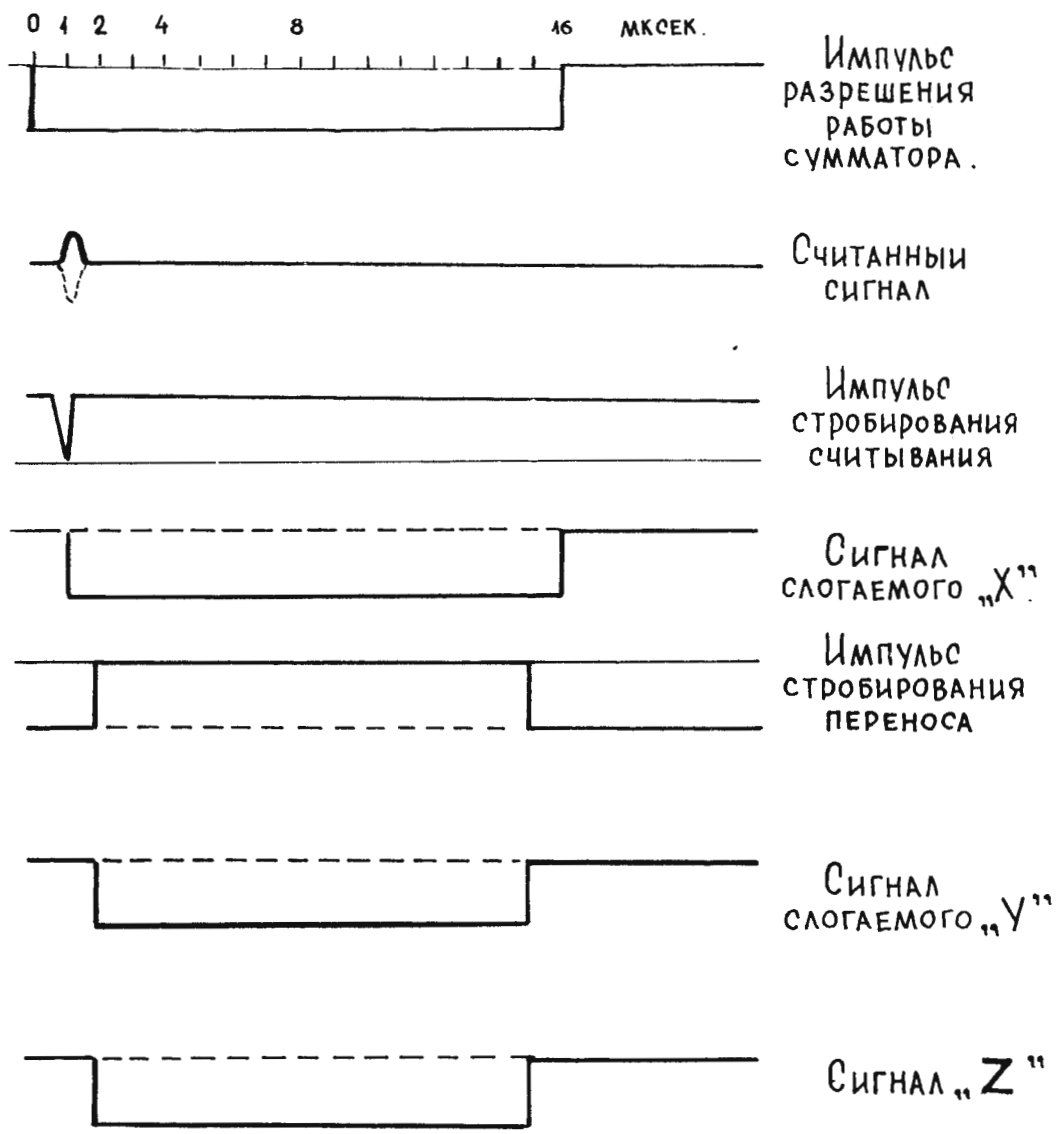


Рис. 4

НА СХЕМУ
ПЕРЕНОСА

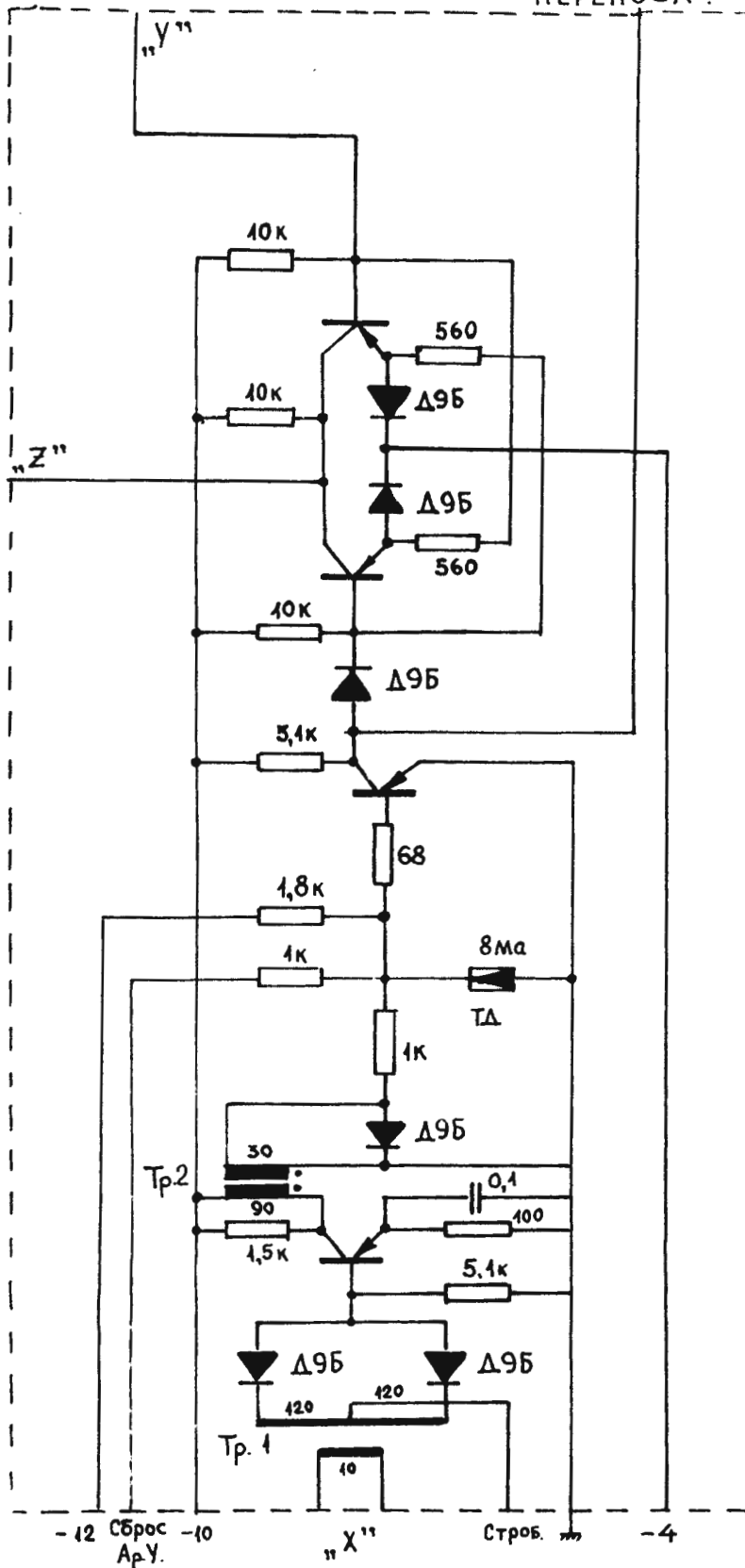


Рис. 5

ЯЧЕЙКА АРИФМЕТИЧЕСКОГО УСТРОЙСТВА

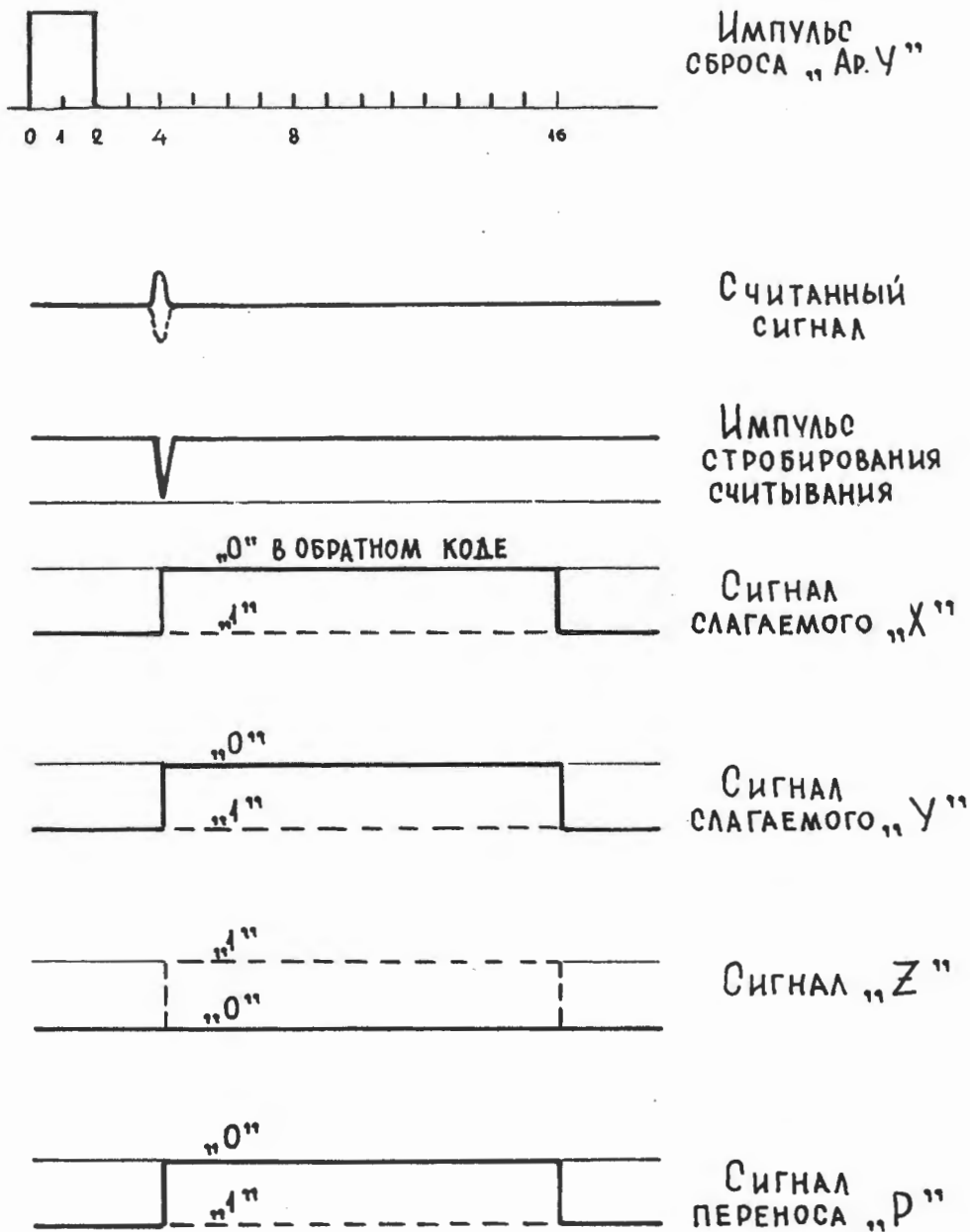
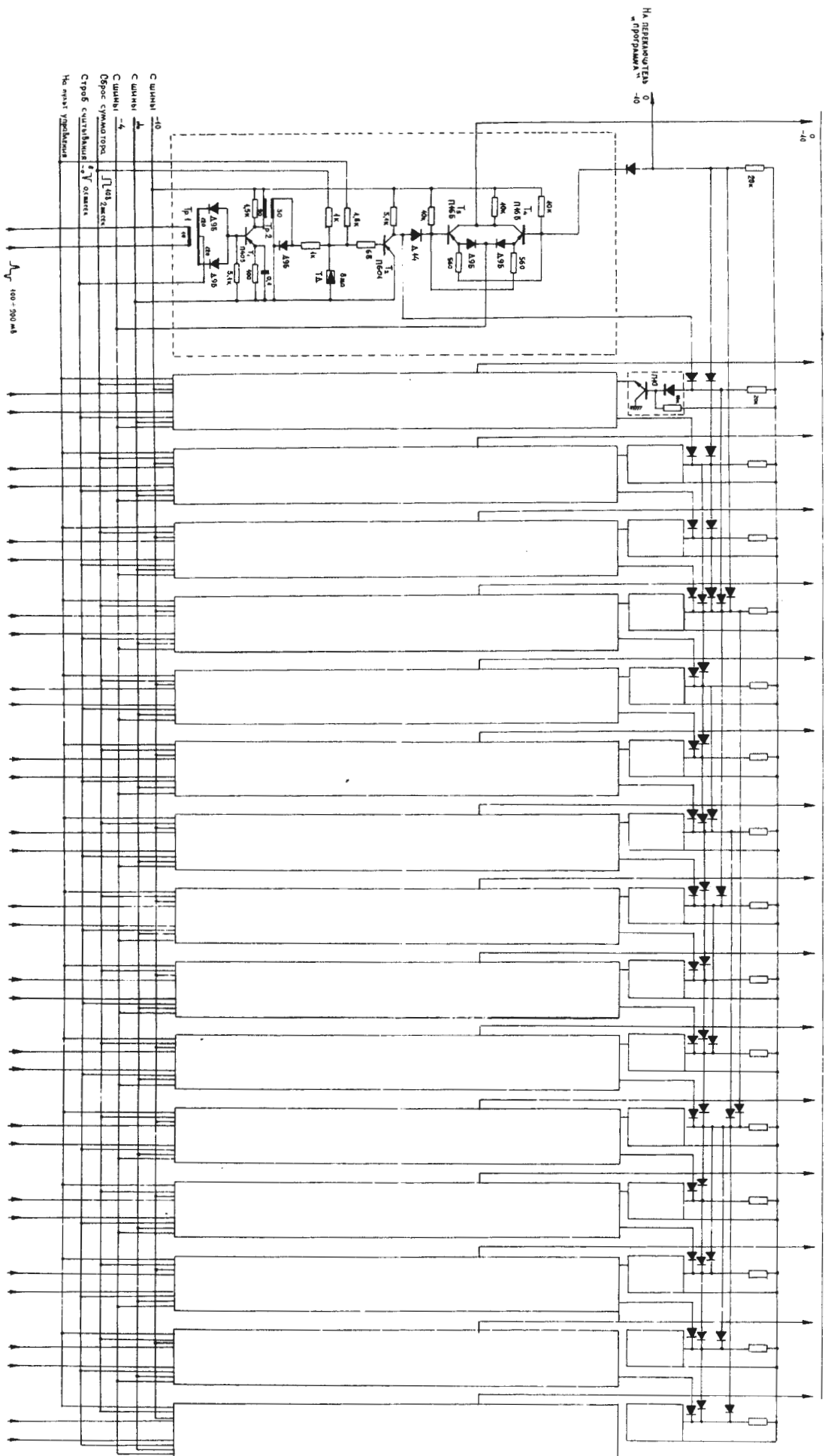


Рис. 6



1. Двоичен код
 2. Параметричен код
 3. Степен на чувствителност

СЪСТАВНИ ДЕТАЛИ