

сообщения  
объединенного  
института  
ядерных  
исследований  
дубна

136/83

31-83

11-82-644

В.А.Вагов, Д.Рубин, В.Х.Хоромская

ЛОГИЧЕСКИЕ АНАЛИЗАТОРЫ

Структурная схема (обзор)

1982

## I. Введение

Разработка и эксплуатация вычислительных машин была первой областью, в которой потребовалось применение специальных измерительных приборов цифровой электроники. Первое время не было необходимости в универсальных приборах для работы с цифровой техникой и в основном использовались традиционные осциллографы, а для отладки ЭВМ на заводах применялись специальные системы тестирования. Первыми универсальными приборами, удобными для проверки временных диаграмм цифровых систем, были многоканальные осциллографы.

Развитие технологии интегральных схем вызвало бурный рост в области разработки сложных управляющих систем и систем обработки данных. Отладка и ремонт современных цифровых систем с применением традиционных измерительных приборов стали затруднены. Стало ясно, что появилась необходимость в приборах, специально ориентированных на решение проблем, связанных с разработкой и эксплуатацией цифровой техники. Так появилось первое поколение логических анализаторов<sup>/1,12,17/</sup>.

Один из первых серийных анализаторов логических состояний 1601 L фирмы "Хьюлетт Паккард" был представлен в 1973 году на выставке в Сан-Франциско. Прибор был предназначен в первую очередь для отладки программного обеспечения. Этот анализатор регистрировал одновременно в 12-ти параллельных каналах изменение логических состояний системы, стробируя сигналы на входных линиях с помощью импульсов тактового генератора исследуемой системы. Прибор мог записывать до 16 последовательных состояний системы и отображать данные на экране дисплея в форме таблицы состояний в двоичном коде. На этой же выставке был представлен анализатор 810-D Biomation, предназначенный для регистрации и анализа сложных временных диаграмм. Запись данных происходила одновременно по 8-ми каналам по сигналам внутреннего тактового генератора, зарегистрированные данные отображались на экране дисплея в форме реконструированной временной диаграммы<sup>/1/</sup>. Максимальная частота стробирования обеих систем - 10 МГц, причем бес-

печивалась возможность "запуска"<sup>Ж</sup> параллельной комбинацией сигналов. Эти приборы стали большим событием в области приборостроения. С этого началось развитие совершенно нового класса приборов, основанных не на наблюдении временного изменения аналоговых величин в электронных цепях, а на методике цифровых измерений. Эти приборы имеют следующие характеристики:

- логические данные ("1" и "0", или иначе - высокие и низкие уровни) поступают одновременно на несколько входов;
- регистрируется изменяющаяся последовательность данных на каждом из этих параллельных входов, а также временная взаимосвязь этих последовательностей;
- вырабатываются тактовые и управляющие сигналы для контроля обработки данных и потоков информации.

Появление микропроцессоров еще более стимулировало рост производства логических анализаторов<sup>/14/</sup>. Несмотря на то, что применение микропроцессоров облегчает разработку сложных цифровых систем, при этом очень затрудняются отладка и обслуживание этих систем. Появились сложные проблемы, связанные с разработкой электронной аппаратуры, программного обеспечения, а также системные проблемы. Кроме того, и компоненты, из которых строятся современные системы, стали более сложными.

В зависимости от сферы использования (разработка, производство, обслуживание) цифровые измерительные приборы должны иметь различные характеристики. Так началось разделение логических анализаторов по типам: приборы для исследования различных магистралей и шин; универсальные микропроцессорные анализаторы; анализаторы, ориентированные на микропроцессоры специального типа<sup>/2/</sup>; анализаторы логических состояний<sup>/3/</sup>; временные анализаторы; анализаторы для исследования линий связи. Кроме того, появились системы, которые анализировали логические схемы другими методами, например цифровой осциллограф<sup>/4/</sup> и сигнатурный анализатор<sup>/14/</sup>. Одновременно можно наблюдать процесс объединения в одном приборе разных методов анализа. Например, логический анализатор 532 - Paratronics удачно объединил в себе технику анализа логических состояний и сигнатурный анализатор<sup>/5/</sup>. Модель Tektronix 308 объединила в себе почти все вышеуказанные методы анализа<sup>/6/</sup>.

<sup>Ж</sup> Здесь и далее под "запуском" подразумевается не начало работы анализатора, а момент появления на входе определенной комбинации входных сигналов (в процессе записи данных), под действием которой анализатор переключается из одного режима работы в другой.

Удобные возможности использования логических анализаторов в цифровой электронике обусловили резкое увеличение объема выпуска логических анализаторов за последние 4 года. Можно ожидать, что в будущем использование этих приборов в вычислительной и цифровой технике будет еще более интенсивным.

## 2. Логический анализатор или осциллограф ?

Чтобы легче понять характерные свойства, принципы работы и преимущества логического анализатора, сравним его с самым распространенным из электронных приборов - осциллографом<sup>/1/</sup>. В типичном осциллографе измерение начинается тогда, когда уровень запускающего сигнала превышает заданный пороговый уровень.

Под действием этого запускающего сигнала включается открывающее напряжение электронного источника ЭИТ. Одновременно с этим на пластины горизонтальной развертки подается линейно возрастающее напряжение, и электронный луч на экране перемещается слева направо. Если "одновременно" наблюдать с помощью осциллографа два и более сигнала, то отдельные сигналы включаются по очереди, в различные циклы горизонтальной развертки. В этом случае послесвечение экрана дает возможность "одновременного" наблюдения нескольких сигналов, но только в случае достаточно большой частоты запускающего сигнала. Действительно одновременное наблюдение сигналов позволяет проводить многолучевой осциллограф, но создать осциллограф, имеющий более двух лучей в высоком диапазоне частот, сложно с технологической точки зрения.

Теперь рассмотрим работу типичного логического анализатора, блок-схема которого представлена на рис.1.<sup>/13/</sup>

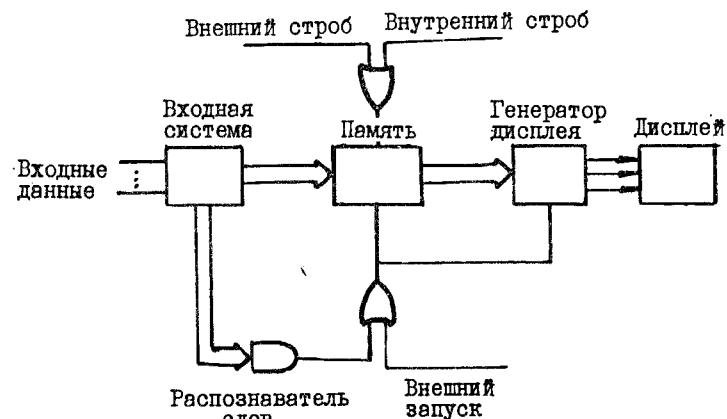


Рис.1. Блок-схема логического анализатора.

Из тестируемой схемы данные поступают во входную цепь анализатора через многоходовый пробник. Входное устройство определяет логическое состояние каждого входа ("0" или "1"). Затем сигналы записываются в память логического анализатора с помощью внутреннего или внешнего тактового импульса. Запись изменяющихся во времени данных продолжается до тех пор, пока не появится определенная, заранее выбранная комбинация состояний входных сигналов, так называемая запуская комбинация. Причем, если в процессе записи происходит переполнение памяти, то запись поступающих новых данных начнется с начала. Итак, память будет содержать информацию за текущий период времени. Под действием запускающей комбинации накопление данных прекратится и записанные данные переписутся в память дисплея, организующего изображение этих данных и дополнительной, необходимой для анализа информации на экране.

Некоторые преимущества применения логического анализатора по сравнению с многоканальным осциллографом, работающим в альтернативном режиме, в случае многоканально-непериодической последовательности сигналов показаны на рис.2/1/.

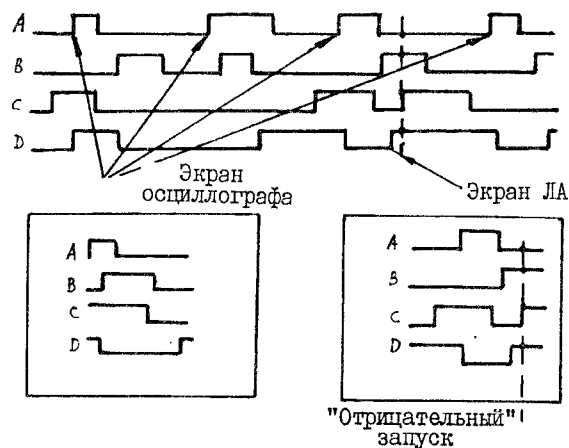


Рис.2. Временная диаграмма непериодических сигналов, наблюдаемая с помощью 4-канального осциллографа (в альтернативном режиме) и логического анализатора.

Осциллограф запускается от переднего фронта сигнала А. Под действием каждого запускающего фронта сигналы А, В, С, D по очереди поступают на вертикальную развертку осциллографа, и поэтому на экране осциллографа мы наблюдаем не существующую логическую комбинацию сигналов.

Логический анализатор производит одновременное стробирование и накопление сигналов А, В, С и D, и этот процесс заканчивается при поступлении на вход заранее указанной комбинации сигналов. В данном случае это комбинация сигналов  $\bar{A} \cdot B \cdot C \cdot D$ . Таким образом, накопленные данные в точности совпадают с событиями, произошедшими в системе до запуска, и эти данные уже можно вывести на экран дисплея для анализа.

Теперь на основе вышеизложенного мы можем резюмировать основные различия между логическим анализатором и осциллографом:

- а) накопление данных и их изображение у осциллографа не различаются, а у логического анализатора это абсолютно разные процессы;
- б) логические анализаторы дают возможность регистрировать одновременно сигналы с многих каналов, а с помощью осциллографа мы можем практически наблюдать одновременно не более двух сигналов;
- в) с помощью осциллографа можно наблюдать события, происходящие после запуска, и у осциллографа вообще нет такой характеристики, как запуск параллельной комбинацией сигналов. А с помощью логического анализатора мы можем наблюдать события, происшедшие как до запуска, так и после. Это имеет большое значение в случае, когда мы делаем запуск, например, с помощью проблематичной логической комбинации при поиске ошибки. В этом случае можно исследовать, какие события привели к возникновению ошибки;
- г) в обычном осциллографе очень трудно наблюдать непериодические и одиночные сигналы и невозможно наблюдать комбинации сигналов. Непериодические и одиночные сигналы можно наблюдать только с помощью запоминающих осциллографов, но с ограничениями, указанными в пунктах б и в. Логический анализатор сохраняет данные в памяти, и поэтому можно наблюдать такие сигналы и комбинации сигналов, появляющиеся как угодно редко;
- д) с помощью осциллографа можно наблюдать и аналоговые сигналы с разрешающей способностью  $\sim 0,5$  нс. Логический анализатор позволяет наблюдать только цифровые сигналы, при этом лучшие модели анализаторов логических временных диаграмм обеспечивают минимальный интервал стробирующих импульсов  $\sim 5$  нс.

### 3. Основные блоки логического анализатора

Как мы увидели, логический анализатор (ЛА) сам не анализирует данные, а только накапливает их и отображает на экране дисплея в форме, удобной для анализа оператором. Однако некоторые модели имеют интерфейс, который обеспечивает перенос данных в ЭВМ для анализа. Такой простой прибор, как логический пробник<sup>/17/</sup>, тоже дает возможность анализировать логическую систему, но термин "логический анализатор" используется для обозначения гораздо более сложных приборов, состоящих из следующих блоков:

- многоканальное входное устройство,
- память,
- сложная система запуска,
- дисплей,
- вспомогательные блоки.

Рассмотрим подробно основные блоки ЛА, их функции, проблемы, возникающие в этих блоках, их решения, а также основные характеристики наиболее распространенных анализаторов.

#### 3.1. Входное устройство

Сигналы от тестируемой системы поступают на вход анализатора через многоходовый пробник. Основные требования, предъявляемые к пробникам, следующие:

- надежное и простое подключение к измеряемым точкам,
- частотные характеристики пробника должны быть не хуже, чем у логического анализатора,
- входное сопротивление и емкость пробника не должны нагружать цепи измеряемой схемы.

Логический анализатор имеет широкие возможности подключения к системе. Обычно подключение к измеряемым точкам происходит с помощью миниатюрных индивидуальных пробников, которые имеют номера и цветовой код для более удобной идентификации точек схемы и отображения соответствующего сигнала на дисплее. Для подключения различных шин ЛА используются стандартные разъемы этих шин<sup>/17/</sup>, а для подключения к ИС применяются специальные зажимы для ИС. Для высокочастотной передачи данных без искажений используются либо пассивные пробники с компенсационным делением 10:1, либо активные пробники.

#### 3.1.1. Преобразование входных сигналов

Логический анализатор - эффективное средство для наблюдения временных соотношений между цифровыми сигналами. Идеальные цифровые

сигналы имеют только два дискретных состояния - "0" и "1". И переход между ними происходит бесконечно быстро. Но форма реальных сигналов проверяемых цифровых систем имеет следующие аналоговые характеристики: смещение уровня, ненулевое время нарастания и спада, генерации, помехи и т.д. Если эти характеристики превышают определенный уровень, они могут вызвать ошибку в работе логической системы. Поэтому большинство логических анализаторов имеют возможности для диагностики таких явлений.

Входная схема логического анализатора может быть настроена фиксированно на идентификацию одного из уровней различных серий (ТТЛ, РМОП, МОП, ЭСЛ, КМОП)<sup>/16/</sup>, а может иметь ручную регулировку. В большинстве случаев анализаторы имеют фиксированный порог для ТТЛ и одновременно ручную регулировку для остальных серий ИС.

Некоторые модели<sup>/16/</sup> имеют двойной регулируемый порог, который, если его настроить на минимум высокого уровня и максимум нижнего уровня, очень удобен для наблюдения помех, генераций и медленных переходов сигнала из одного логического состояния в другое. Но в этом случае каждый входной канал должен иметь двойную дискриминацию, и это усложняет систему. Логические анализаторы, имеющие один порог напряжения, для проверки формы сигналов имеют на передней панели выходы триггеров, сигналы с которых можно подать на вход осциллографа для подробного исследования формы сигнала.

Теперь рассмотрим несколько методов детектирования помех и исследования формы сигнала. Для детектирования помех и генераций имеются два распространенных метода - метод захвата и "детектирование выбросов"<sup>/14-16/</sup>.

На рис.3. изображен импульс помехи, более узкий, чем период стробирования. Если этот импульс попадает в промежуток между двумя стробами, то он не регистрируется. При применении метода захвата узкий импульс "вытягивается" таким образом, что, независимо от периода стробирования, в память запишется один бит<sup>/1/</sup>.

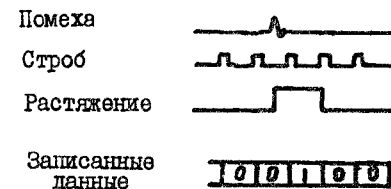


Рис.3. Регистрация узких импульсов (помех) методом захвата.

Методика "детектирование выбросов" считает помехой каждое событие, при котором входной сигнал в одном периоде стробирования более одного раза перейдет пороговый уровень. При использовании этой методики в анализаторе имеется специальная память, в которую записывается информация о том, в каком интервале стробирования произошел многократный переход порогового уровня. Из этой информации дисплей вырабатывает характерную картину. Эта методика позволяет регистрировать помехи и генерации, даже когда они попадают в один интервал стробирования с переходом логического сигнала. На рис.4 показано, как этими методами детектируются помехи разного типа <sup>/18/</sup>.

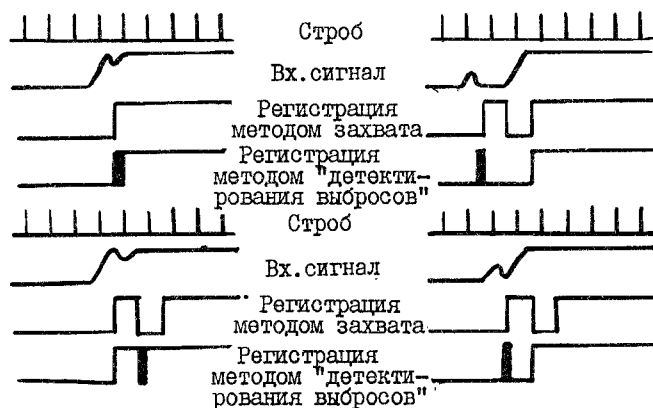


Рис.4. Сравнение методов захвата и "детектирования выбросов" при исследовании различных видов помех.

Возникает вопрос, всегда ли требуется применение специальных методов детектирования помех, поскольку если узкая помеха имеет достаточную энергию, чтобы вызвать ошибочную работу логической системы, то анализатор, вероятно, зарегистрирует этот сигнал. С помощью высокочастотного (100 МГц) ЛА можно регистрировать узкие импульсы шириной до 15 нс без применения специальных методик.

Регистрация времени нарастания и спада сигнала представляет для анализатора особую трудность, так как это можно сделать только с помощью системы, имеющей два пороговых уровня (рис.5) <sup>/1/</sup>.

Логический "0" запишется в память в случае, если уровень входного сигнала меньше нижнего порога, а "1" запишется в память, если уровень входного сигнала больше верхнего порога. Но если сигнал падает в промежуток между порогами, то по каждому тактовому импульсу в память запишется логический сигнал, противоположный предыдущему.

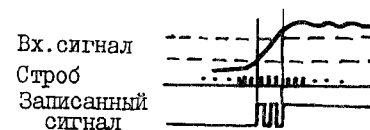


Рис.5. Исследование медленного перехода логического сигнала с помощью двухпороговой схемы.

Двойной порог удобен и для детектирования генераций.

### 3.1.2. Стробирование

Стробирование входных сигналов производится с помощью активного перехода стробирующего импульса. Но стробирование произойдет правильно только в том случае, если входной сигнал был стабильным в небольшом интервале времени до и после момента стробирования (рис.6).

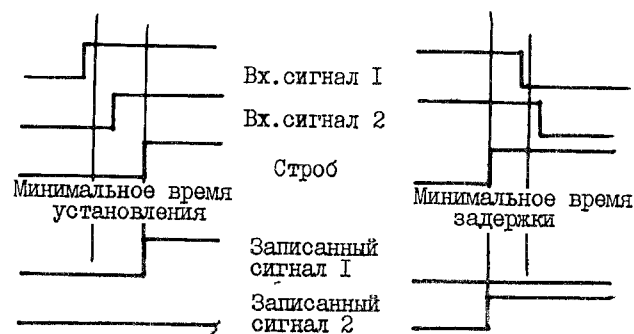


Рис.6. Стробирование входных сигналов.

Обычно в логических анализаторах время задержки равно нулю. Таким образом, разрешающая способность анализатора во времени или самый узкий детектируемый импульс - это сумма минимального времени стробирования и времени установления сигнала. Например, логический анализатор, имеющий частоту 100 МГц и время установления 5 нс, может регистрировать импульсы с минимальной шириной 15 нс. Если строб

записи берется из испытываемой системы (рис.7), то стробирование называется синхронным. В этом случае анализатор регистрирует только те состояния, которые имелись в момент активного фронта тактового импульса. Таким образом, с помощью этой методики трудно наблюдать ошибочное временное смещение сигналов и помехи (рис.9). Записанные и отображенные на дисплее данные представляют собой таблицы состояний, независимо от того, в каком виде они представлены (реконструированная временная диаграмма или таблица "0" и "1" и т.п.). Вышеуказанная методика называется анализом логических состояний /II/.

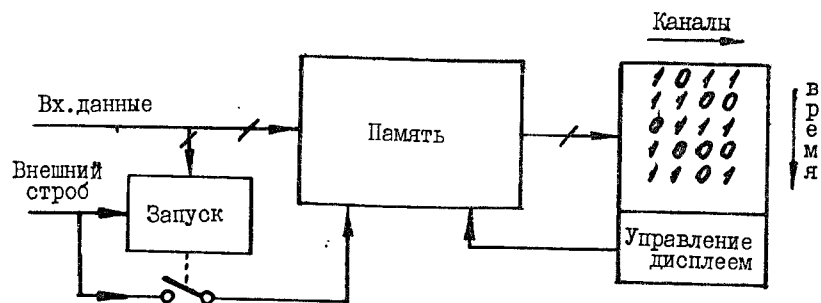


Рис.7. Блок-схема анализатора логических состояний.

Если входные данные стробируются с помощью внутреннего тактового импульса генератора ЛА, работающего независимо от системы, то стробирование называется асинхронным.

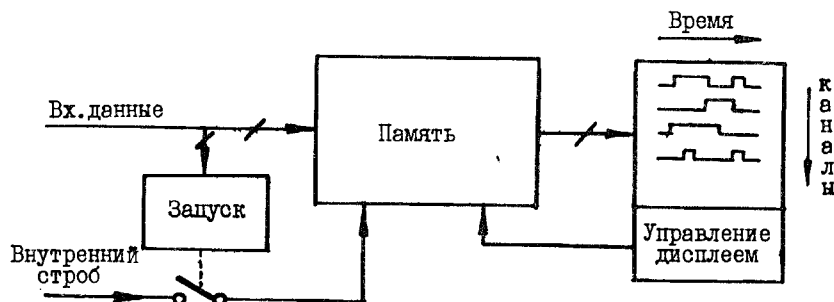


Рис.8. Блок-схема анализатора временных диаграмм.

При асинхронном стробировании частота стробирования должна примерно в 5-10 раз превышать частоту системного тактового генератора. В этом случае можно детально наблюдать временную диаграмму входных сигналов (ширину импульсов, задержки между сигналами, помехи и т.д.).

Такая методика называется логическим временным анализом (рис.8). На рис.9 показано, как можно наблюдать один и тот же сигнал с помощью синхронного и асинхронного стробирования /8,13/.

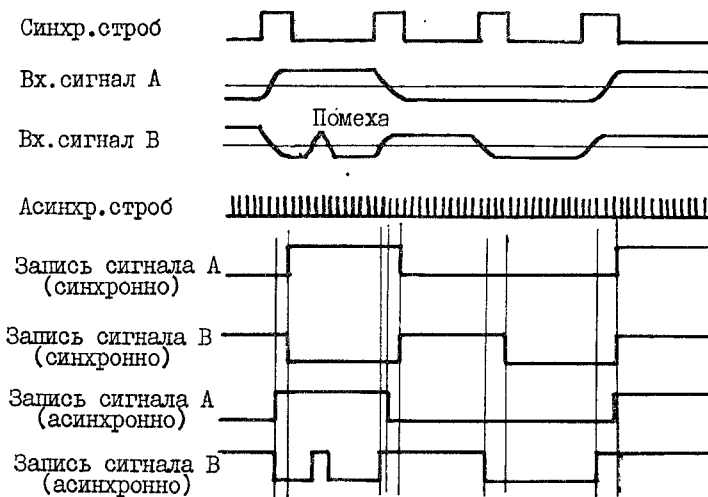


Рис.9. Сравнение накопления данных с помощью синхронного и асинхронного стробирования.

Как мы уже отмечали, стробирование входных сигналов происходит с помощью периодических тактовых импульсов, т.е. в дискретные промежутки времени. В связи с этим появляются проблемы временного квантования. Ширина записываемого сигнала, представленного на рис.10, больше 5 и меньше 6 периодов стробирования. В случае асинхронного стробирования сигнал может записаться в память иногда пятым, а иногда шестым тактом стробирования. Поэтому временная диаграмма, записанная с помощью логического анализатора, имеет максимальную точность, равную  $\pm 1$  периоду тактового импульса /I/.

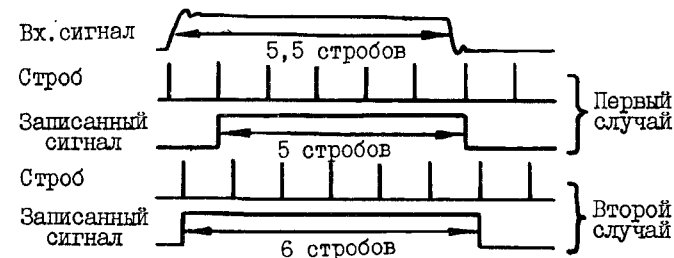


Рис.10. Временное квантование в режиме асинхронного стробирования.

### 3.2. Накопление данных в память

Память логического анализатора включает три вида памяти:

- быстродействующая память для накопления данных;
- эталонная память;
- память дисплея.

Данные накапливаются в быстродействующую память, откуда они могут быть переписаны как в эталонную, так и в дисплейную память. В эталонную память данные могут быть записаны также с помощью средств ручного управления на передней панели прибора, а в некоторых моделях - через интерфейс из вычислительной машины. С помощью данных, содержащихся в эталонной памяти ("образцов данных"), можно быстро и эффективно проверять накопленные данные. Память дисплея служит для организации изображения данных и является самостоятельным видом памяти.

Рассмотрим требования, предъявляемые к памяти накопления данных по трем основным параметрам: число каналов, длина памяти на каждом канале (бит/канал) и быстродействие.

Для анализаторов разного типа являются оптимальными разные комбинации этих трех параметров. Анализаторы логических состояний и анализатор специального типа для микропроцессоров предназначены для решения проблем программного обеспечения и системных проблем. Для решения этих проблем удобно иметь прибор для одновременного наблюдения 16 линий адреса, 8 линий данных и, кроме того, необходимы еще, по крайней мере, 8 каналов для наблюдения контрольных, статусных и периферийных линий. Так как микропроцессоры имеют обычно тактовую частоту в диапазоне 10 МГц, то достаточно иметь скорость накопления 10 МГц.

Теперь попробуем оценить оптимальную длину памяти, требуемую для одного канала анализатора при исследовании микропроцессорных систем. Если память одного канала очень мала, то для нахождения ошибки потребуется много времени, а еще больше времени потребуется для нахождения редких ошибочных комбинаций. Длина памяти определяет возможности анализа событий "назад во времени" для нахождения причин, которые привели к ошибочной работе системы<sup>16/</sup>. Следить за процессом с помощью очень большой памяти дорого и неэффективно. Гораздо удобнее и целесообразнее применять селективные запуски и селективное накопление с целью уменьшения объема накапливаемой информации<sup>10/</sup>. Особенно эффективно применение логического анализатора для наблюдения состояний системы при исследовании одного из самых критических явлений в процессорных системах - прерывания. Для слежения за этим процессом необходимо накопление примерно 100-200 состояний.

С учетом вышеуказанных и других аспектов выпускаются анализаторы логических состояний с памятью от 64 до 256 бит/канал.

Анализаторы временных диаграмм предназначены для решения аппаратных проблем. При поиске ошибок в электронных схемах обычно требуется не очень много каналов, но довольно высокая временная разрешающая способность и возможность наблюдения достаточно длинной последовательности событий. Таким образом, анализатор логических временных диаграмм обычно имеет 8-16 каналов, память 1024 бита/канал и частоту 100 МГц. Некоторые ЛА имеют переформируемую память, в которой можно менять число каналов и, соответственно, длину памяти на один канал, не изменяя общего объема памяти<sup>13/</sup>. Например, в некоторых моделях<sup>9/</sup> память можно компоновать в трех вариантах:

- 4 канала, 1024 бит/канал, 100 МГц,
- 8 каналов, 512 бит/канал, 50 МГц,
- 16 каналов, 256 бит/канал, 20 МГц.

Используя анализатор такого типа, можно выбрать формат памяти, наиболее удобный для решения конкретной проблемы.

Как мы уже отметили, анализаторы логических временных диаграмм, как правило, имеют большую длину памяти на канал, но при этом используют ее недостаточно эффективно. Входные сигналы стробируются импульсами тактового генератора ЛА, независимо от того, насколько интересна поступающая информация. Для анализатора временных диаграмм интересны только моменты изменения логического уровня входного сигнала. Например, анализатор, имеющий длину памяти 512 бит/канал и использующий период стробирования 100 нс, может зарегистрировать последовательность данных длиной только 51,2 мкс, независимо от того, сколько за это время произошло переходов сигнала из одного состояния в другое. Можно достигнуть более эффективного использования памяти, если записывать только моменты переходов сигнала. Такой тип организации записи называется "запись по событию"<sup>14/</sup>. В этом случае в память записывается только число периодов стробирования, прошедших до строба, в котором появился переход (рис.11).

В качестве памяти во всех логических анализаторах используются элементы полупроводниковой статической памяти с произвольной выборкой.



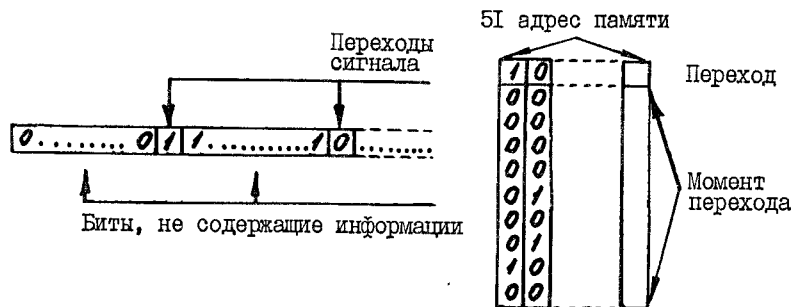


Рис. II. Сравнение размещения информации в памяти одного канала при записи обычным способом и при записи по событию.

#### Л И Т Е Р А Т У Р А

1. J. Carver Hill. The state of logic analysers. IEEE Spectrum, December, 1974, p.63.
2. Andi Santoni. Testers are getting better at microprocessor flaws. Electronics, December 20, 1973, p.125.
3. Logic state analyser for mini/macro and random logic analysis. Hewlett-Packard, Models 1610 A/B, June 1979.
4. William E. Shoemaker. Digital testing oscilloscope cushions against mounting costs of troubleshooting. Electronics, March 29, 1979, p. 109.
5. Ira H. Spector. Logic state and signature analysis combine for fast, easy testing. Electronics, Design, March 29, 1979.
6. Portable Data Analyser Speeds Test and Service of Microprocessor-based Systems. Tekscope, vol. 12, N°2, 1980.
7. Jonah McLeod. Logic analysers - sharp fault finders getting sharper. Electronic Design, March 29, 1980, p.48.
8. Robert Beville. Logic analyser troubleshoots tricky. Canadian Electronics Engineering, February, 1977, p.20.

9. A 16-channel logic analyser for the 7000 series. Tekscope, vol. 8, N°4, 1976.
10. Dan Kolody. Unravel multiplexed data with three-clock logic analyser. Electronics Design, March 29, 1980, p.89.
11. Claude A. Wiatrowski. An event-driven logic timing analyser. IEEE Transactions on Instrumentation and Measurement, March, 1980, p. 10.
12. John S. Marshall. Logic Analyzers Provide an Essential Real-Time View of Digital System Activity. MIDCON Techn.Papers, 1978.
13. Robert L. Down. Understanding Logic Analysers. Computer Design, June, 1977, p. 188.
14. Roger Allan. Logic Analysers. IEEE Spectrum, August, 1977. .
15. Hewlett-Packard. Electronic Instruments and Systems, 1981, p.138.
16. Stanley Runyon. "Focus on Logic and  $\mu$ P Analyzers". Electronic Design, February 1, 1977, p.40.
17. Hewlett Packard Journal, October 1973, Vol.25, N 2.
18. Hewlett Packard, Measurement/Computation, Electronic Instruments and Systems, Catalogue 1982.

Рукопись поступила в издательский отдел  
I сентября 1982 года.

### НЕТ ЛИ ПРОБЕЛОВ В ВАШЕЙ БИБЛИОТЕКЕ?

Вы можете получить по почте перечисленные ниже книги, если они не были заказаны ранее.

D13-11182	Труды IX Международного симпозиума по ядерной электронике. Варна, 1977.	5 р. 00 к.
D17-11490	Труды Международного симпозиума по набранным проблемам статистической механики. Дубна, 1977.	6 р. 00 к.
ДБ-11574	Сборник аннотаций XV совещания по ядерной спектроскопии и теории ядра. Дубна, 1978.	2 р. 50 к.
D3-11787	Труды III Международной школы по нейтронной физике. Алушта, 1978.	3 р. 00 к.
D13-11807	Труды III Международного совещания по пропорциональным и дрейфовым камерам. Дубна, 1978.	6 р. 00 к.
	Труды VI Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1978 /2 тома/	7 р. 40 к.
D1,2-12036	Труды V Международного семинара по проблемам физики высоких энергий. Дубна, 1978	5 р. 00 к.
D1,2-12450	Труды XII Международной школы молодых ученых по физике высоких энергий. Приморско, НРБ, 1978.	3 р. 00 к.
	Труды VII Всесоюзного совещания по ускорителям заряженных частиц, Дубна, 1980 /2 тома/	8 р. 00 к.
D11-80-13	Труды рабочего совещания по системам и методам аналитических вычислений на ЭВМ и их применению в теоретической физике, Дубна, 1979	3 р. 50 к.
Д4-80-271	Труды Международной конференции по проблемам нескольких тел в ядерной физике. Дубна, 1979.	3 р. 00 к.
Д4-80-385	Труды Международной школы по структуре ядра. Алушта, 1980.	5 р. 00 к.
D2-81-543	Труды VI Международного совещания по проблемам квантовой теории поля. Алушта, 1981	2 р. 50 к.
D10,11-81-622	Труды Международного совещания по проблемам математического моделирования в ядерно-физических исследованиях. Дубна, 1980	2 р. 50 к.
D1,2-81-728	Труды VI Международного семинара по проблемам физики высоких энергий. Дубна, 1981.	3 р. 60 к.
D17-81-758	Труды II Международного симпозиума по избранным проблемам статистической механики. Дубна, 1981.	5 р. 40 к.
D1,2-82-27	Труды Международного симпозиума по поляризационным явлениям в физике высоких энергий. Дубна, 1981.	3 р. 20 к.
P18-82-117	Труды IV совещания по использованию новых ядерно-физических методов для решения научно-технических и народнохозяйственных задач. Дубна, 1981.	3 р. 80 к.

Заказы на упомянутые книги могут быть направлены по адресу:  
101000 Москва, Главпочтамт, п/я 79  
Издательский отдел Объединенного института ядерных исследований

Вагов В.А., Рубин Д., Хоромская В.Х.

11-82-644

Логические анализаторы. Структурная схема /обзор/

Рассмотрен измерительный прибор - логический анализатор /ЛА/, удобный для использования при разработке и эксплуатации сложных цифровых систем. Приведена основная структурная схема ЛА и подробно рассмотрены входное устройство и структура памяти логического анализатора.

Работа выполнена в Лаборатории вычислительной техники и автоматизации ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1982

Vagov V.A., Rubin D., Choromskaya V.Ch.

11-82-644

Logic Analyzers. The Bloch Diagram /Survey/

A logic analyzer /LA/, an effective instrument, successfully applied in development of new digital devices and for computer maintenance problems is considered. A schematic diagram of LA is described. Its input device and memory structure are considered.

The investigation has been performed at the Laboratory of Computing Techniques and Automation, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1982

Перевод авторов.