

С 344.36

3-265

11/11-72

СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ

Дубна

4232/2-72

11 - 6605



ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

В.Н.Замрий, В.Л.Кипоть

БЫСТРОДЕЙСТВУЮЩИЕ СУММАТОРЫ НА  
ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ И-НЕ

1972

11 - 6605

В.Н.Замрий , В.Л.Кипоть

**БЫСТРОДЕЙСТВУЮЩИЕ СУММАТОРЫ НА  
ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ И-НЕ**

Объединенный институт  
ядерных исследований  
БИБЛИОТЕКА

В регистрирующих устройствах ядерной физики находят применение сумматоры двоичных кодов <sup>/1/</sup> с весьма малым временем сложения. Например, в многоканальных анализаторах, регистрирующих во временных каналах более чем 1 импульс, число, поступающее из счетчика импульсов или преобразователя "амплитуда - код", прибавляется к 12-разрядному числу, считываемому из ячейки памяти, адрес которой задан преобразователем "время - код", и результат сложения записывается в ту же ячейку <sup>/2/</sup>. Время обращения к памяти реально около 1,5 мксек, и при минимальной ширине временного канала 2 мксек на выполнение суммирования чисел остается время не более 0,5 мксек.

Синтез схемы быстродействующего сумматора на существующих интегральных микросхемах среднего быстродействия типа И-НЕ имеет ряд особенностей, вытекающих не только из необходимости учитывать специфические характеристики используемых логических элементов и соответственно модифицировать схемы. Такие элементы Шеффера, реализующие логическую функцию "штрих Шеффера", при последовательном соединении - для последовательной реализации одинаковых функций (например, конъюнкции), а при параллельном соединении - для параллельной реализации различных функций (например, конъюнкции и дизъюнкции), требуют различного кодирования входных переменных или дополнительной инверсии сигналов. Для увеличения быстродействия схемы на интегральных элементах неприемлемы некоторые аппаратурные методы и более полезны структурные методы,

связанные с соответствующими преобразованиями логических функций. Логические функции должны быть согласованы с возможностями элементов по коэффициенту входа и последовательности включения, каскадирования. Одно из основных условий синтеза таких схем - минимальное количество элементов, соединенных последовательно.

Функциональные и временные характеристики интегральных элементов постоянны. Заданные величины коэффициента объединения по входу и задержки распространения сигнала в элементе накладывают существенные ограничения на структуру сумматора, влияют на экономичность схемы и быстродействие. Экономичность схемы на дискретных элементах принято оценивать по общему числу элементов входов  $\sim 1/3$ , что в основном характеризует количество оборудования (число используемых диодов, транзисторов). Однако такие расчеты, являющиеся весьма громоздкими, недостаточно хорошо описывают реальные аппаратные затраты и экономичность устройств на интегральных микросхемах (часто стоимость микросхем в основном зависит от числа логических элементов). Экономичность схемы сумматора на интегральных элементах более целесообразно оценивать по числу используемых интегральных логических элементов или отдельных модулей (корпусов). При этом для различных структур сумматоров достаточно рассматривать только меняющуюся часть - схему формирования переносов из младших разрядов в старшие. Время образования первичных переносов и сигналов суммы не зависит от структуры при принятой системе элементов. Для сравнительной оценки быстродействия различных структур целесообразно использовать относительную максимальную задержку сигнала переноса (отношение этой задержки к задержке сигнала в одном элементе), которая определяется лишь числом последовательно соединенных элементов схемы переноса. Далее для различных структур сумматора с циклическим переносом из старшего разряда рассматриваются функции ускоренного переноса, модифицированные с учетом применения элементов И-НЕ, и анализируются быстродействие (максимальная относи-

тельная задержка переноса) и экономичность схем (количество используемых элементов с заданным коэффициентом входа). Полученные аналитические зависимости используются для сравнительной оценки и выбора синтезируемой схемы сумматора, оптимальной по принятым критериям качества. Сначала рассмотрены относительно простая схема сумматора с последовательным (сквозным) переносом и наиболее быстродействующая, но сложная схема с параллельным (одновременным) переносом, затем - смешанные структуры с группированием разрядов и организацией межгрупповых переносов.

Обозначения:  $n$  - количество разрядов сумматора;  $k$  - количество разрядов в группе;  $m$  - количество групп;  $X_i, Y_i$  - коды слагаемых,  $i$  -й разряд;  $P_i$  - код переноса в  $i$  -й разряд;  $q$  - коэффициент объединения по входу элемента И-НЕ;  $t$  - задержка сигнала в элементе И-НЕ;  $T_p$  - максимальная относительная задержка сигнала переноса;  $A_p$  - количество элементов в схеме переноса.

Схема последовательного переноса. Классическая схема сквозного переноса реализует логическую функцию  $P_{i+1} = X_i \cdot Y_i + (X_i + Y_i) \cdot P_i$ . Синтез схемы на элементах И-НЕ, реализующей дизъюнкцию  $X_i + Y_i = \overline{\overline{X_i} \cdot \overline{Y_i}}$ , приводит к применению дополнительных входных инверторов. Тогда с учетом переноса из старшего  $n$ -го разряда относительная задержка переноса  $T_p = 3n$ , число элементов (с коэффициентом  $q = 3$ )  $A_p = 6n$ . Более оптимальна схема, реализующая функцию, выраженную только через "штрих Шеффера":

$$P_{i+1} = \overline{\overline{(X_i \cdot Y_i)} \cdot \overline{(X_i \cdot P_i)} \cdot \overline{(Y_i \cdot P_i)}} \quad (1)$$

Для  $n$  - разрядного сумматора имеем:

$$T_p = 2n, \quad A_p = 4n \quad (2)$$

Схема параллельного переноса. Перенос в  $(i + 1)$ -й разряд формируется схемой, реализующей функцию  $2i$  входных переменных. Функции одновременного переноса, как и в предыдущем случае, можно преобразовать к виду:

$$P_2 = C_1 \cdot (\overline{T_1 \cdot P_1}) ,$$

$$P_3 = C_2 \cdot (\overline{T_2 \cdot P_2}) = C_2 \cdot (\overline{T_2 \cdot \overline{C_1}}) \cdot (\overline{T_2 \cdot T_1 \cdot P_1}) , \quad (3)$$

$$P_4 = C_3 \cdot (\overline{T_3 \cdot P_3}) = C_3 \cdot (\overline{T_3 \cdot \overline{C_2}}) \cdot (\overline{T_3 \cdot T_2 \cdot \overline{C_1}}) \cdot (\overline{T_3 \cdot T_2 \cdot T_1 \cdot P_1})$$

$$P_{i+1} = C_i \cdot (\overline{T_i \cdot \overline{C_{i-1}}}) \cdot (\overline{T_i \cdot T_{i-1} \cdot \overline{C_{i-2}}}) \cdot \dots \cdot (\overline{T_i \cdot T_{i-1} \cdot \dots \cdot T_2 \cdot \overline{C_1}}) \cdot (\overline{T_i \cdot T_{i-1} \cdot \dots \cdot T_1 \cdot P_1}) ,$$

где обозначено  $C_i = \overline{X_i \cdot Y_i}$  ,  $T_i = \overline{X_i \cdot \overline{Y_i}}$  .

Быстродействие этой схемы не зависит от разрядности:  $T_p = 4$ . Непосредственной проверкой нетрудно установить, что количество одноходовых элементов (инверторов  $\overline{X_i}$  ,  $\overline{Y_i}$  и  $\overline{C_i}$  ) равно  $3n - 1$  , а количество элементов, формирующих  $T_i$  и  $C_i$  , равно  $2n$  . Для формирования выражений вида  $\overline{T \cdot \overline{C}}$  ,  $\overline{T \cdot P}$  необходимо  $1 + 2 + \dots + n = n(n+1)/2$  элементов и для формирования из них функций переноса - еще  $n$  элементов. Итак, находим:

$$T_p = 4 , \quad A_p = \frac{n(n+13)}{2} - 1 . \quad (4)$$

Формулы (4) справедливы при  $n \leq q - 1$  (для элемента переноса из  $n$ -го разряда  $q = n + 1$  ). Применение составной (двухступенчатой) схемы И-НЕ, реализующей функцию вида  $Z = \overline{(Z_1 \dots Z_q)}_1 \cdot \overline{(Z_1 \dots Z_q)}_2 \dots \overline{(Z_1 \dots Z_q)}_q$  , позволяет увеличить коэффициент входа до  $q^2$  . Тогда при  $n \leq q^2 - 1$  относительная задержка  $T_p$  удваивается, а затраты оборудования для формирования выражений вида  $\overline{T \cdot \overline{C}}$  ,  $\overline{T \cdot P}$  увеличиваются и равны

$$d_1 = \sum_{g=0}^{q-2} (n-g) + \sum_{\ell=2}^b \sum_{r=1}^q (2\ell+1)[n - (\ell-1)q - r] ,$$

а для образования второй ступени составных схем -

$$d_2 = q - 1 + \sum_{h=0}^{b-2} q [2(b-h) + 1],$$

где  $b$  - целая часть отношения  $(n+1)/q$ . Количество инверторов и количество элементов, формирующих  $C_i$  и  $T_i$ , не изменится. Таким образом,

$$T_p = 8, \quad A_p = 5n + d_1 + d_2 - 1. \quad (5)$$

Основные характеристики схемы при  $n > q - 1$  значительно ухудшаются. Например, при  $n = 11$ , если  $q = 12$ , по формуле (4) имеем:  $A_p = 131$ , а если  $q = 6$ , по формуле (5) находим  $A_p = 239$ . Для построения быстродействующих схем при больших значениях  $n$  и малых  $q$  применяют группирование разрядов и организацию цепей межгрупповых переносов.

Схема последовательно-последовательного переноса. В отличие от схемы с последовательным переносом параллельно каждой группе  $k$  разрядов включается логический элемент для формирования сквозного межгруппового переноса. Функцию межразрядного переноса (переноса в  $(i+1)$ -й разряд каждой группы) и функцию межгруппового переноса (переноса из группы  $j$  в группу  $j+1$ ) можно представить в виде:

$$P_{i+1} = C_i \cdot (P_i \cdot T_i),$$

$$P_{j+1} = (P_j \cdot T_1 \cdot T_2 \cdot \dots \cdot T_i \cdot \dots \cdot T_k) \cdot P_{k+1}. \quad (6)$$

Максимальная задержка сигнала переноса определяется временем формирования переноса в младшем разряде  $2t$ , временем его распространения через  $k-1$  схем переноса  $2(k-1)t$  в первой и аналогично в последней группах и временем распространения в цепи межгруппового переноса  $[2(m-2)+2]t$ . Затраты оборудования в схеме внутргруппового переноса равны  $6n$  элементов. При относительно легко выполнимом условии

$k \leq q - 1$  (для элемента межгруппового переноса  $q = k + 1$ ) в цепи межгруппового переноса  $3m$  элементов.

Отсюда получаем:

$$T_p = 2m + 4k - 4, \quad A_p = 6n + 3m. \quad (7)$$

Схема параллельно-последовательного переноса. В группах реализуется сквозной перенос, в цепи межгруппового переноса - одновременный перенос. Схема внутригруппового переноса аналогична предыдущей. Кроме того, в группах формируются групповые функции  $T_j = T_1 \cdot T_2 \cdot \dots \cdot T_i \cdot \dots \cdot T_k$  и  $C_j = C_k \cdot (T_k \cdot \bar{C}_{k-1}) \cdot \dots \cdot (T_k \cdot T_{k-1} \cdot \dots \cdot T_i \cdot \bar{C}_{i-1}) \cdot \dots \cdot (T_k \cdot T_{k-1} \cdot \dots \cdot T_2 \cdot \bar{C}_1)$ . Расчет оборудования в группах можно вести, используя приведенную выше формулу для внутригруппового переноса. Перенос из последнего разряда группы не формируется, поэтому число элементов межразрядного переноса  $6(k-1)m = 6(n-m)$ . Схемы формирования  $C_j$  и  $T_j$  содержат  $(2k+4)m = 2n + 4m$  элементов. Число элементов в схеме межгруппового переноса, определяемое по формуле (4) при условии  $m \leq q - 1$ , должно быть уменьшено на  $4m$ , так как нет необходимости формировать  $C$  и  $T$ . Время формирования групповых функций не превышает  $4t$ . Время формирования группового переноса из этих функций  $2t$ . Время распространения сигнала переноса в последний разряд группы  $2(k-1)t$ . В результате имеем:

$$T_p = 2k + 4, \quad A_p = 8n + \frac{m(m+1)}{2} - 1. \quad (8)$$

Схема последовательно-параллельного переноса. В группе выполняется параллельный перенос, причем перенос из  $k$ -го разряда формируется схемой межгруппового переноса. Поэтому в  $k-1$  схемах параллельного переноса, согласно формуле (4) при  $k \leq q$ , количество элементов



$[(k-1)(k+12)-2]/2$ . Для формирования групповых функций  $T_j$  и  $C_j$  необходимо  $4m$  и  $km$  элементов. В схеме последовательного межгруппового переноса -  $3m$  элементов. Задержка переноса определяется временем формирования групповых функций равным  $4t$ , временем распространения межгруппового переноса  $2mt$ , временем формирования переносов в группах (с учетом того, что разрядные функции  $T_i, C_i$  готовятся раньше) равным  $2t$ . Отсюда получаем:

$$T_p = 2m + 6, \quad A_p = n + 6m + \frac{m}{2}(k-1)(k+12) = \frac{n}{2}(k+13). \quad (9)$$

Схема параллельно-параллельного переноса. Схема переноса в группе аналогична предыдущей. В схеме межгруппового одновременного переноса, как и ранее, используется  $[m(m+13)/2]-4m-1$  элементов. В результате имеем:

$$T_p = 8, \quad A_p = n + \frac{m}{2}(k-1)(k+12) + \frac{m}{2}(m+11) - 1 = \frac{n}{2}(k+13) + \frac{m}{2}(m-1) - 1. \quad (10)$$

Сравнительный анализ позволяет оценить различные структуры сумматора по принятым критериям качества, а также целесообразность того или иного принципа разбиения на группы.

Количественные оценки различных схем переноса для  $n=12$  приведены в таблице. Данные таблицы показывают, что при переходе к более сложным структурам и увеличении оборудования в 2-3 раза максимальная задержка переноса изменяется нелинейно. Непосредственная организация параллельных переносов для всех  $n$  разрядов практически ограничена максимальным значением коэффициента входа  $q_{max}$  для элементов используемой серии. При разбиении на группы оптимальные значения  $m/k$  определяются минимальным значением  $T_p, A_p$  и  $q_{max}$ . Можно говорить о целесообразности использования структур, имеющих однотипные меж-

Таблица

Тип переноса	m/k	$\varphi_{max}$	$T_p$	$A_p$
последовательный	-	3	24	48
последовательно- последовательный	3/4	5	18	81
	4/3	4	16	84
	6/2	3	16	90
последовательно- параллельный	4/3	3	14	96
	3/4	4	12	102
	2/6	6	10	114
параллельно- последовательный	3/4	4	12	101
	4/3	5	10	105
	6/2	7	8	116
параллельно- параллельный	4/3	5	8	101
	3/4	4	8	104
параллельный	-	13	4	149

групповые и межрядные схемы переноса. Отметим, что количественные результаты анализа могут существенно отличаться от результатов, полученных применительно к другой функционально полной системе элементов, например, основной системе И, ИЛИ, НЕ <sup>/3/</sup>. Приведенные аналитические зависимости получены при условии, что коэффициент разветвления по выходу (нагрузочная способность) элементов допускает реализацию схемы без дополнительных согласующих элементов. Для схем с параллельными переносами при больших  $n$  и недостаточной нагрузочной способности элементов время суммирования практически может несколько увеличиться. Предельные значения коэффициента разветвления и других характеристик элемента могут быть более полно учтены при переходе к синтезу конкретной схемы.

Изложенную методику можно распространить на те случаи применения микросхем, когда экономичность (стоимость) схемы зависит в значительной мере от числа используемых отдельных модулей. В этом случае анализ структур полезно дополнить вычислением количества используемых модулей по формуле  $A = \frac{1}{e_1} A_1 + \frac{1}{e_2} A_2 + \dots + \frac{1}{e_q} A_q$ , где  $e_1, e_2$  и т.д. - число одноходовых, двухходовых и т.д. элементов, заключенных в одном корпусе, для данной серии микросхем, а  $A_1, A_2$  и т.д. - функции, описывающие число элементов с соответствующим коэффициентом входа для данной структуры. Такие расчеты оказываются достаточно громоздкими для сложных структур, что практически ограничивает непосредственное применение (как и в случае оценок состава аппаратуры по числу элементовходов). При переходе к синтезу конкретной схемы учет степени интеграции  $e_q$  позволяет рационально применять модули данной серии в зависимости от используемых значений коэффициента входа логических элементов.

Выбор и практическая реализация схемы сумматора на интегральных гибридных микросхемах (ДТЛ) для быстрой памяти <sup>/2/</sup>. Задача синтеза

сводится к обеспечению требуемого быстродействия при минимальном числе используемых логических элементов. На конкретном примере оценим возможности простой структуры со сквозным переносом. Полное время суммирования  $T$  для накапливающего сумматора (слагаемые подаются на регистр со счетным входом наиболее распространенным способом  $X_i + P_i + Y_i$ ) равно  $T_s = T_p \cdot t + 3T$ . Если  $t \leq 20$  нсек,  $q = 3$  (8), коэффициент объединения по выходу - 4 (8), время записи в регистр  $T < 10t$ , тогда  $T_s < 1000$  нсек. Необходимое для суммирования время может быть уменьшено, если запись первого числа в сумматор совмещена со считыванием второго числа памяти, а запись второго числа происходит во время формирования переноса. При этом слагаемые подаются в последовательности  $X_i + Y_i + P_i$ , и необходимое для работы сумматора время, равное  $T_p t + T$ , может быть сокращено до 600 нсек. Схема сумматора первого типа приведена на рис. 1а, второго - на рис. 1б. Во втором варианте схемы цепь переноса не связана с выходом регистра, и слагаемые необходимо сохранять в течение времени суммирования. В схеме сумматора количество логических элементов ( $q = 3$ ) увеличивается до  $8n = 96$  (количество соответствующих модулей равно 48, плюс 12 модулей регистра). Для комбинационного сумматора со сквозным переносом время суммирования практически не отличается от значения этого времени для схемы рис. 1б, если принять одинаковым время записи в регистр с отдельными входами. Количество логических элементов в схеме комбинационного сумматора увеличивается до  $9n = 108$ .

Рассмотрим другие структуры комбинационных сумматоров, обеспечивающие время суммирования 0,5 мксек и менее. Используя данные таблицы и учитывая время формирования, стробирования и записи сигналов суммы в регистр, находим, что требуемое минимальное время суммирования могут обеспечить схемы с одновременным переносом, параллельно-параллельным переносом и параллельно-последовательным переносом

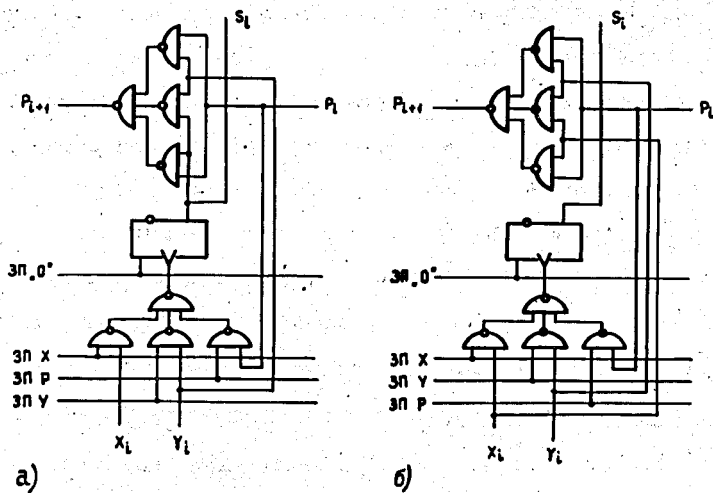


Рис. 1. Накапливающий сумматор со сквозным переносом: а - первый вариант; б - второй вариант.

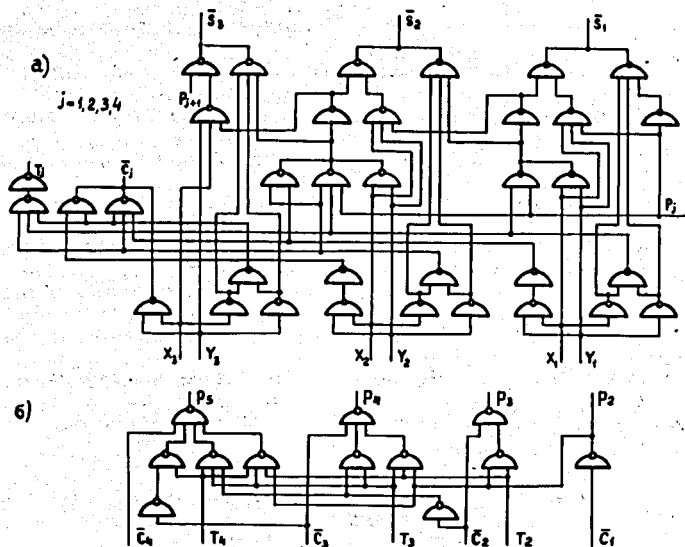


Рис. 2. Комбинационный сумматор с параллельно-параллельным переносом: а - схема одной группы; б - схема межгруппового переноса.

( $m/k = 6/2$ ). Первую схему нецелесообразно реализовывать на рассматриваемых элементах. Вторая схема при сравнительно небольшом числе используемых элементов может быть реализована на элементах с минимальным значением  $q_{max}$  (что позволяет для данной серии микросхем сократить вдвое количество необходимых модулей). Таким образом, с учетом заданных критериев быстродействия и экономичности предпочтительна схема с параллельно-параллельным переносом. Схема сумматора ( $m/k = 4/3$ ), выполненного согласно рис. 2, содержит 152 логических элемента, и при необходимости может быть дополнена 12-разрядным регистром с раздельными входами. Сумма образуется по формуле

$$S_i = (\bar{X}_i \bar{Y}_i \bar{P}_i) [(\bar{X}_i Y_i \bar{P}_i) P_{i+1}].$$

При построении схемы межгруппового переноса принято, что перенос в младшую группу  $P_i = 0$ . Используемые в этой схеме элементы допускают объединение по выходу (коэффициент объединения по выходу - 4), что позволяет уменьшить количество элементов, соединенных последовательно. Экспериментальная проверка схем показала, что реальное время суммирования несколько меньше расчетных значений (на 10-20%). Для схемы на рис. 2 время формирования суммы - около 160 нсек, а с учетом времени записи в регистр - менее 400 нсек. Такой же анализ и синтез схемы сумматора, оптимальной по заданным критериям быстродействия и экономичности, можно выполнить и при применении интегральных полупроводниковых микросхем И-НЕ, например, ТТЛ с многоэмиттерными транзисторами. При этом получаемые количественные результаты несколько меняются в лучшую сторону.

### Литература

1. М.А.Карцев. "Арифметика цифровых машин" Изд. "Наука". 1969.
2. Г.П.Жуков, В.Н.Замрий и др. В сборнике "VI Международный симпозиум по ядерной электронике". Варшава, сентябрь 1971 г. ОИЯИ, Д13-6210, Дубна, 1971 г.

3. Е.А.Дроздов. В сборнике "Цифровая вычислительная техника и программирование", ред. А.И.Китов, вып. 6, Изд. "Сов. радио", М. 1971.

Рукопись поступила в издательский отдел  
14 июля 1972 года.