

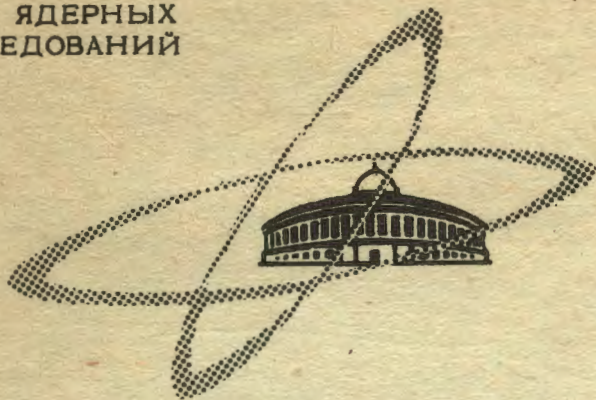
H-626

12/VIII-68

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

11 - 3871



Н.М.Никитюк

ДВОИЧНЫЕ СЧЕТЧИКИ
НА ИНТЕГРАЛЬНЫХ ТВЕРДЫХ СХЕМАХ

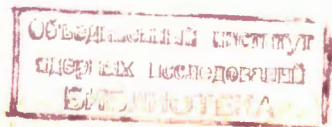
ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

1968

11 - 3871

Н.М.Никитюк

ДВОИЧНЫЕ СЧЕТЧИКИ
НА ИНТЕГРАЛЬНЫХ ТВЕРДЫХ СХЕМАХ



4383/2 up

В в е д е н и е

Достигнутые успехи в развитии микроэлектроники привели к значительному повышению надежности, экономичности радиоэлектронной аппаратуры и ее миниатюризации.

В настоящее время уже начинают появляться вычислительные машины третьего поколения, характеризующиеся широким применением элементов микроэлектроники для построения функциональных блоков. Несомненно, что использование интегральных микромодулей в схемах ядерной электроники открывает новые возможности для создания компактной, высоконадежной и универсальной аппаратуры.

Некоторые вопросы теории

Известно, что схемы ЦВМ выполняются на элементах, которые являются типовым как по физическому принципу работы, так и по выполняемым логическим функциям. Практический интерес представляет собой набор элементов, с помощью которых можно построить схему, реализующую любой наперед заданный алгоритм преобразования информации. Такие наборы элементов называются функционально полными^{1/}. Например, набор, включающий элемент "И", элемент "ИЛИ" и элемент "НЕ", которые соответственно реализуют операции алгебры логики – конъюнкцию, дизъюнкцию и инверсию, позволяют построить любую логическую схему (без памяти). Набор, который кроме элементов "И", "ИЛИ", "НЕ", включает в себя триггер со счетным входом, позволяет строить любые схемы преобразования и запоминания информации.

Следует подчеркнуть, что указанный выше функционально-полный набор элементов конструктивно можно свести лишь к одному модулю, исходя из следующих соображений:

1. Как правило, при создании модульных элементов схемы "И" и "НЕ", "ИЛИ" и "НЕ" объединяются в один логический элемент "И-НЕ", или, то же самое - "ИЛИ-НЕ" (в зависимости от того, представлены ли сигналы единицы и нуля низким или высоким уровнем). Например, диодно-транзисторный логический элемент может выполнять функцию $F = \overline{ABC}$, если сигнал единицы представлен высоким уровнем (рис. 1) [2].

2. Триггер по-существу представляет собой схему, состоящую из двух инверторов с взаимно-обратными положительными связями (рис. 2) (триггер с отдельными входами). Ниже будет подробно рассмотрена схема триггера со счётным входом, построенного на элементах типа "И-НЕ".

Таким образом, имея и один тип элемента, например, "И-НЕ", можно строить любые схемы преобразования и запоминания информации. По такому пути идут разработчики современных интегральных схем. Дело в том, что разработка и массовое производство широкой номенклатуры логических твердых элементов с высоким быстродействием связаны пока со значительными технологическими трудностями.

2. Классификация триггеров

Для построения логических схем с памятью используются 5 базисных спусковых схем:

- 1) триггер задержки D,
- 2) триггер T;
- 3) триггер S - R;
- 4) триггер J - K;
- 5) триггер S - R - T.

Рассмотрим кратко таблицы возбуждений этих триггеров и их функциональные схемы.

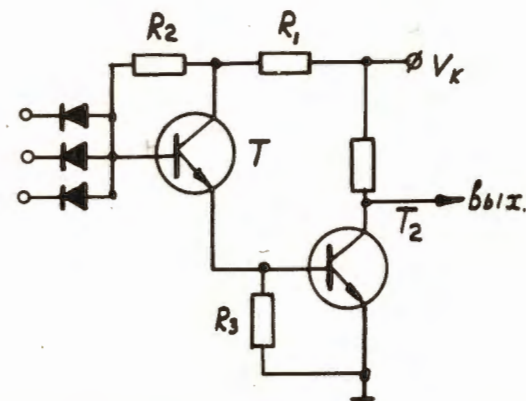
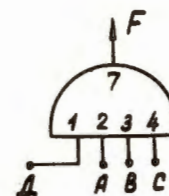


Рис. 1а. Типовая схема диодно-транзисторного твердого интегрального микромодуля.



И-НЕ $F = \overline{ABC}$

1) Высокий уровень = 1

2) ИЛИ-НЕ $F = \overline{A+B+C}$
Низкий уровень = 1

Рис. 1б. Функциональное обозначение интегрального микромодуля.

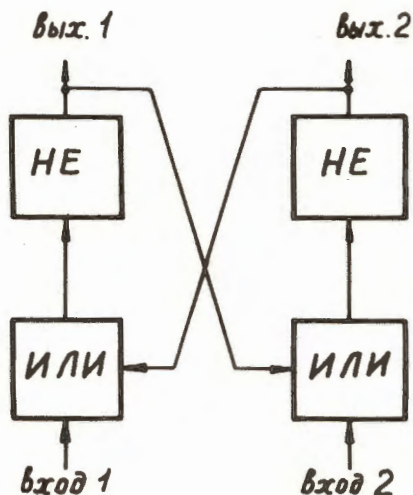


Рис. 2. Функциональная схема триггера с раздельными входами.

1. Триггер задержки D

Триггер задержки (рис. 3) имеет только один вход и один выход, причём выходной сигнал появляется с задержкой относительно входного (например, одновибратор). На рис. 3 представлена таблица возбуждения триггера D. Здесь и в дальнейшем буквой Q обозначается состояние триггеров на выходе в момент времени t , а символом Q^+ - состояния триггеров в момент времени $(t+1)$.

2. Триггер T

Триггер T (рис. 4) имеет только один вход. Когда на вход поступает сигнал "1", то происходит изменение состояния триггера. При поступлении нулевого сигнала состояние триггера не меняется. Таблица возбуждения триггера T представлена на рис. 4.

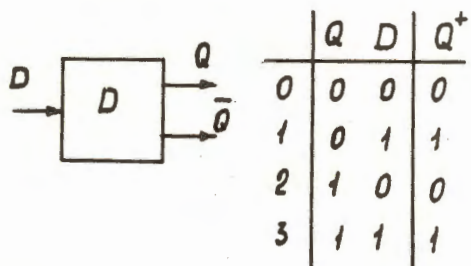


Рис. 3. Функциональная схема и таблица возбуждения триггера D.

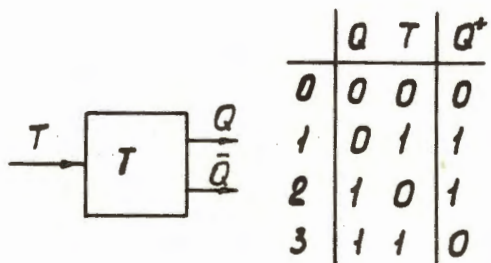


Рис. 4. Функциональная схема и таблица возбуждения триггера T.

3. Триггер S - R

Триггер типа S-R (рис. 5) имеет два ~~выхода~~ S и R. При подаче импульса на вход S триггер устанавливается в единичное состояние независимо от его состояния в предыдущий момент времени. Если импульс поступает на вход R, то триггер устанавливается в нулевое состояние, независимо от предыдущего состояния. Таблица возбуждения триггера S-R представлена на рис. 5. Символ X означает, что при данной комбинации на входах выход триггера не определен.

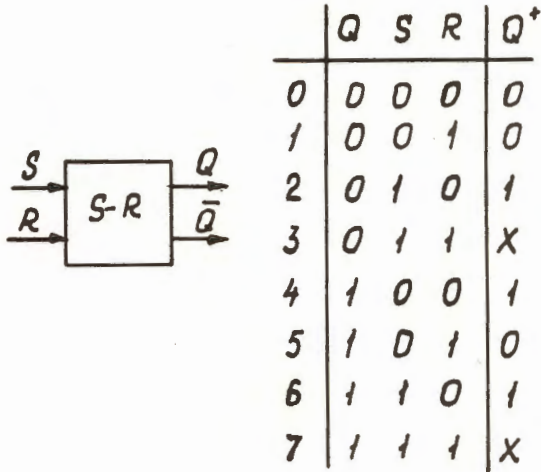


Рис. 5. Функциональная схема и таблица возбуждения триггера S-R.

4. Триггер типа J - K

Триггер типа J-K (рис. 6) имеет также два ~~выхода~~. Входы J и K соответствуют входам S и R триггера S-R соответственно. Отличие триггера J-K от триггера S-R состоит лишь в том, что состояние триггера J-K изменяется на обратное, если на каждый J и K одновременно поступают сигналы 1. На рис. 6 представлена таблица возбуждения триггера J-K.

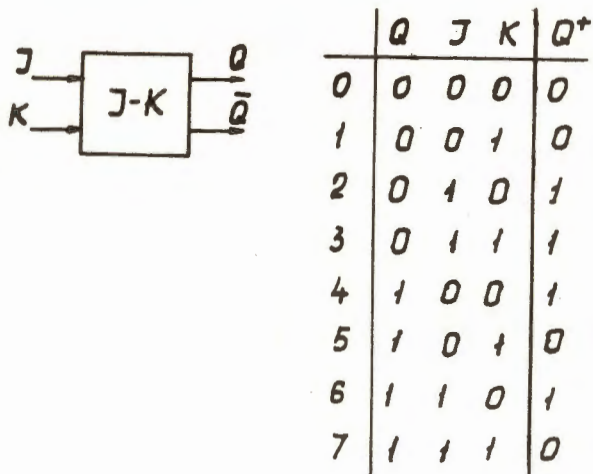


Рис. 6. Функциональная схема и таблица возбуждения триггера J - K .

5. Триггер S - R - T

Триггер типа S-R-T (рис. 7) имеет три входа S, R и T. При поступлении на вход S сигнала 1 триггер устанавливается в единичное состояние. При поступлении сигнала 1 на вход R триггер устанавливается в нулевое состояние. Если же сигнал 1 поступает на вход T, то триггер изменяет свое состояние на противоположное. При этом должно соблюдаться условие: $SR = RT = TS = 0$, в противном случае триггер установится в неопределенное состояние.

Триггер типа S-R-T, очевидно, является триггером со счетным и двумя установочными входами.

Построение триггеров на интегральных модулях типа "И-НЕ"

Триггеры на дискретных компонентах обычно выполняются со связями по переменному току (импульсная логика), а триггеры на интегральных схемах - по постоянному току.

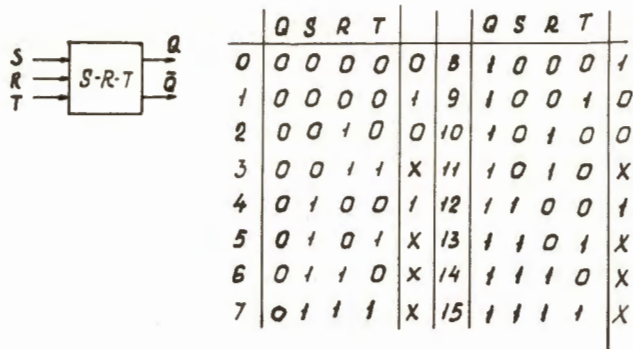


Рис. 7. Функциональная схема и таблица возбуждения триггера S-R-T.

Исходной схемой для построения других триггеров может служить триггер типа S-R, который состоит из двух элементов "И-НЕ" (рис. 8) /2/. В нормальном состоянии (ноль) на выходе Q потенциал низкий, а на выходе \bar{Q} - высокий. Фронт короткого импульса, подаваемого на вход S или P, отпирает запертый до того транзистор, и триггер переключается. Очевидно, что простое изменение уровня напряжения постоянного тока нельзя использовать в качестве сигнала запуска, поскольку такой сигнал будет блокировать триггер для дальнейших изменений. Импульс возврата в нулевое состояние (сброс) подается по шинам R и C.

Добавив в исходную схему стробирующие элементы (вентили), можно получить так называемый триггер задержки - D-триггер (рис. 9). Здесь прямоугольником обозначена исходная схема. Симметричные управляющие уровни подаются на входы D и \bar{D} , а на входах сигналов синхронизации потенциал нормально нулевой. Тактовый импульс проходит через тот вентиль, на втором входе которого имеется высокий потенциал, и соответствующим образом переключает триггер. Если триггер и без того находится в соответствующем состоянии, то переключение не происходит.

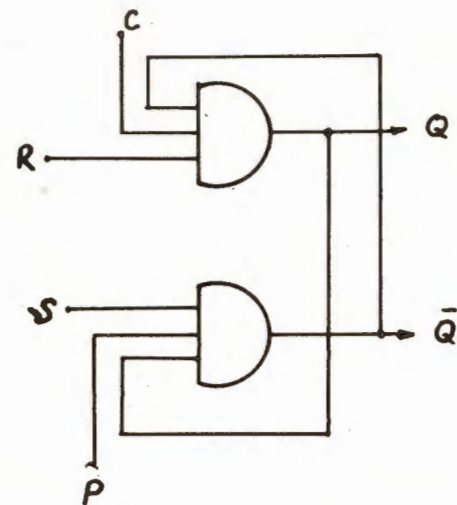


Рис. 8. Схема триггера S-R, построенного на интегральных элементах "ИЛИ-НЕ".

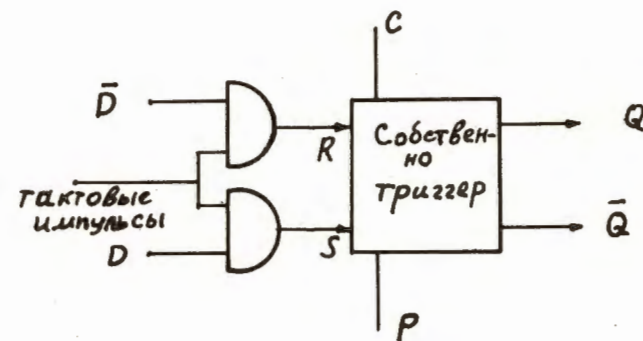


Рис. 9. Схема D-триггера.

Потенциальные уровни, действующие на выходах, появляются на выходах триггера с задержкой на один период тактовых импульсов, чем и определяется название этого триггера.

Если на шине тактовых сигналов действует высокий потенциал или же эта шина просто отсутствует, то рассматриваемая схема превращается в простой триггер с установкой в единицу и сбросом в нуль (R-S-триггер). Если же синхронизация действует, но на обоих входах триггера D потенциал высок, или эти входы вовсе отключены, то триггер бесполезен, поскольку его состояние после каждого тактового импульса неопределенно. В этом и заключаются основные недостатки RS-триггера: в тех случаях, когда сигналы на оба входа подаются одновременно, он просто не срабатывает.

Простой R-S-триггер можно использовать в запоминающих регистрах. Триггер типа D можно применять в запоминающих регистрах как с внешней синхронизацией, так и без нее, в регистрах сдвига, а также при наличии прямого и инверсного сигналов на входах D и в счётчиках с внешней синхронизацией. Он не подходит лишь для чисто импульсных счётчиков и тех случаев, когда схема сама стробирует свои входы.

4 Методы переключения триггеров

Триггер с непосредственной связью по входу (потенциальный) переключается фронтом входного импульса и остается в новом состоянии до тех пор, пока не изменится состояние на входе. Триггер с емкостной связью по входу (импульсный) подготавливается передним фронтом и переключается задним фронтом входного импульса. Таким образом, положительный потенциал (единица) может быть приложен к его входу сколько угодно долго, но состояние триггера изменится лишь тогда, когда потенциал на входе изменится с единицы на нуль.

На рис. 10 показана схема настоящего импульсного J-K-триггера. Следует отметить, что входы тактовых импульсов триггера задержки здесь разделены и обозначены J и K. Входы D (управляющие) внешними проводниками соединены с выходами триггера. Следует заметить, что это вовсе не обычные внутренние связи триггера; они выполнены внутри квадрата, которым обозначен собственно триггер.

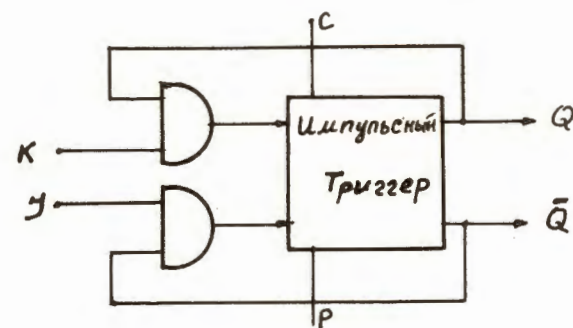


Рис. 10. Схема триггера типа J-K.

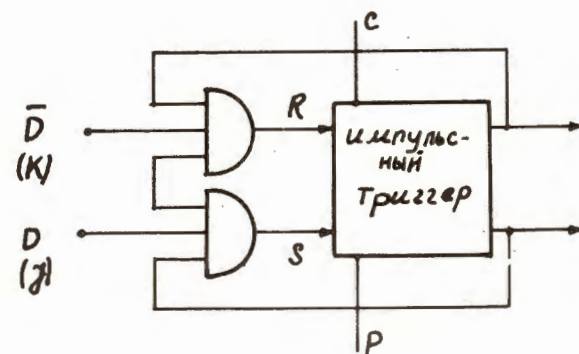


Рис. 11. Схема триггера типа S-R-T.

$J - K$ - триггер есть не что иное, как $S - R$ - триггер, наделенный дополнительной способностью поочередно стробировать сигналы, в одно и тоже время приходящие на оба его входа. В нем имеется два отдельных входа для установки на единицу и сброса на нуль и нет никаких других входов для тактовых, счётных или каких-либо управляющих сигналов. Если оба входа соединены вместе, то триггер становится счётным. Когда настоящий $J - K$ - триггер находится в состоянии 0, то низкий потенциал на выходе блокирует вход K , тогда как вход J открыт высоким потенциалом с выхода \bar{Q} . При появлении единицы на входе J триггер переключается в состояние 1 и условия, действующие на входных вентилях, симметрично изменятся. Теперь переключение триггера может произойти только по сигналу на входе K .

При отсутствии входных вентилях скорость, с которой импульсный триггер можно перевести на единицу, а затем сбросить на нуль, ограничивается удвоенной величиной времени переключения транзисторов триггера плюс ширина переключающих импульсов. Помимо этого, когда импульсы приходят одновременно на оба входа, триггер не может "решить", в какое состояние ему встать. Если, однако, в схему введены входные вентили, то ширина переключающих импульсов уже не имеет значения, так как на скорость переключения будет оказывать влияние только ширина продифференцированного спада входного импульса. Если сигналы на оба входа приходят одновременно, то триггер переходит в новое состояние; таким путем может осуществляться пересчёт входных импульсов, при котором триггер сам поочередно стробирует свои входы.

Универсальная схема триггера

Если изменить схему $J - K$ - триггера, соединив между собою входы J и K (при этом создается общий вход для тактовых импульсов) и добавив в нее еще два управляющих входа, то получится универсальная схема импульсного триггера.

В некотором отношении она сходна со схемой D - триггера, но имеет по сравнению с этой схемой два отличия. Если потенциал на входе

тактовых импульсов высок, или же этот вход совсем отключен, то вход D становится входами J и K, по которым триггер может переключиться в состояние 1 или 0. Если под высоким потенциалом находится вход D или же этот вход совсем отключен, то вход тактовых импульсов становится счётным.

5. Логическое конструирование триггера со счётным входом на интегральных элементах "И-НЕ"

Известный метод логического конструирования^{/3/}, состоящий в синтезе переключательной функции схемы, содержащей элементы "И-ИЛИ", "НЕ-И", с последующим построением на основе этой переключательной функции конкретной принципиальной схемы, связан с рядом ограничений, так как создание даже простейшей схемы не всегда оказывается простым. Известен более простой способ логического конструирования триггера типа J-K^{/4/}. В этой работе использовались два базовых элемента, а именно: ключ K с потенциальным управлением и линия задержки З. Ключ замыкается при подаче на его вход напряжения постоянного уровня. Элементом задержки может служить сам интегральный микромодуль, который имеет задержку, равную τ . Преимущество подобного подхода к логическому конструированию состоит в том, что при этом имеется однозначное соответствие между символической схемой, получаемой в результате логического конструирования, и принципиальной схемой устройства. Логическое конструирование триггера типа J-K проводится в три этапа:

- 1) строится схема управления;
- 2) строится схема формирования запускающего импульса;
- 3) на основе первых двух схем строится схема триггера.

На рис. 12 показана схема управления, позволяющая при поступлении положительного запускающего импульса перевести любой из инверторов (\overline{HE}) из запертого состояния (положительное напряжение на выходе) в открытое (напряжение на выходе близко к нулю). Более подробно: если, например, инвертор \overline{HE}_1 находится в запертом состоянии, то положительное напряжение с его выхода поступает через линию задержки Z_3 на управляющий вход ключа K_1 и поддерживает этот ключ в замкнутом

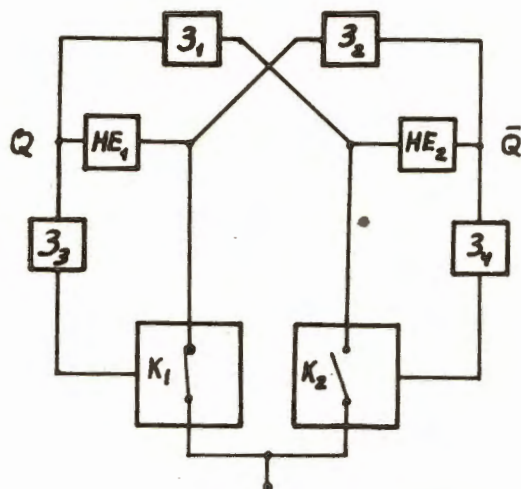


Рис. 12. Блок-схема цепи управления.

состоянии. Ключ K_2 при этом разомкнут, так как его управляющий вход через линию задержки Z_4 связан с выходом инвертора HE_2 , который находится под нулевым потенциалом. Следовательно, при поступлении импульса на вход схемы инвертор HE_1 откроется, и это вызовет запираение инвертора HE_2 . Полный переход триггера из одного состояния в другое совершается в течение интервала времени $t_{11} + t_{12}$, где t_{11} - длительность отпираания инвертора, а t_{12} - длительность его запираания.

Для обеспечения чёткого переключения сигнал на вход запертого инвертора должен поступать в течение интервала времени, не меньшего, чем $t_{11} + t_{12}$. Поскольку время, требуемое для размыкания управляющего ключа $t_{к2}$, превышает или, по меньшей мере, равно t_{12} , то длительность запускающего импульса не должна превышать величины $t_{11} + t_{12} + t_{к1}$, где $t_{к1}$ - время, необходимое для замыкания управляющих ключей K_1 и K_2 через линии задержки Z_3 и Z_4 . Таким образом, полная длительность запускающего импульса должна быть больше $t_{11} + t_{12}$ и меньше $t_{11} + t_{12} + t_{к1}$. Интервал $t_{к1}$ представляет собой допуск на ширину запускающего импульса.

Задача схемы формирования импульсов состоит в том, чтобы образовать на выходе импульс длительностью T (T — наперед заданная величина) при поступлении на вход любого импульса с шириной большей, чем T . Одна из возможных схем формирователя показана на рис. 13. Она работает следующим образом. Нормально входное напряжение равно нулю. Ключ K_1 замкнут, поскольку на его управляющий вход подается положительное напряжение, а ключ K_3 разомкнут. Выход схемы соединен со входом через ключ K_1 и, следовательно, также находится под нулевым потенциалом. При поступлении на вход положительного скачка напряжения

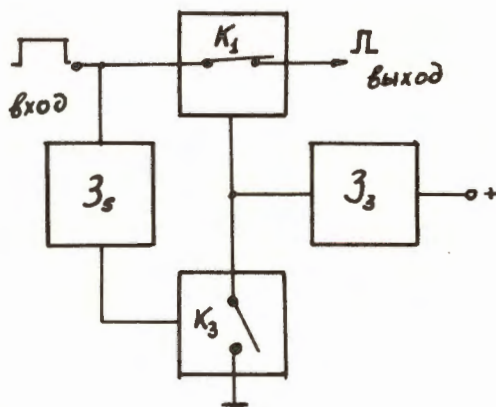


Рис. 13. Блок-схема формирователя импульсов.

напряжение на выходе также возрастает, поскольку ключ K_1 остается замкнутым. Этот ключ разомкнется только после того, как замкнется ключ K_3 , что произойдет после поступления на управляющий вход ключа K_3 напряжения через элемент задержки Z_5 .

На рис. 14 показана схема триггера, полученная в результате комбинирования схемы управления и схемы формирования.

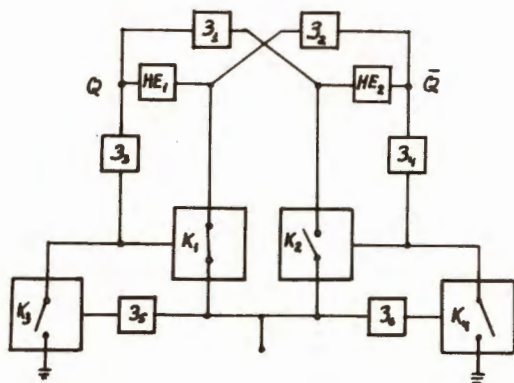


Рис. 14. Блок-схема J-К триггера.

6. Принципиальные схемы триггеров

Из блок-схемы триггера типа J-К (рис. 14) видно, что для реализации J-К триггера на элементах типа И-НЕ необходимо, по крайней мере, шесть таких элементов. На рис. 15 и 16 изображены схемы триггеров со счётным входом. Эти схемы отличаются тем, что они запускаются импульсами противоположной полярности.

Рассмотрим кратко работу триггера (рис. 15), пользуясь временной диаграммой (рис. 17). Предполагается, что наличие отрицательного сигнала соответствует логической единице, а присутствие положительного сигнала - логическому нулю. В исходном (нулевом) состоянии на выходе модуля 6 - высокий уровень напряжения (+) (единичный выход), а на выходе модуля 4 - низкий уровень напряжения (-). В скобках указаны значения уровней на входах и выходах модулей, когда триггер находится в нулевом положении. На счётном входе триггера (модули 4 и 3) установлен высокий уровень. При поступлении на счётный вход отрицательного перепада напряжение через время, равное времени задержки сигнала на один каскад, на выходе модуля 4 появится положительный перепад (см. схему

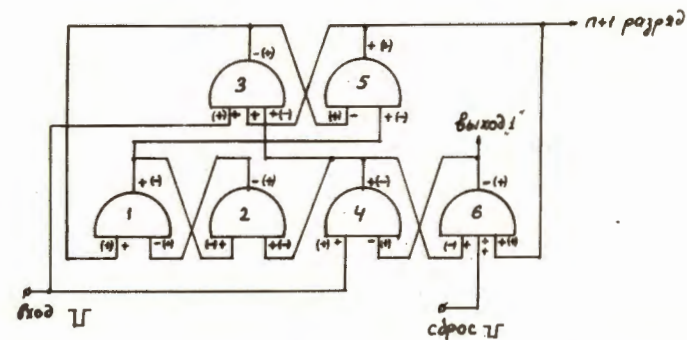


Рис. 15. Принципиальная схема J-К триггера с запуском отрицательными импульсами.

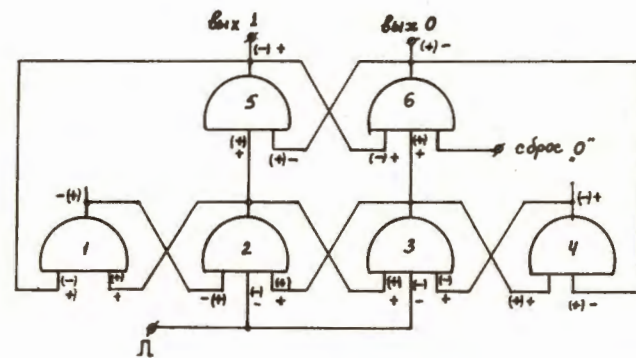


Рис. 16. Принципиальная схема J-К триггера с запуском положительными импульсами.

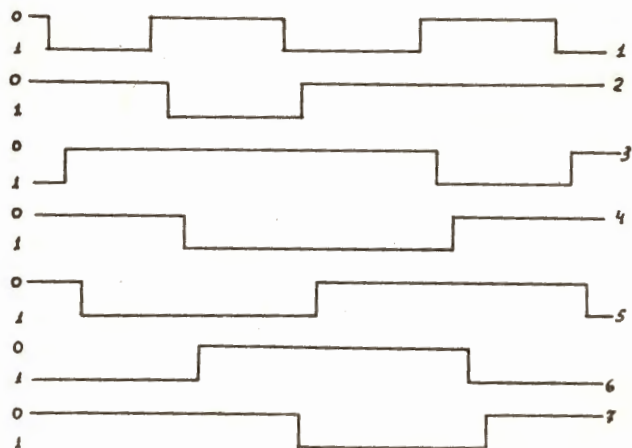


Рис. 17. Временная диаграмма работы триггера, изображенного на рис. 15; 1 - входной сигнал; 2 - выход модуля 1; 3 - выход модуля 2; 4 - выход модуля 3; 5 - выход модуля 4; 6 - выход модуля 5; 7 - выход модуля 6.

на рис. 1а) напряжения, а выход модуля 3 в течение этого времени останется без изменения. Через время, равное 2τ , могут изменять свое состояние модули 2, 3, 6, так как они связаны с выходом модуля 4. Выход модуля 2 принимает значение 0, так как выход модуля 1 имеет значение 1. Выход модуля 3 не меняет своего значения, оставаясь в нуле, поскольку не меняется входной сигнал, равный единице. Выход модуля 6 изменяет свое значение, поскольку в течение рассматриваемого интервала на его вход поступает нулевой сигнал с выхода модуля 5. Таким образом, после снятия счётного импульса триггер перебрасывается в единичное состояние. Как видно из схемы, следующий счётный импульс вызовет изменение модуля 3, так как на остальных его двух входах в

единичном состоянии установлены положительные уровни и далее схема триггера перебрасывается в нулевое состояние и т.д. Как видно из временной диаграммы, при каскадировании счётчика на счётный вход следующего разряда необходимо подать выход с модуля 5. Более подробно синтез схемы триггера описан в^{3/}.

Рассмотрим схему триггера, изображенного на рис. 1/2/. Эта схема запускается положительными уровнями напряжений. Здесь принято, что наличие отрицательного сигнала соответствует логическому нулю, а присутствие положительного сигнала - логической единице. В исходном (нулевом) состоянии к прохождению счётного положительного перепада напряжения подготовлен модуль 2, а в единичном состоянии триггера счётный импульс проходит через модуль 4. Таким образом, осуществляется поочередное стробирование входов триггера.

7. Результаты измерений

Обе схемы триггеров были собраны на твердых интегральных схемах, имеющих величину задержки на один элемент 30+40 нсек. При испытании была получена максимальная частота счёта 8+9 МГц (при запуске через эмиттерный повторитель). Благодаря отсутствию емкостей схемы триггеров с непосредственными связями имеют очень широкий предел устойчивой работы при изменении питающих напряжений, достигающем 50%.

Л и т е р а т у р а

1. Е.Н.Вавилов, Г.П.Портной. Синтез схем электронных цифровых машин. Советское радио. Москва, 1963.
2. Стэнфорд, "Путь к пониманию интегральных схем." Русский перевод "Электроника" № 5, 1967.
3. Zissos D. A step-by step design of two-way binary counter. Electron. Engin., 1965, 37, N447, pp 311-315.

4. May George. A novel approach to logic design used for monolithic flip-flop. *Can. Electron. Engin.*, 1966, 10, N9, P53.
5. N.Biswas. The Logic and Input Equations of Flip-Flops. *Electron. Engin.*, vol. 38, N456, p 107.

Рукопись поступила в издательский отдел

14 мая 1968 года.