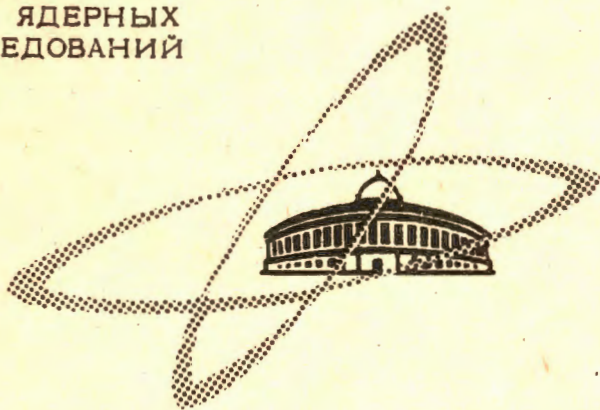


Н-626

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

11 - 2968



Н.М. Никитюк

К ВОПРОСУ О СИНТЕЗЕ АДРЕСНЫХ УСТРОЙСТВ
ДЛЯ ПАМЯТИ С ПОСЛЕДОВАТЕЛЬНОЙ ВЫБОРКОЙ

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

1966

11 - 2968

Н.М. Никитюк

К ВОПРОСУ О СИНТЕЗЕ АДРЕСНЫХ УСТРОЙСТВ
ДЛЯ ПАМЯТИ С ПОСЛЕДОВАТЕЛЬНОЙ ВЫБОРКОЙ

ОДИНКОММУНИКАЦИОННОМУ
УСТРОЙСТВУ
1968 Л.

УС 90/2 чр-

В связи с широким развитием средств автоматизации и измерительных систем, работающих совместно с цифровыми вычислительными машинами, появляется необходимость в построении буферных запоминающих устройств сравнительно небольшой емкости, в которых как запись, так и считывание данных происходит не с произвольным обращением, а последовательно, т.е. адрес в каждом такте изменяется на единицу. В зависимости от конкретного применения функции таких запоминающих устройств (ЗУ) могут быть различными. Например, в современных вычислительных системах для уменьшения времени выборки чисел из оперативного ЗУ применяется иерархический принцип построения запоминающих устройств, т.е. вся оперативная память разбивается на отдельные блоки, обращение к которым сдвинуто во времени, причем буферное ЗУ, которое, как правило, строится на более быстродействующих элементах, чем основная память, помещается между оперативной памятью и устройством обработки данных (системы "Стретч"; IBM-360)^{/7,8/}. Кроме того, в больших системах для временного хранения команд и других данных применяются индексные ЗУ. В управляющих и измерительных системах, работающих совместно с ЦВМ, основное назначение буферных ЗУ состоит в том, чтобы запоминать информацию, поступающую или статистически во времени, или со сравнительно большими промежутками времени по сравнению с циклом работы оперативной памяти машины. Другими словами, основное назначение буферных ЗУ в автоматических и измерительных системах состоит в том, чтобы экономить машинное время, поскольку в этом случае резко уменьшается частота прерывания работы машины.

В настоящее время наибольшее распространение получили буферные ЗУ, построенные на ферритовых кольцах, туннельных диодах и тонких магнитных пленках.

Основными звеньями таких устройств являются адресные устройства, назначение которых состоит в том, чтобы производить последовательную выборку (запись) чисел из ЗУ и в соответствующие моменты времени передавать числа группами в основную память машины.

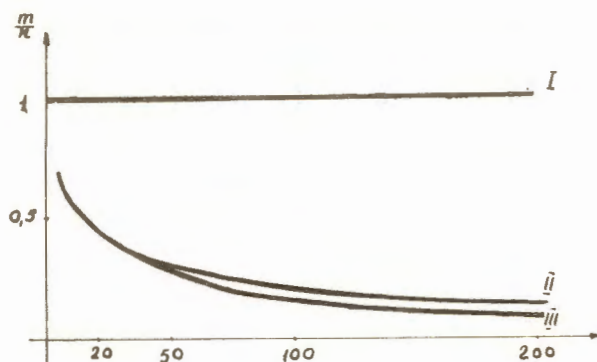
Как известно, выборка необходимого числа из памяти может быть произведена в основном двумя методами:

1) методом совпадения полутоков (матричные ЗУ); 2) методом с линейной выборкой чисел (запоминающие устройства типа Z). Метод с линейной выборкой чисел является более предпочтительным, поскольку в этом случае предъявляются менее жесткие требования к идентичности характеристик ферритовых колец и стабильности перемещающихся токов.

В этих случаях в качестве адресных устройств применяются или сдвиговые регистры с одной "бегающей" единицей, если емкость памяти сравнительно невелика (порядка 10-20 чисел), или кольцевые счетчики: один - по координате x , другой - по координате y , в случае большой емкости ЗУ. Выбор необходимого координатного ключа, который посылает ток в числовую линейку, происходит при совпадении полутоков в координатах x и y .

Возможна также трехмерная структура адресного устройства^{/6/}, где адрес числа разбивается на три координаты: x , y и z , причем коммутация полутоков может быть сделана так, что при этом сохраняется принцип выборки координатного ключа по двум совпадающим полутокам.

Трехмерная адресная система более экономична, чем двумерная. Например, при двумерной системе для памяти емкостью 120 чисел необходимо иметь два кольцевых счетчика с числом разрядов 10 и 11. При трехмерной структуре адресного устройства достаточно трех кольцевых счетчиков с числом разрядов $3 + 5 + 8 = 16$. В этом случае емкость памяти будет равна: $n = 3 \times 5 \times 8 = 120$ чисел.



Р и с. 1

На рис. 1 показаны кривые, иллюстрирующие экономичность двумерной и трехмерной адресных систем (кривые II и III соответственно) по сравнению с одномерной структурой адресного устройства (кривая I). Здесь по оси абсцисс отложены числа ячеек памяти n , а по оси ординат - отношение числа разрядов адресного устройства m к соответствующему числу ячеек памяти. Как видно из рисунка, наиболее экономична трехмерная структура адресного устройства. При $n > 100$ число m при трехмерной структуре на 30% меньше, чем при двумерной. Структура запоминающих устройств с использованием аппарата исчисления временных логических функций достаточно подробно рассмотрена в работе^{1/}. Цель данной статьи состоит в том, чтобы рассмотреть вопросы применения кольцевых счетчиков для построения оптимальных адресных устройств для памяти с последовательной выборкой. Приводятся также некоторые оригинальные схемы двухтактных и одноктактных кольцевых счетчиков, которые могут найти практическое применение.

Постановка задачи

Допустим, что необходимо спроектировать двумерное адресное устройство для памяти емкостью n чисел с линейной выборкой и последовательным обращением. В этом случае необходимо иметь n координатных трансформаторов (ключей), которые аналитически можно представить в виде матрицы, состоящей из a строк и b столбцов:

$$\begin{pmatrix} c_{11} & c_{12} & \dots & c_{1b} \\ c_{21} & c_{22} & \dots & c_{2b} \\ \dots & \dots & \dots & \dots \\ c_{a1} & c_{a2} & \dots & c_{ab} \end{pmatrix} .$$

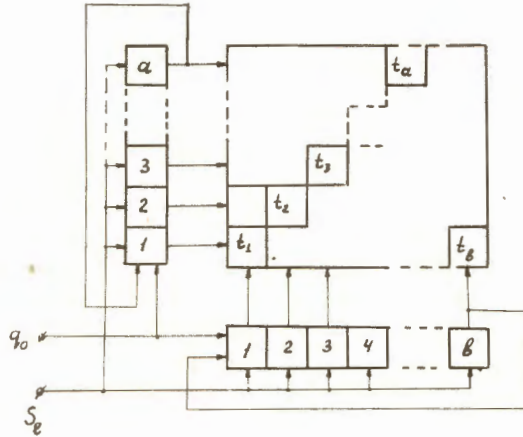
Очевидно, что максимальная емкость памяти в этом случае равна:

$$n = a \cdot b .$$

Для управления памятью с последовательной выборкой используются кольцевые пересчетные схемы, построенные на основе сдвиговых регистров с одной "бегающей" единицей. При двумерной адресной системе один счетчик должен иметь a разрядов, а другой - b разрядов.

Прежде всего выясним, каким условиям должны удовлетворять числа a и b , чтобы адресное устройство было оптимальным. Для определенности положим, что $a < b$. Адресное устройство в данном случае будем считать оптимальным, если два кольцевых счетчика, содержащих соответственно a и b разрядов, в течение n тактов

обращения к памяти произведут выборку всех n координатных ключей при минимальном числе разрядов счетчиков $m = a + b$.



Р и с. 2

На рис. 2 показана структура адресного устройства, содержащего два кольцевых счетчика. Здесь цифрами I и II обозначены цепи тактовых S_l и гасящих q_0 импульсов соответственно. В исходном состоянии импульсом q_0 в первые разряды кольцевых счетчиков записывается единица, а в остальные - нуль. Затем в каждом такте происходит сдвиг единицы в следующие разряды счетчиков. Сигналы с выходов соответствующих разрядов счетчиков поступают в матрицу координатных ключей, где в течение каждого такта происходит совпадение импульсов в одном ключе матрицы. Нетрудно заметить, что поскольку в данном случае имеется адресное устройство импульсного типа, то выборка ключей в течение первых t_1, t_2, \dots, t_a тактов происходит по диагонали матрицы. Для описания состояний кольцевого счетчика во времени введем функцию r_a , определяемую соотношением:

$$r_a = \begin{cases} 0 & l \neq a \\ 1 & l = a \end{cases}, \quad l = 1, 2, 3, \dots, n.$$

Каждому значению дискретного времени $t_1; t_2, \dots, t_l$ соответствует один тактовый импульс S_l , так что

$$S_l \cdot r_a = \begin{cases} 0 & l \neq a \\ 1 & l = a \end{cases}.$$

$$\phi_{1+j\Omega}^2 = S_2 r_2 \vee S_6 r_6 \vee S_{10} r_{10} ,$$

$$\phi_{1+j\Omega}^3 = S_3 r_3 \vee S_7 r_7 \vee S_{11} r_{11} \quad (j=0,1,2),$$

$$\phi_{1+j\Omega}^4 = S_4 r_4 \vee S_5 r_5 \vee S_{12} r_{12} .$$

С помощью равенств (1) и (2), и в частности (1') и (2'), можно определять последовательность выборки координатных ключей. Например, для случая, когда $a=3$, $b=4$, матрицу, соответствующую координатным ключам, можно представить в виде:

$$\begin{array}{c} \uparrow \\ \left(\begin{array}{cccc} c_{11} & c_{12} & c_{13} & c_{14} \\ c_{21} & c_{22} & c_{23} & c_{24} \\ c_{31} & c_{32} & c_{33} & c_{34} \end{array} \right) . \\ \rightarrow \end{array}$$

Для того чтобы определить, в каком такте будет выбран, например, ключ c_{14} (направление сдвига указано стрелками), достаточно рассмотреть конъюнкцию:

$$\phi_{1+i\Omega}^3 \cdot \phi_{1+j\Omega}^4 = (S_3 r_3 \vee S_6 r_6 \vee S_9 r_9 \vee S_{12} r_{12}) (S_4 r_4 \vee S_5 r_5 \vee S_{12} r_{12}) = S_{12} r_{12} ,$$

т.е. выборка ключа c_{14} произойдет в 12-ом такте.

Далее, рассмотрим следующую конъюнкцию дизъюнкций:

$$\begin{aligned} K &= (\phi_{1+i\Omega}^1 \vee \phi_{1+i\Omega}^2 \vee \phi_{1+i\Omega}^3) (\phi_{1+j\Omega}^1 \vee \phi_{1+j\Omega}^2 \vee \phi_{1+j\Omega}^3 \vee \phi_{1+j\Omega}^4) = \\ &= S_1 r_1 \vee S_2 r_2 \vee S_3 r_3 \vee \dots \vee S_{12} r_{12} , \end{aligned} \quad (3)$$

т.е. всего будет $n=3 \times 4=12$ конъюнкций, принимающих значение 1 в течение 12 тактов.

Если же допустим, что $a=b=3$, то, как нетрудно проверить, равенство (3) будет иметь вид $K = S_1 r_1 \vee S_2 r_2 \vee S_3 r_3$, т.е. всего будет 3 конъюнкции, хотя $ab=9$.

Таким образом, если числа a и b равны, т.е. матрица координатных ключей квадратная, то в этом случае адресное устройство не будет оптимальным, так как совпадение двух сигналов будет происходить лишь в ключах, расположенных по главной диагонали матрицы, остальные $n-a$ ключей останутся невыбранными. Поскольку равенство $a=b$ непустимо, то для того, чтобы при данном n число разрядов счетчиков

было минимальным, необходимо, чтобы выполнялось условие $|a-b|=1$. Например, при $n = 42$ можно положить $a = 21$, $b = 2$, тогда $n = 42$ и $a+b = 23$, однако, если положить $a = 7$, $b = 6$, тогда тоже $a \cdot b = 42$, но $a+b = 13$.

И, наконец, третье условие состоит в том, чтобы числа a и b были взаимно простыми. Допустим обратное, т.е. что числа a и b имеют общий целый делитель $\sigma \neq 1$; так что $a = c\sigma$ и $b = d\sigma$, т.е. $ab = cd\sigma^2$. Если $\sigma \neq 1$, то произведение $cd < ab$. Практически все три условия легко выполняются, такими числами, например, могут быть 5 и 6, 7 и 8, 10 и 11 и т.д. Таким образом, для построения оптимального двумерного адресного устройства с использованием кольцевых счетчиков необходимо, чтобы один кольцевой счетчик имел четный коэффициент деления, а другой — нечетный.

Практическая реализация кольцевых счетчиков может быть осуществлена на различных элементах, и в частности, на потенциальных триггерах и феррит-транзисторных ячейках. Кольцевые счетчики, построенные на феррит-транзисторных ячейках, как правило, более экономичны, чем аналогичные схемы, построенные на потенциальных триггерах.

В свою очередь, двухтактные кольцевые феррит-транзисторные счетчики имеют более высокое быстродействие, чем одноктактные, поскольку в первых нет необходимости помешать между ячейками линии задержки.

Как известно^{/5/}, двухтактные кольцевые счетчики, построенные на основе сдвиговых регистров, не могут работать с нечетным числом ячеек. Это обстоятельство резко ограничивает область применения таких схем.

В известной работе^{/2/} проводится синтез двухтактных феррит-транзисторных схем, где, в частности, для построения пересчетных схем применяются ячейки запрета и обратные связи между соответствующими выходами схемы и ячейками. К недостаткам таких схем следует отнести тот факт, что для их надежной работы необходимо, чтобы импульсы, подаваемые на запрещающие обмотки, имели большую длительность, чем импульсы, идущие на обмотки считывания, что вызывает необходимость применения двух вариантов феррит-транзисторных ячеек, отличающихся друг от друга, например, величиной начального смещения на базе триода. Кроме того, наличие большого количества обратных связей усложняет схему.

Ниже описываются двухтактные кольцевые схемы, которые могут работать с нечетным числом разрядов и соответственно могут иметь нечетный коэффициент деления без применения обмоток запрета. Для работы двухтактного сдвигового регистра необходимо разделение последовательности тактовых импульсов S_{ℓ} на нечетные серии

S_k и четные серии импульсов S_{k+1} , где $k=1,2,\dots,n-1$. Как известно, эта операция осуществляется с помощью триггера со счетным входом, имеющего импульсные выходы. Задача состоит в том, чтобы построить двухтактную кольцевую схему, реализующую систему уравнений (1). Нетрудно заметить, что для правильной работы двухтактной схемы с нечетным коэффициентом деления необходимо после каждого периода кольцевого счетчика менять местами нечетные и четные тактовые серии импульсов.

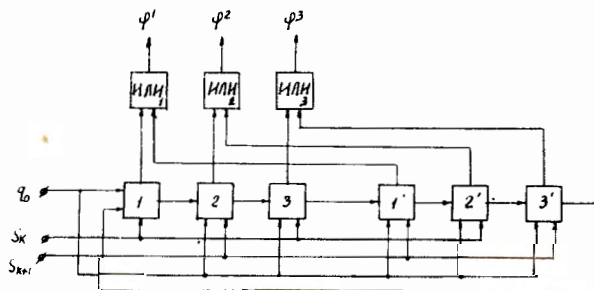


Рис. 3. Двухтактная кольцевая пересчетная схема с нечетным коэффициентом деления с двумя ячейками на разряд.

На рис. 3 показана функциональная схема двухтактного кольцевого счетчика, в котором для получения нечетного коэффициента деления используется по 2 ячейки на разряд. Схема работает следующим образом. Перед поступлением тактовых импульсов в ячейку 1 импульсом q_0 заносится единица. Первый тактовый импульс считывает единицу с первой ячейки. Считанный импульс, с одной стороны по цепи переноса записывает единицу в ячейку 2, а с другой — проходит схему ИЛИ 1 и поступает во внешнюю цепь и т.д. Импульс переноса с 3-й ячейки записывает единицу в ячейку 1, на второй вход которой поступает серия четных тактовых импульсов (в данном случае 4-й импульс). С выхода ячейки 1 считанный в 4-ом такте импульс поступает на вход схемы ИЛИ 1 и т.д. Достоинство данной схемы состоит в том, что в ней отсутствуют линии задержки как в цепях переноса между ячейками, так и в цепи обратной связи. Необходимо подчеркнуть, что схемы ИЛИ, здесь введены для общности. В принципиальной схеме импульсные выходы одноименных ячеек можно объединить в одной точке, т.е. схема состоит из однотипных ячеек. Более экономичную двухтактную кольцевую пересчетную схему можно получить, если для переключе-

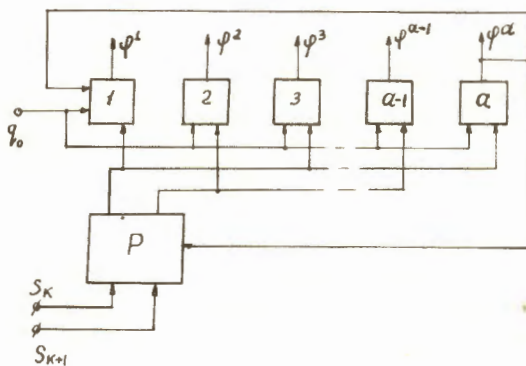
ния каналов нечетных и четных тактовых импульсов использовать потенциальный триггер со счетным входом. Пусть счетчик состоит из нечетного числа разрядов α . Введем переключательную функцию Q_T , принимающую попеременно значение 1 и 0 после каждого периода счетчика T , причем в исходном состоянии, перед подачей тактовых импульсов, функция $Q_T = 1$, тогда:

$$Q_T \cdot \phi_{1+iT}^a = 1 \quad \text{при} \quad i = 0, 2, 4, \dots,$$

$$\bar{Q}_T \cdot \phi_{1+iT}^a = 1 \quad \text{при} \quad i = 1, 3, 5 \dots,$$

($i = 1, 2, 3 \dots \beta - 1$)

Необходимо построить логическую переключающую схему P (рис. 4), которая переключала бы цепи нечетных и четных тактовых импульсов после каждого периода счетчика. На вход схемы P поступают следующие сигналы: 1) тактовые нечетные S_k и четные S_{k+1} ($k=1, 2 \dots n-1$); импульс сброса в исходное состояние φ_0 ;



Р и с . 4

3) импульсы с выхода последней нечетной ячейки ϕ_{1+iT}^a . На выходе схемы должны получаться серии импульсов $P_{k; \dots n}$; $P_{k+1; \dots n-1}$, которые можно описать во времени с помощью следующих равенств:

$$P_{k; \dots n} = S_k \cdot Q_T \cdot \phi_{1+iT}^a \vee S_{k+1} \cdot \bar{Q}_T \cdot \phi_{1+iT}^a,$$

$$P_{k+1; \dots n-1} = S_{k+1} \cdot Q_T \cdot \phi_{1+iT}^a \vee S_k \cdot \bar{Q}_T \cdot \phi_{1+iT}^a \quad (k = 1, 2, 3 \dots n-1). \quad (4)$$

Для частного случая, когда $a = 3$, $S_p = 12$, $\mu = 4$, равенство (4) будет иметь такой вид:

$$P_{1,3,4,6,7,12} = (S_1 \vee S_3 \vee S_5 \vee S_7 \vee S_9 \vee S_{11})(Q_T \cdot \phi_1^3 \vee Q_T \cdot \phi_8^3) \vee \\ S_2 \vee S_4 \vee S_6 \vee S_8 \vee S_{10} \vee S_{12} (\bar{Q}_T \cdot \phi_2^3 \vee \bar{Q}_T \cdot \phi_4^3) \vee \\ S_1 \vee S_3 \vee S_4 \vee S_6 \vee S_7 \vee S_9 \vee S_{10} \vee S_{12}$$

Аналогично:

$$P_{2,5,8,11} = S_2 \vee S_5 \vee S_8 \vee S_{11}$$

Для надежной работы схемы, очевидно, необходимо в цепи обратной связи между последним разрядом счетчика и первым включить линию задержки δ , тогда система уравнений (4) примет окончательный вид:

$$Q_{k+1} = S_k \cdot Q_T \cdot \phi_{1+r+\delta}^a \vee S_{k+1} \cdot \bar{Q}_T \cdot \phi_{1+r+\delta}^a$$

$$Q_{k+1} \cdot Q_{k-1} = S_{k+1} \cdot Q_T \cdot \phi_{1+r+\delta}^a \vee S_k \cdot Q_T \cdot \phi_{1+r+\delta}^a \quad (4')$$

На рис. 5 показана принципиальная схема двухтактной кольцевой пересчетной схемы, построенной на основе двухтактного феррито-транзисторного сдвигового регистра, а на рис. 6 изображены временные диаграммы, иллюстрирующие работу счетчика

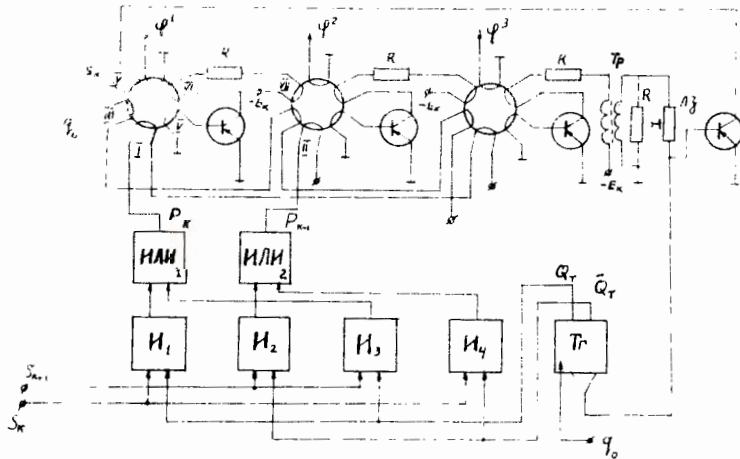


Рис. 5. Двухтактная кольцевая пересчетная схема с нечетным коэффициентом деления с одной ячейкой на разряд.

во времени (показано три ячейки). Работает схема следующим образом. В исходном состоянии импульсом φ_0 триггер Тг устанавливается в единичное состояние, при этом схемы совпадения I_1 и I_3 открыты, а схемы совпадения I_2 и I_4 - закрыты. Этим же импульсом в первую ячейку счетчика записывается единица, а в остальные - нули.

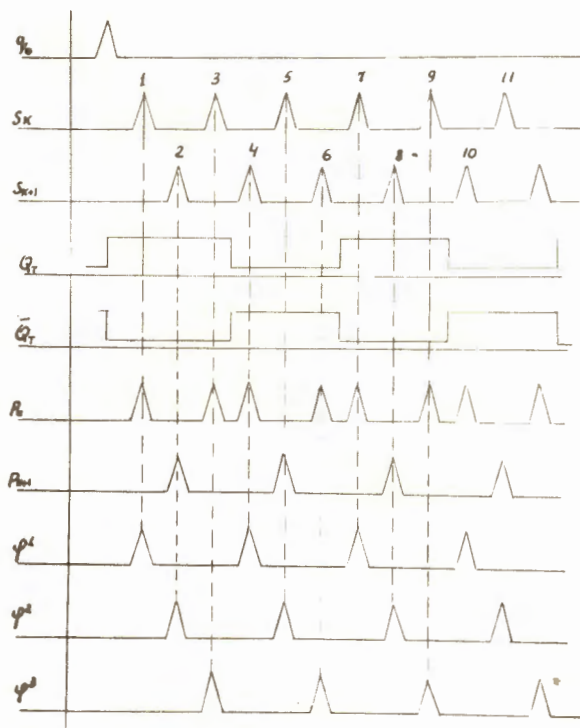


Рис. 6. Временные диаграммы работы двухтактной кольцевой пересчетной схемы с нечетным коэффициентом деления.

Первый после импульса φ_0 нечетный тактовый импульс S_1 поступает через открытый клапан I_1 , сборку ИЛИ₁ на вход считывающей обмотки нечетных ячеек. Далее в течение 3 тактов схема работает, как обычный сдвиговый регистр. Импульс φ_1^3 , считанный в третьем такте с последней ячейки, после усиления на трансформаторном усилителе и задержки на величину длительности тактового импульса δ с одной

стороны с помощью обратной связи производят запись единицы в первую ячейку счетчика, а с другой - поступает на счетный вход триггера Тг. Перебрасываясь, триггер закрывает клапаны I_1 и I_3 и открывает клапаны I_2 и I_4 . Вследствие этого импульс четвертого такта поступит в считывающие обмотки нечетных ячеек, а импульс пятого такта - в считывающую обмотку второй ячейки и т.д. Последовательность переключения тактовых импульсов описывается уравнениями (4'). Аналогично схема работает при любом другом нечетном числе ячеек.

Данные эксперимента подтверждают высокую надежность и быстродействие описанной выше схемы. Так, если применить высокочастотные транзисторы типа 1Т308А и малогабаритные ферритовые кольца 0,16ВТ с размерами $2 \times 1,4 \times 1$ мм, то можно получить сравнительно высокое быстродействие с тактовой частотой 1 Мгц и временем переключения порядка 0,4-0,5 мксек. Для получения этих параметров можно рекомендовать следующие данные обмоток: обмотки I, II, III, IV, VI - 5 ± 6 витков; обмотки V, VI - по 3 витка. Ток считывания должен иметь величину порядка $0,15 \pm 0,2$ а в импульсе при длительности $0,3 \pm 0,5$ мксек. Для уменьшения уровня помех в базовых цепях транзисторов желательно включить компенсационные сердечники. Для получения более высокого быстродействия можно применить сдвиговые регистры, построенные на основе быстродействующих переключающих элементов, таких, как туннельные диоды, тонкие магнитные пленки и т.д.

Как мы уже отметили, трехмерная структура адресного устройства более экономична, чем двумерная, хотя в первом случае несколько усложняются цепи коммутации токов. На рис. 7 схематично показано запоминающее устройство с последовательным обращением, где адрес числа разделен на три координаты: x , y и z .

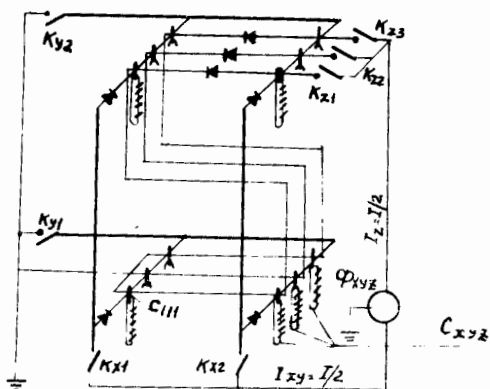


Рис. 7. Структура трехмерного адресного устройства.

Здесь приняты следующие обозначения: Φ_{xy} - формирователь тока; k_x, k_y, k_z - ключи, которые замыкаются с помощью кольцевых счетчиков; C_{xy} - числовые линейки вместе с координатными трансформаторами. Нетрудно заметить, что выборка координатных трансформаторов происходит при совпадении двух полутоков. Например, трансформатор C_{111} будет выбран при замыкании ключей k_{x1}, k_{y1}, k_{z1} , причем, как видно из рисунка, если ключ k_{y1} разомкнут, то даже при замыкании ключей k_{x1} и k_{z1} ток через ключ k_{x1} не пойдет. Ключи выполнены на ферритовых элементах с сердечниками с прямоугольной петлей гистерезиса и работают по принципу распределения тока /8,13,14/.

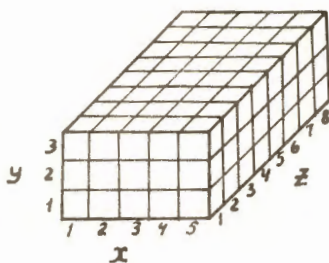
На рис. 8 схематично показано расположение координатных трансформаторов, а в таблице 1 дается последовательность выборки в течение первых 10 тактов для случая, когда $x = 5, y = 3$ и $z = 8$. Выборка ключей происходит не по линии или в плоскости, как это имеет место в одномерных и двумерных адресных устройствах, а в пространстве.

Т а б л и ц а 1

t_{ρ}	x	y	z	t_{ρ}	x	y	z
1	1	1	1	6	1	3	6
2	2	2	2	7	2	1	7
3	3	3	3	8	3	2	8
4	4	1	4	9	4	3	1
5	5	2	5	10	5	1	2

Необходимо отметить, что для построения оптимального адресного устройства при трехмерной структуре также необходимо, чтобы в каждой паре чисел x, y и z эти числа были взаимно простыми.

В заключение рассмотрим блок-схему запоминающего устройства с последовательной выборкой, где в качестве адресного устройства применены кольцевые счетчики (рис. 9)^{10/}. Емкость памяти составляет 20x20 бит. Схема управления запоминающим устройством построена на транзисторах. Схема памяти может работать в 3 режимах: 1) рабочий режим (запись, считывание), в этом режиме схема запускается от какого-нибудь другого устройства, с которым память работает; 2) контроль в циклическом режиме; 3) контроль в однотактном режиме. Установка необходимого режима производится тумблером $T6_1$.



Р и с . 8

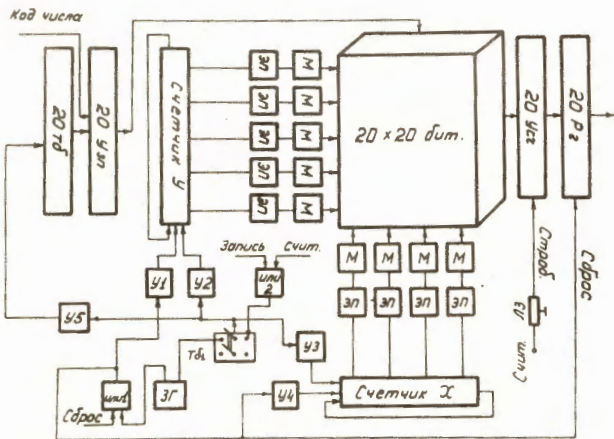


Рис. 9. Блок-схема запоминающего устройства с последовательным обращением и линейной выборкой чисел.

Рассмотрим работу схемы памяти в режиме записи чисел. Импульсом "сброс", который поступает на вход схемы ИЛИ 1, схема памяти устанавливается в исходное состояние. При этом все триггеры выходного регистра 20 Pz сбрасываются в нулевое состояние, а в первые разряды кольцевых феррит-транзисторных счетчиков записываются единицы. Импульс команды "запись числа" поступает на схему ИЛИ 2, через тумблер Тб₁ подается на входы усилителей x и y и после усиления производит

считывание единиц с первых разрядов счетчиков x и y , которые усиливаются и, с одной стороны, сдвигаются соответственно в следующие разряды, а с другой – подаются в матрицу координатных трансформаторов, где происходит выборка первого из координатных трансформаторов, которые, кроме координатных обмоток, имеют обмотки смещения постоянным током. Поэтому в выходной обмотке координатного трансформатора появится дипольный импульс тока, первая половина которого производит установку всех сердечников данной числовой линейки в положение "0" (запись нуля), а вторая половина импульса, равная по величине $2/3$ первой, производит запись числа. Причем в те разряды, где необходимо записать код 1, с усилителей записи 20 УЗП подаются импульсы тока, которые, складываясь со второй половиной линейного тока, производят запись "1" в соответствующий разряд. При подаче следующей команды записи теперь уже на выходе вторых разрядов счетчиков появятся импульсы считывания, которые после усиления эмиттерными повторителями ЭП и усилителями мощности М производят выборку следующего координатного трансформатора и т.д.

Следует отметить, что если ЗУ имеет сравнительно небольшую емкость (порядка нескольких десятков чисел), то зачастую отпадает необходимость как в дополнительных сердечниках в числовых линейках, так и в поразрядных усилителях записи нуля, что значительно упрощает схему управления памятью. Исполнение команды считывания отличается от записи, во-первых, тем, что при этом не подается кода числа на усилители записи, и, во-вторых, тем, что на усилители считывания 20 Усч подается стробирующий сигнал, который во времени совпадает с импульсами считывания числа. С усилителей считывания код числа поступает на выходной регистр 20 Рг. Цепи регистрации в буферных ЗУ, как правило, отсутствуют. В режиме контроля схема памяти запускается от задающего генератора ЗГ, который имитирует команды запись-считывание. В этом режиме с помощью тумблеров 20 Тб можно набрать любой 20-разрядный код двоичного числа. Импульсы, поступающие с задающего генератора, после усиления в усилителе УБ проходят те тумблеры, на которых набран код единицы. Поскольку этот процесс может происходить непрерывно, то с помощью осциллографа можно контролировать правильность работы всех цепей схемы.

В одноканальном режиме в схеме задающего генератора предусмотрена возможность выделять одиночный импульс и нажатием кнопки производить запись и считывание чисел; при этом на выходном регистре визуально наблюдается код считанного числа.

В качестве кольцевых счетчиков могут быть применены как двухтактные схемы, описанные выше, так и быстродействующие одноканальные кольцевые счетчики /10/.

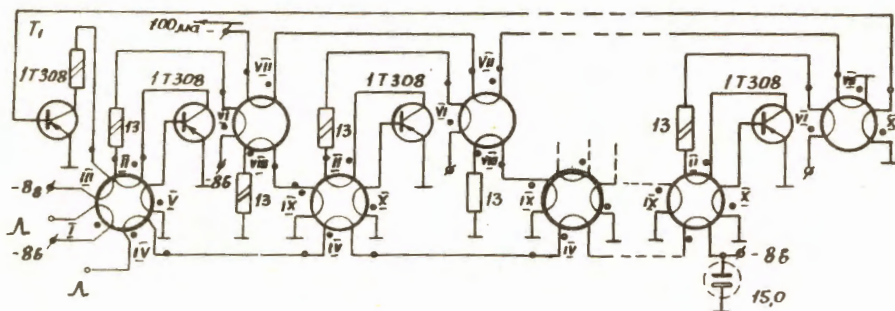


Рис. 10. Быстродействующий одноканальный кольцевой делитель частоты.

На рис. 10 показана схема одноканального кольцевого счетчика, где в качестве элемента задержки между ячейками применено ферритовое кольцо с подмагничиванием постоянным током. Следует подчеркнуть, что в этой схеме ферритовое кольцо с подмагничиванием выполняет роль не только элемента задержки, но и накопителя энергии (подобно координатному трансформатору в ЗУ типа "Z"). Схема позволяет получить сравнительно высокое быстродействие счета порядка 500-600 кгц. Данные обмоток: I, III, IV - по 4 витка; II, V - 3 витка; VII - 7 витков, VIII, IX - 6 витков ПЭЛ 0,12; транзисторы работают в режиме насыщения, ток коллектора в импульсе составляет 0,2а, длительность - 1 мксек. В счетчике применены ферриты типа 0,16ВТ с размерами 2x1,4x1 мм.

Схема мощного усилителя М, посылающего ток в координатную обмотку трансформатора, показана на рис. 11. На вход усилителя с эмиттерного повторителя поступают импульсы с амплитудой 7в и длительностью 1 мксек. Координатные обмотки трансформатора включены непосредственно в цепь транзистора П805. Сердечник трансформатора состоит из 10 ферритовых колец 0,16 ВТ с внешним диаметром 3 мм. Данные обмоток: x = y = z = s = 5 витков. Описанное выше ЗУ проектировалось для небольшой матрицы емкостью 20x20 бит. Для получения большей емкости ЗУ достаточно увеличить число разрядов счетчиков и соответственно формирователей тока.

В ы в о д ы

1. В настоящее время широкое применение в различных системах автоматика и вычислительной техники находят буферные запоминающие устройства с последовательным обращением.

4. Е.Н. Вавилов, Г.П. Портной. Синтез схем электронных цифровых машин. Изд-во "Советское радио", Москва, 1963.
5. Е.И. Гурвич и Л.Б. Шукня. Ферротранзисторные элементы и их применение в цифровых автоматических устройствах. Госэнергоиздат, 1963.
6. Б. Шебештьен. Промежуточное запоминающее устройство на ферритах и транзисторах для автоматической обработки информации с группы детекторов. Препринт ОИЯИ, 1412, Дубна, 1963.
7. Проектирование сверхбыстродействующих систем "Стретч". Под редакцией В. Бухгольца. Изд-во "Мир", 1965.
8. Дж. Амдаль, Дж. Блоу, Ф. Бруке. Архитектура системы IBM-360. Кибернетический сборник № 1, Изд-во "Мир", 1965.
9. Н.М. Никитюк. Специализированное запоминающее устройство на ферритах. Препринт ОИЯИ, 2502, Дубна, 1965.
10. Н.М. Никитюк. Быстродействующие одноктактные ферротранзисторные регистры. Препринт ОИЯИ, 2501, Дубна, 1965.
11. Б. Шебештьен. Кольцевая дифференциальная пересчетная схема на транзисторах для управления промежуточным запоминающим устройством, Препринт ОИЯИ, 1413, Дубна, 1963.
12. M. Karnaugh. Pulse Switching Circuits Using Magnetic Cores. Proc. IRE, May 1955, p. 570-583.
13. J.A. Rajchman, H.D. Crane. Current Steering in Magnetic Circuits. IRE. Transact. on Electronic Computers, March 1957, p. 21-30.

Рукопись поступила в издательский отдел
7 октября 1966 г.