



ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ
ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

Ш.И. Барялко И.Д. Ванков

1045

МЕТОД КОММУТАЦИИ ТОКОВ
МАГНИТНОГО ОПЕРАТИВНОГО
ЗАПОМИНАЮЩЕГО УСТРОЙСТВА
НА ФЕРРИТАХ С ПЛОСКИМ ВЫБОРОМ

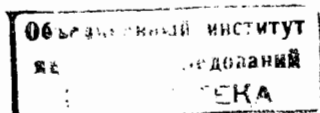
*Научно-техн. конференция по ядерной
радиоэлектронике, 5-в. Труды... т. 2, в. 1,
с. 144-154.*

Ш.И. Барилко И.Д. Ванков

1045

1612/2 ч.р.

МЕТОД КОММУТАЦИИ ТОКОВ
МАГНИТНОГО ОПЕРАТИВНОГО
ЗАПОМИНАЮЩЕГО УСТРОЙСТВА
НА ФЕРРИТАХ С ПЛОСКИМ ВЫБОРОМ



Дубна 1962 г.

Аннотация

Для надежной работы магнитных оперативных запоминающих устройств на ферритах необходимо обеспечить стабильность импульсов тока памяти.

В работе описывается метод формирования импульсов тока памяти, в котором адресные шины включены гальванически в цепи источника тока, а трансформаторы выполняют только ключевые функции. Этим обеспечивается высокая стабильность импульсов тока.

Устройство коммутации токов /УКТ/ считывания и записи в оперативном запоминающем устройстве на ферритах, построенном по системе с плоским выбором /система совпадающих токов/ посылает двухполярные импульсы тока в выбранные адресным устройством шины.

Основное требование к УКТ - идентичность токов по всем шинам и их стабильность во времени.

В описанных в литературе УКТ /1,2,3,4,5,7/ применялись схемы с трансформаторами токов, причём каждая шина связана с отдельным трансформатором. Наличие многих трансформаторов тока предъявляет высокие требования к намотке трансформаторов. Кроме того, с помощью трансформатора тока трудно обеспечить высокое выходное сопротивление при работе на индуктивную нагрузку.

Ниже описывается УКТ, в котором трансформаторы выполняют только ключевые функции.

Для коммутации адресных токов нами использован принцип построения логических схем на диодно-трансформаторных вентилях /ДТВ/.

Аналогичный принцип построения логических схем на феррит-диодных вентилях описан в /6/.

Описание функций, выполняемых устройством коммутации токов

УКТ получает информацию из адресного счётчика и согласно этой информации посылает импульс тока в две адресные шины ферритовой матрицы. /рис. 1/. Если адресное устройство состоит из $2n$ триггеров, то число адресных шин матрицы равно $2^n \times 2 = 2^{n+1}$ - по 2^n шин к каждой из двух половин адресного устройства. Пусть x_k и \bar{x}_k - состояния k -го триггера адресного устройства, y_l - состояние адресной шины l . $y_l = 1$, если в шину l посылается импульс тока и $y_l = 0$, если в шину l импульс тока не послан.

Тогда
$$y_l = (l_0 x_0 + \bar{l}_0 \bar{x}_0) (l_1 x_1 + \bar{l}_1 \bar{x}_1) \dots (l_{n-1} x_{n-1} + \bar{l}_{n-1} \bar{x}_{n-1})$$

или
$$y_l = \prod_{k=0}^{k=n-1} (l_k x_k + \bar{l}_k \bar{x}_k), \quad (1)$$

где
$$l = l_0 l_1 l_2 \dots l_{n-1}$$

или
$$\begin{aligned} y_0 &= \bar{x}_0 \bar{x}_1 \bar{x}_2 \dots \bar{x}_{n-1} \\ y_1 &= x_0 \bar{x}_1 \bar{x}_2 \dots \bar{x}_{n-1} \\ y_2 &= \bar{x}_0 x_1 \bar{x}_2 \dots \bar{x}_{n-1} \\ &\dots \\ y_{2^{n-1}} &= x_0 x_1 x_2 \dots x_{n-1} \end{aligned} \quad (2)$$

Мы разбили адресное устройство на две части, так как совпадение между двумя выбранными адресами осуществляется в самой матрице. Иногда бывает удобно функции (2) осуществлять в несколько ступеней, например, в две:

$$y'_0 = \bar{x}_0 \bar{x}_1 \bar{x}_2 \dots \bar{x}_{\frac{n}{2}-1}$$

$$y'_{\frac{n}{2}-1} = x_0 x_1 x_2 \dots x_{\frac{n}{2}-1}$$

$$y''_0 = \bar{x}_{\frac{n}{2}} \bar{x}_{\frac{n}{2}+1} \dots \bar{x}_{n-1}$$

$$y''_{\frac{n}{2}-1} = x_{\frac{n}{2}} x_{\frac{n}{2}+1} \dots x_{n-1}$$

$$y_0 = y'_0 y''_0$$

$$y_1 = y'_1 y''_1$$

$$y_2 = y'_2 y''_2$$

$$y_{\frac{n}{2}-1} = y'_{\frac{n}{2}-1} \cdot y''_{\frac{n}{2}-1}$$

где y'_i и y''_i — результаты промежуточной дешифрации.

Выполнение логических операций на диодно-трансформаторных вентилях

Диодно-трансформаторным вентиляем мы назовем устройство, изображенное на рис. 2.

Событие, состоящее в том, что в момент прохождения тока I подается сигнал V_1 и не подается V_2 назовем x .

Событие, состоящее в том, что в момент прохождения тока I подается сигнал V_2 и не подается сигнал V_1 назовем \bar{x} .

Событие, состоящее в том, что ток I проходит через нагрузку z_1 и не проходит через z_2 назовем y_1 .

Событие, состоящее в том, что ток I проходит через нагрузку z_2 и не проходит через z_1 назовем y_2 .

Тогда схема рис. 2 осуществляет функцию $y_1 = x$ и $y_2 = \bar{x}$, если падение напряжения на нагрузке диода и внутреннем сопротивлении обмотки меньше чем импульс V_1 . Действительно, если подан импульс V_1 , а импульс V_2 отсутствует, то диод D_2 оказывается запертым.

Используя систему зеркальных символов, эту схему можно изобразить как показано на рис. 3.

Операция дизъюнкции на ДТВ может быть выполнена методом "диодной сборки". Схема для выполнения операции конъюнкции показана на рис. 4.

Схема рис. 4 выполняет логическую функцию $y = x_1 x_2$.

В УКТ требуется пропустить через нагрузку двуполярный импульс тока. Схема для двуполярного импульса тока, осуществляющая функции $y_1 = x_1 x_2$, $y_2 = x_1 \bar{x}_2$, $y_3 = \bar{x}_1 x_2$, $y_4 = \bar{x}_1 \bar{x}_2$, приведена на рис. 5. Импульсы, подаваемые на обмотки, также двуполярны. Более экономичная схема для осуществления этой функции приведена на рис. 6.

Для конъюнкции больше чем двух переменных иногда целесообразно применить комбинированную схему. Комбинированная схема для конъюнкции четырех переменных приведена на рис. 7.

Для конъюнкции многих переменных может быть применена также пирамидальная схема, изображенная на рис. 8.

Устройство коммутации токов на диодно-
трансформаторных вентилях

Устройство формирования токов на диодно-трансформаторных вентилях, можно выпонить по любой из схем рис. 5,6,7,8. Разберем особенности каждой из этих схем.

Схема "А" /рис. 5/ не требует дополнительного дешифратора, но трансформаторы её содержат много вторичных обмоток.

Таблица I

	Схема "А"	Схема "Б"	Схема "В"	Схема "Г"	Схема "Д"
Число триггеров адреса	$2n$	$2n$	$2n$	$2n$	$2n$
Число трансформаторов	$4n$	$2^{\frac{n}{2}+2}$	$4n$	$4n$	2^{n+1}
Число диодов в УКТ	2	$2^{\frac{n}{2}+2} (2^{\frac{n}{2}+1})$	$2^{\frac{n}{2}+2} (2^{\frac{n}{2}+1})$	2^{n+2}	2^{n+2}
Число диодов в дополнит. дешифраторе	-	$n \cdot 2^{\frac{n}{2}+1}$	-	-	$n \cdot 2^{\frac{n}{2}+1}$
Полное число диодов	2^{n+2}	$2^{\frac{n}{2}+2} (2^{\frac{n}{2}+1} + \frac{1}{2}n + 1)$	$2^{\frac{n}{2}+2} (2^{\frac{n}{2}+1})$	2^{n+2}	$2^{\frac{n}{2}+1} (2^{\frac{n}{2}+1} + n)$
Число вторичных обмоток на трансформаторе	2^{n-1}	$2^{\frac{n}{2}+1}$ + трансформ. по 1 обмотке трансформ. по 2 обмотке.	$2n$ трансформ. по $2^{\frac{n}{2}}$ обмотки $2n$ трансфор. по $2^{\frac{n}{2}-1}$ обмоток	4 тран. по 2^n обм. 4 тран. по 2^{n-1} 4 тран. по 2 обм.	1
Напряжение между шинами матрицы в импульсе	$n \cdot v$	v	$\frac{1}{2} n v$	$n v$	-

В отличие от неё трансформаторы схемы "Б" содержат одну или две вторичные обмотки, но к ней требуется дополнительный дешифратор.

Схема "В" не требует дополнительного дешифратора и трансформаторы её содержат значительно меньшее число обмоток.

В схеме "Г" меньше диодов, чем в других схемах, однако, число обмоток на трансформаторах сравнительно больше.

При сравнении схем следует также учитывать напряжение в импульсе между выбранной и не выбранными шинами матрицы. Увеличения этого напряжения создает опасность пробоя между шинами и опасность ёмкостных наводок.

В таблице I даны формулы для подсчёта числа элементов схемы.

В таблице II приведены подсчитанные по формулам таблицы I числа элементов схем

для памяти на 2^{12} чисел / 4096 /. Под схемой "Д" имеется в виду широко распространенная схема, описанная в частности в /7/.

Таблица 2

	Схема "А"	Схема "Б"	Схема "В"	Схема "Г"	Схема "Д"
Число триггеров адреса	12	12	12	12	12
Число трансформаторов	24	32	24	24	128
Число диодов в УКТ	512	288	288	256	256
Число диодов в дополнительном дешифраторе	-	96	-	-	96
Полное число диодов	512	384	288	256	352
Число вторичных обмоток на трансформаторе	32	16 трансформ. по 2 обмотки 16 трансформат. по 1 обмотке	12 трансформ. по 4 обмотки 12 трансформ. по 8 обмоток.	4тр. по 2 обм. 4 тр. по 4" 4 тр. по 8" 4 тр. по 16" 4 тр. по 32" 4 тр. по 64"	1
Напряжение между шинами матрицы в импульсе	6v	v	3v	6v	-

Требование к диодам

Управляющий импульс напряжения на вторичной обмотке ДТВ должен компенсировать падение на прямом сопротивлении проводящих диодов. Поэтому в ДТВ необходимо ставить диоды с минимальным прямым импульсным сопротивлением. Нами исследованы интересующие нас импульсные характеристики диодов Д9А, Д11, Д14, Д2Е, Д2Ж, Д210. На рис. 9 приведена схема для исследования падения напряжения на прямом сопротивлении диода при подаче на него импульсов тока. На L_1 подается отрицательный импульс, запирающий лампу. Положительный импульс с передним фронтом 0,3 мксек с выхода L_1 открывает лампу L_2 . Амплитуда импульса тока регулируется переменным сопротивлением в катode L_2 . На рис 10 приведены осциллограммы импульсов напряжения на исследованных диодах. Как видно из осциллограмм, сопротивление диода имеет индуктивный характер. Были измерены амплитуды выброса и установившегося значения на небольшой партии диодов.

Данные измерений приведены в таблице III. Как следует из таблицы, наиболее подходящими для ДТВ являются диоды типа Д9А, Д11, Д14 у которых выброс порядка 15 вольт и плоская часть импульса порядка 1,5 вольт при токе 350 ма.

Таблица 3

Тип	Среднее значение V выброс /в/	Границы измерения V выброс /в/	Среднее значение V уст. /в/	Границы измерения V уст. /в/	Величина импульса тока /ма/	Количество исследованных диодов
Д9А	11	-	1,2	-	350	3
Д11	14,2	-	1,5	-	350	3
Д14	14,7	12 ÷ 18	1,6	1,1 ÷ 2,1	350	120
Д2Е	35	11 ÷ 60	22,7	8 ÷ 43	350	50
Д2Ж	34	22 ÷ 58	18,5	10 ÷ 26	350	5
Д210	41	20 ÷ 75	2	-	300	12

На рис. 11 и 12 даны зависимость амплитуды выброса и амплитуды плоской части импульса от тока. При сравнении амплитуды выброса напряжения на диоде и амплитуды установившегося значения напряжения /статическая характеристика/ зависимость между ними обнаружить не удалось. Диоды с одинаковым значением напряжения плоской части имеют разные амплитуды выброса.

Описание экспериментальной схемы

По схеме "Б" было сконструировано УКТ на 256 чисел /рис. 13/.

В ламповой части схемы находятся генераторы управляющих импульсов L_1, L_2, L_3, L_4 и L_{17} лампы выбора адреса $L_5 - L_{16}$ и генераторов тока считывания L_{10}, L_{11a} и записи L_{11b}, L_{12} .

Генератор управляющих импульсов считывания состоит из формирующего каскада с диодным ограничителем в аноде L_{1a} , катодного повторителя L_{1b} и усилителя тока L_2 .

Генератор управляющих импульсов записи состоит из формирующего каскада с диодным ограничением в аноде L_{4b} , катодного повторителя L_{4a} и формирователя тока L_3 .

Генераторы тока считывания и записи состоят из формирующих каскадов с анодным ограничением L_{11} , усилителей тока L_{10} и L_{12} с глубокой отрицательной обратной связью.

Временная диаграмма импульсов УКТ приведена на рис. 14. Нормально лампы $L_{1a}, L_{4b}, L_{11a}, L_{11b}, L_{17b}$ отперты и падением напряжения в анодных нагрузках этих ламп запираются лампы L_{10}, L_{12}, L_2, L_3 , и L_{17a} .

В такт считывания импульс, приходящий на вход $ЛП_1$ /рис. 14 а /, запирает лампу L_{1a} . Потенциал в аноде этой лампы ограничивается диодами на уровне + 150 в. Близкий потенциал устанавливается в катоде L_2 .

На входы $A_1 - A_{16}$ подаются потенциалы с триггеров адресного счётчика. При любом состоянии адресного счётчика в каждой группе ламп $L_5 - L_8$, $L_7 - L_8$, $L_{13} - L_{14}$, $L_{15} - L_{16}$, имеется одна лампа на оба входа которой /например на входы A_1 и A_3 лампы L_{5a} / подан более высокий потенциал, чем на сетки других ламп.

Импульс, подаваемый на вход $ЛП_3$ /рис. 14 в/, отпирает только выбранные лампы в каждой группе. Аноды этих ламп подсоединены к коммутирующим трансформаторам. На вторичных обмотках выбранных таким образом трансформаторов образуется разрешающий импульс считывания /положительный импульс на рис. 14 г/. Импульс, подаваемый на вход $ЛП_4$ /рис. 14 д/, отпирает лампы L_{10} . Анодный ток лампы L_{10} проходит по пути, соединяющему выбранные трансформаторы, и образует в матрице импульс считывания.

Например, если выбраны трансформаторы Tr_1 , Tr_5 , Tr_9 , Tr_{13} , то ток считывания проходит по пути А Б В Г Д Ж З И К /положительный импульс на рис. 14 ж/.

В такт записи в отличие от такта считывания управляющие импульсы подаются на входы $ЛП_2$, $ЛП_3$ и $ЛП_5$ /рис. 14 б, в, е/. При этом на выбранных трансформаторах образуется импульс противоположной полярности и ток записи проходит по пути А И З Ж Е Л Д Г В Б М /отрицательный импульс на рис. 14 ж/.

Для контроля прохождения импульсов тока во все шины включены сопротивления 4 ома.

На рис. 15 приведены осциллограммы импульсов в различных точках схемы. При наладке схемы оказалось, что надежная коммутация осуществляется тогда, когда импульсы напряжения на трансформаторах превышают 10 вольт.

Сравнение импульсов на сопротивлениях 4 ома показало, что эти импульсы отличаются не более, чем на 1%.

Литература

1. Schumann, R.W. '1024 channel time of flight analyzer' Rev. Sci. Instr. Vol. 27, 686 (1956).
2. Byington, P.W., Johnston, C.W. '100 channel pulse-height analyzer' Los Alamos. New Mexico 1955.
3. Raychman, J.A. 'A miriabit magnetic-core matrix memory' Proc. IRE v. 41, 1407 (1953).
4. Goulding 'Kicksorter developments at Chalk River' Proceeding of an Informal Conference Gatlingbourg Tennessee' Sept. 27-28 (1956).
5. Schumann, 4.2., Mc Mahon J.P. 'Argonne 256-channel pulse-height analyzer' Rev. Sci. Instr. V. 27, 675 (1956).
6. Rosenfeld. 'Magnetic-Core Pulse-Switching Circuits for Standart Packages' IRE Transactions on EC. Sept. 1958.
7. Шиманский, и др. "1024-временной анализатор" ПТЭ 1960 № 3.

Рукопись поступила в издательский отдел
29 июня 1962 г.

Триггеры адресного устройства

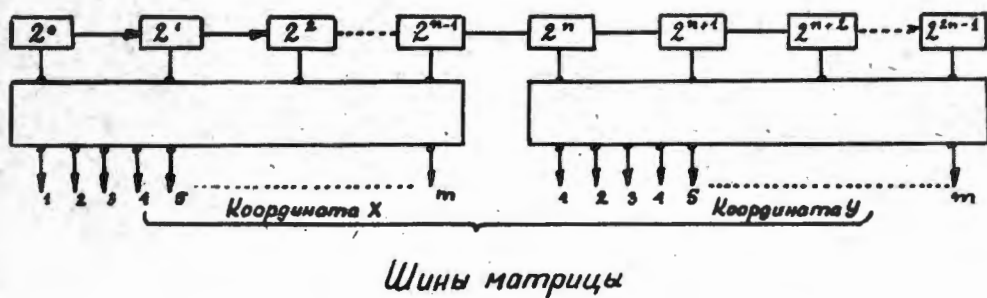


Рис. 1

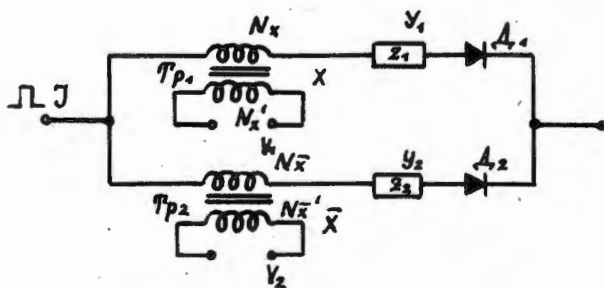


Рис. 2

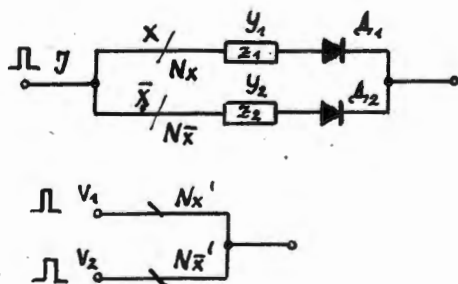


Рис.3

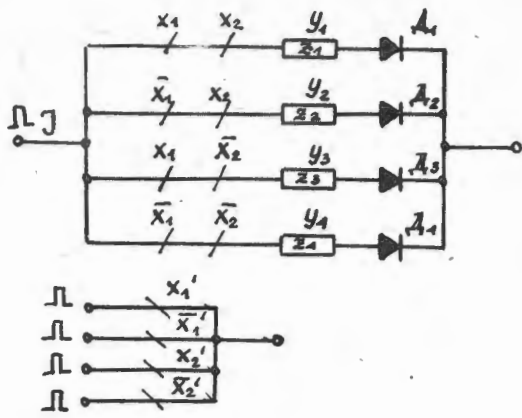


Рис. 4

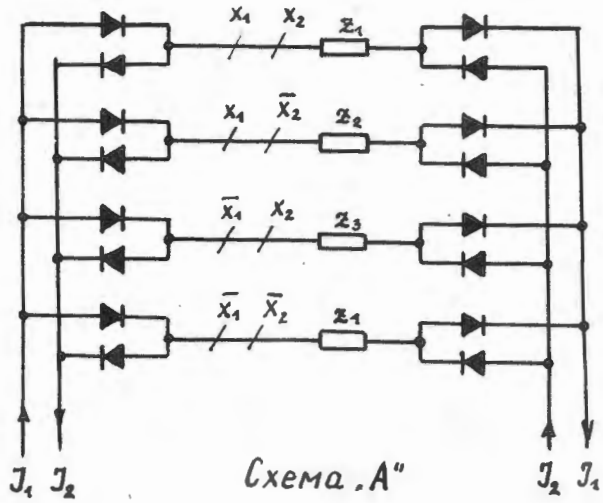


Рис. 5

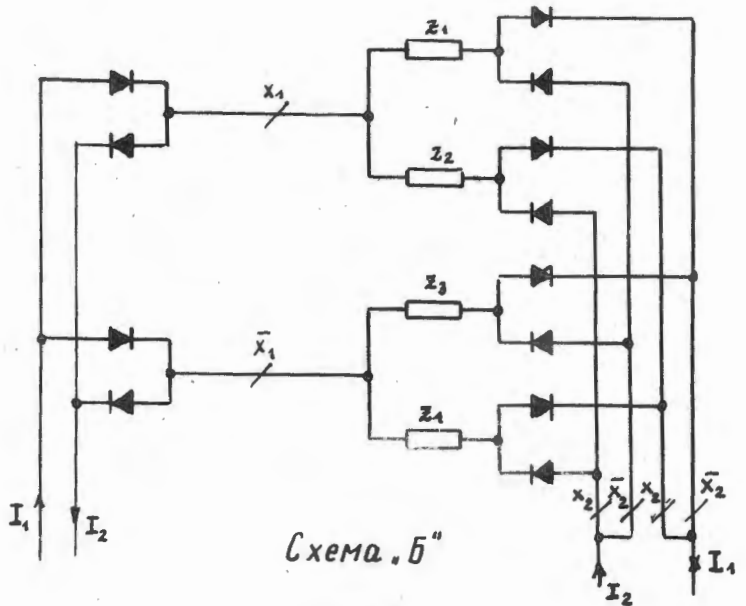
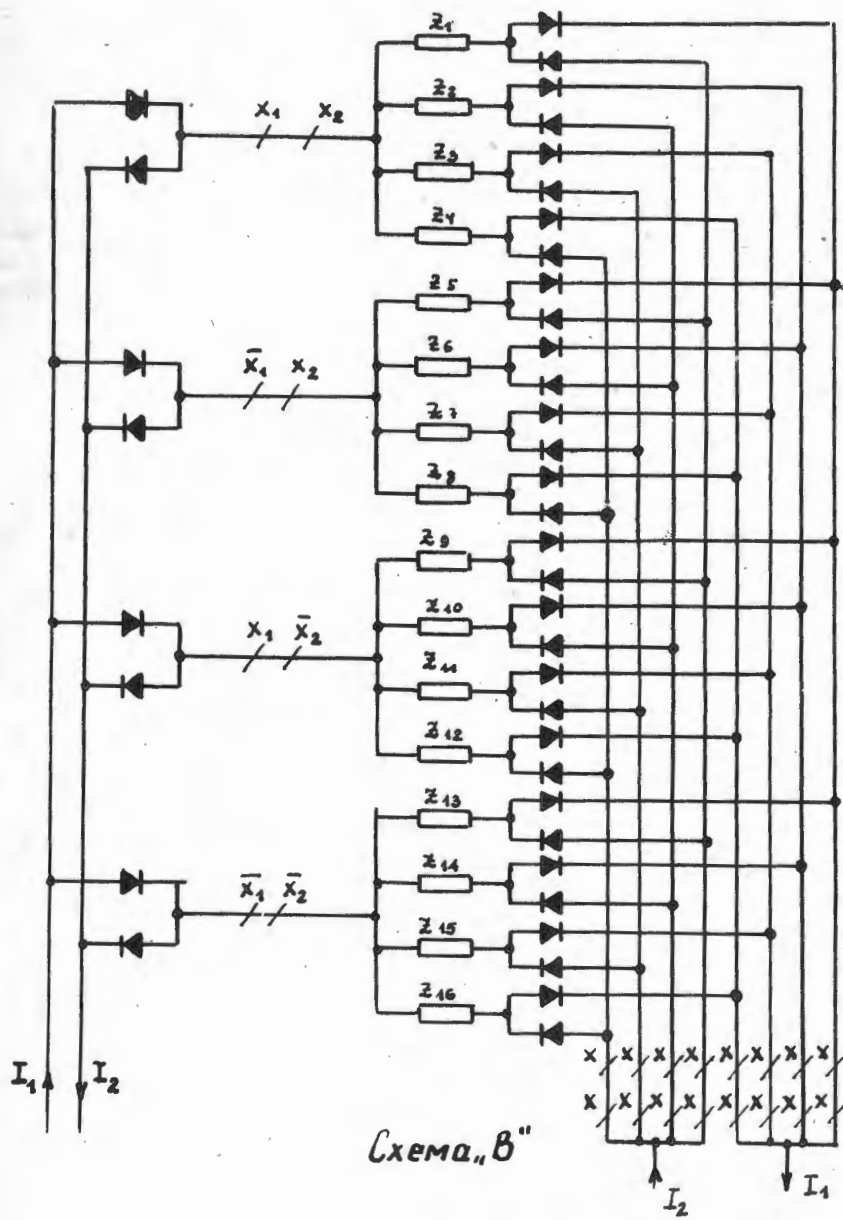


Рис. 6



- $Y_1 = X_1 X_2 X_3 X_4$
- $Y_2 = X_1 X_2 X_3 \bar{X}_4$
- $Y_3 = X_1 X_2 \bar{X}_3 X_4$
- $Y_4 = X_1 X_2 \bar{X}_3 \bar{X}_4$
- $Y_5 = \bar{X}_1 X_2 X_3 X_4$
- $Y_6 = \bar{X}_1 X_2 X_3 \bar{X}_4$
- $Y_7 = \bar{X}_1 X_2 \bar{X}_3 X_4$
- $Y_8 = \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4$
- $Y_9 = X_1 \bar{X}_2 X_3 X_4$
- $Y_{10} = X_1 \bar{X}_2 X_3 \bar{X}_4$
- $Y_{11} = X_1 \bar{X}_2 \bar{X}_3 X_4$
- $Y_{12} = X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4$
- $Y_{13} = \bar{X}_1 \bar{X}_2 X_3 X_4$
- $Y_{14} = \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4$
- $Y_{15} = \bar{X}_1 \bar{X}_2 \bar{X}_3 X_4$
- $Y_{16} = \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4$

Рис. 7

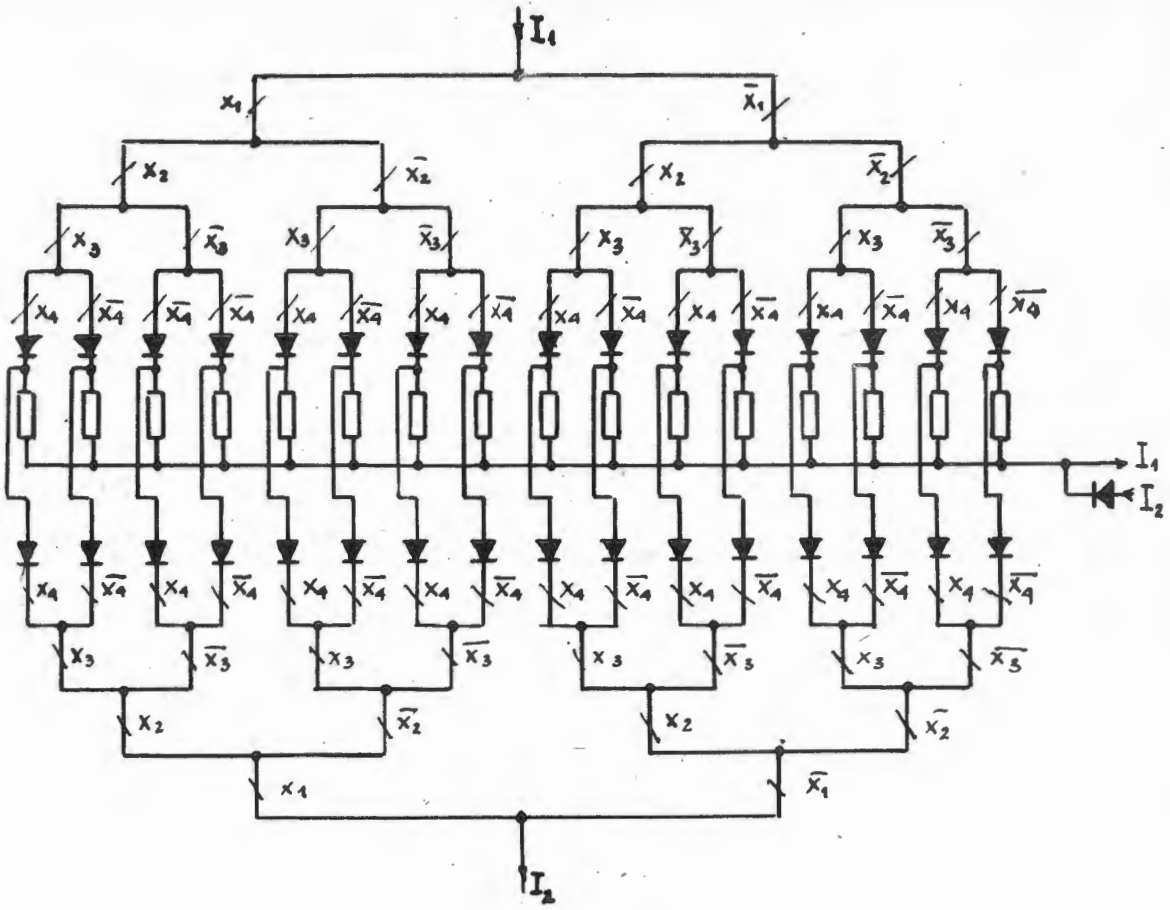


Схема „Г“

Рис. 8

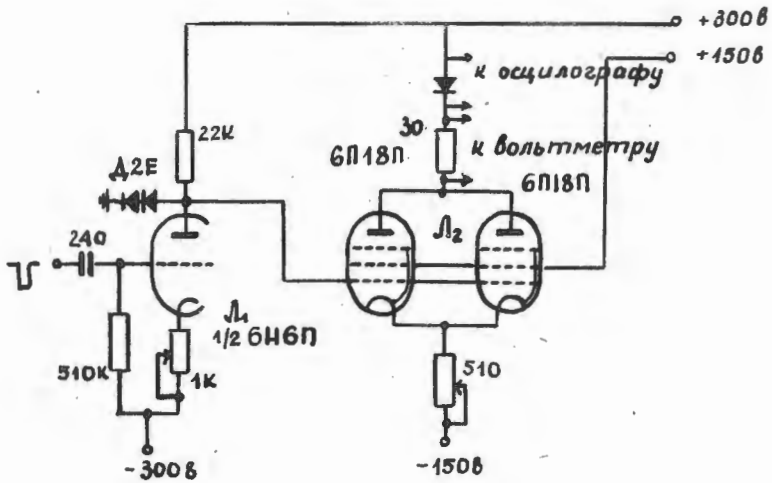
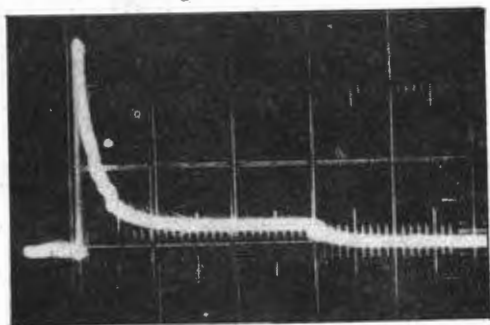
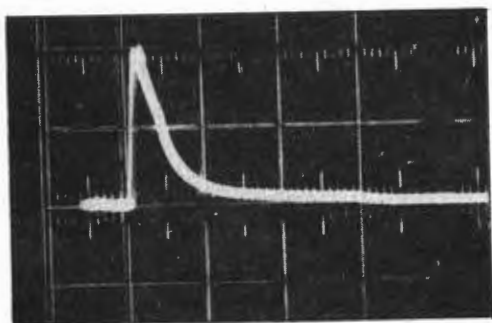


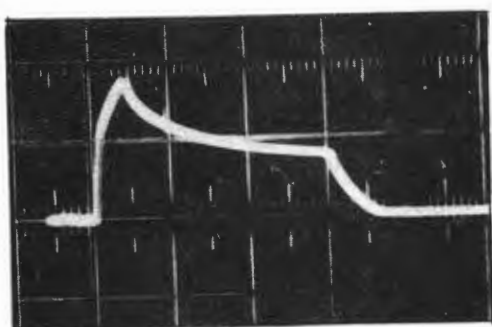
Рис. 9



Д 14



Д 210



Д 2E

Рис. 10

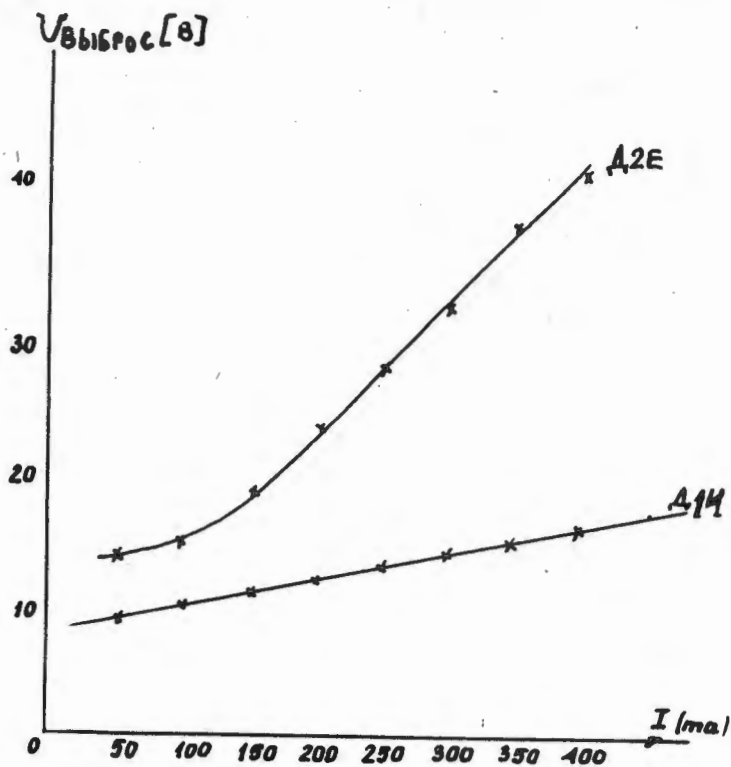


Рис. 11

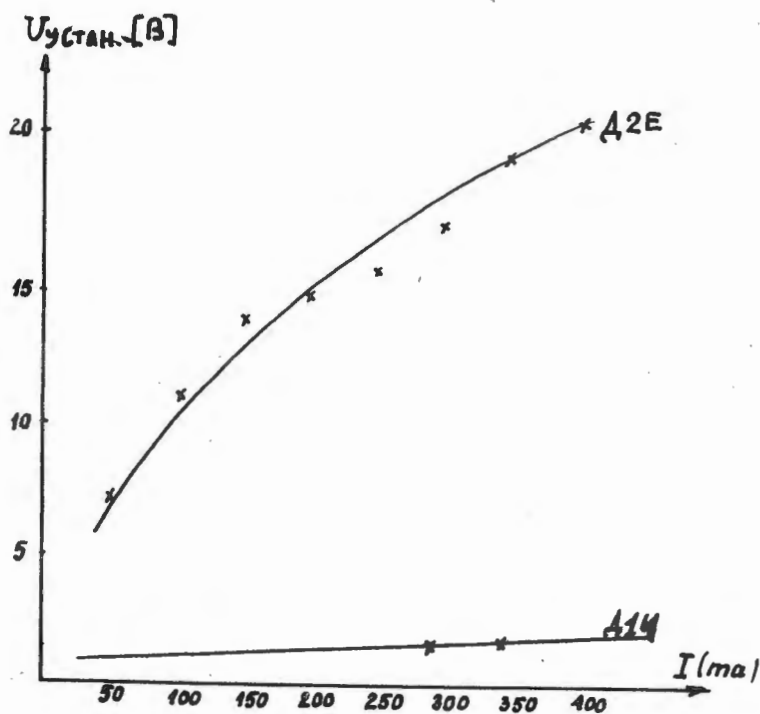
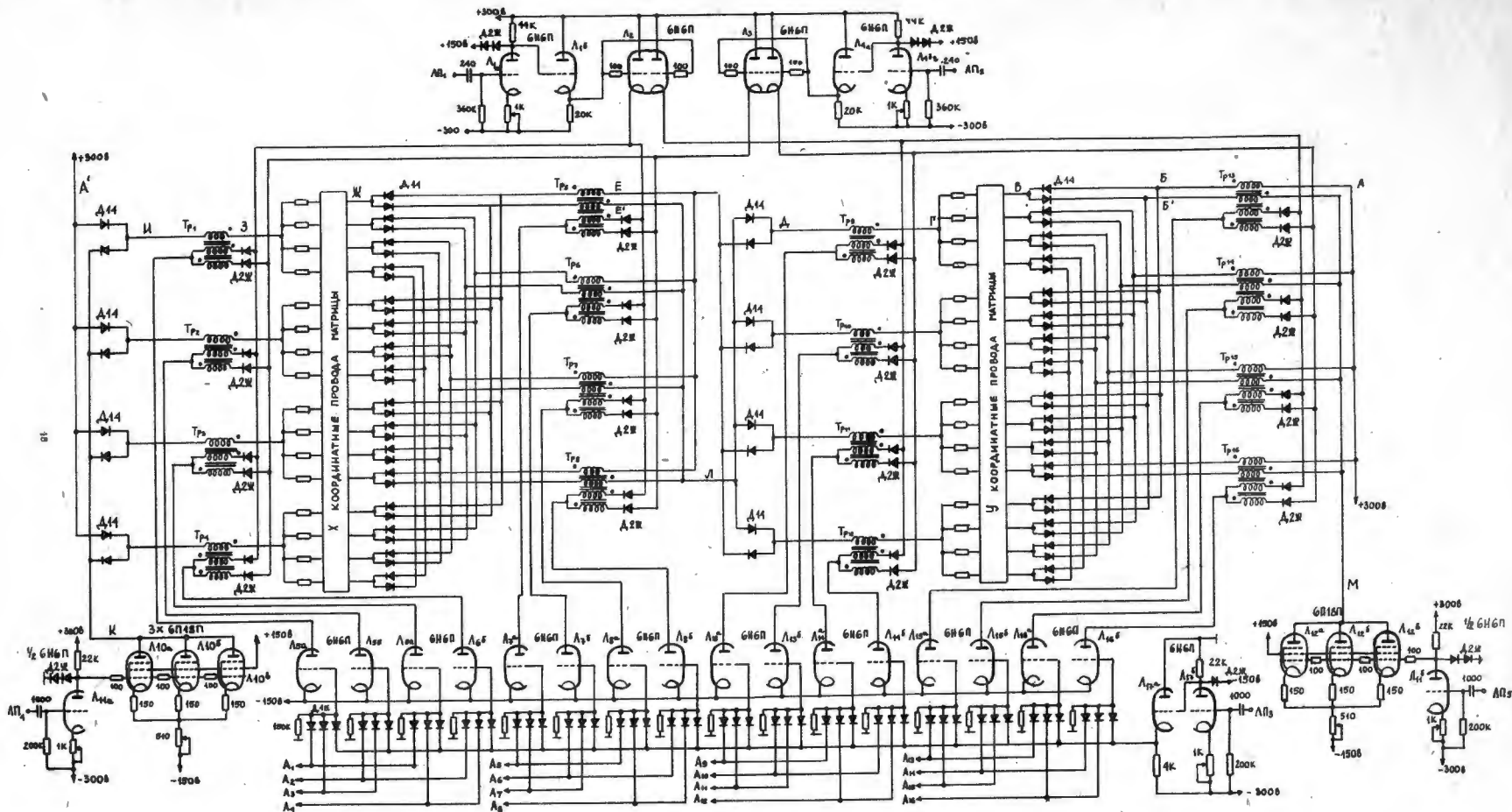


Рис. 12



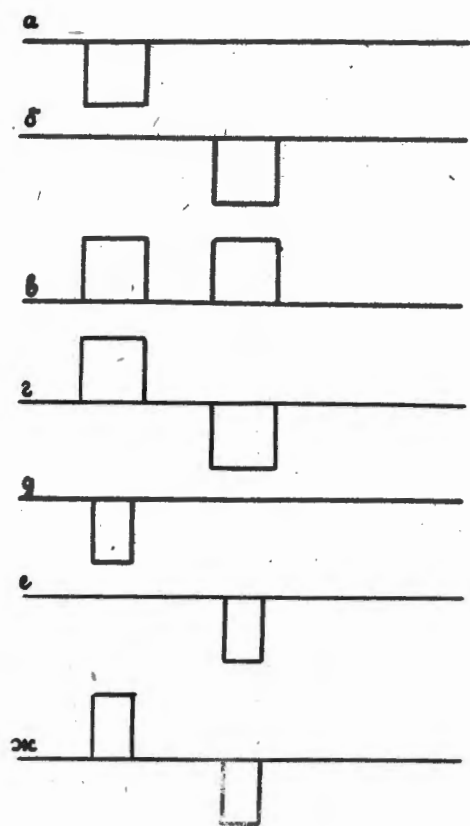


Рис.14

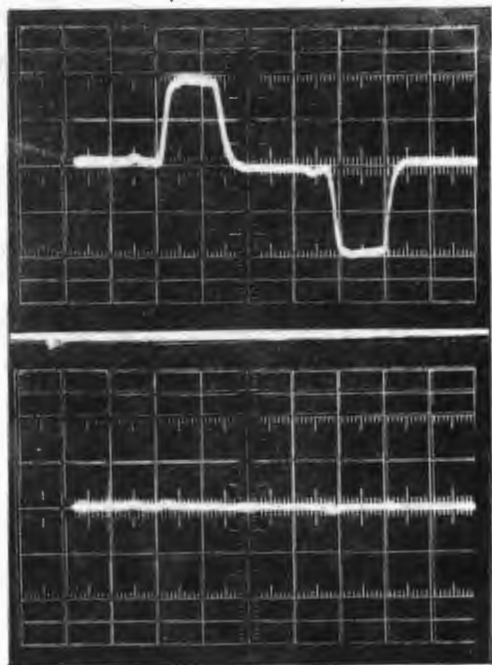


Рис. 15а - Импульсы тока считывания и записи в выбранной и невыбранной шинах матрицы.

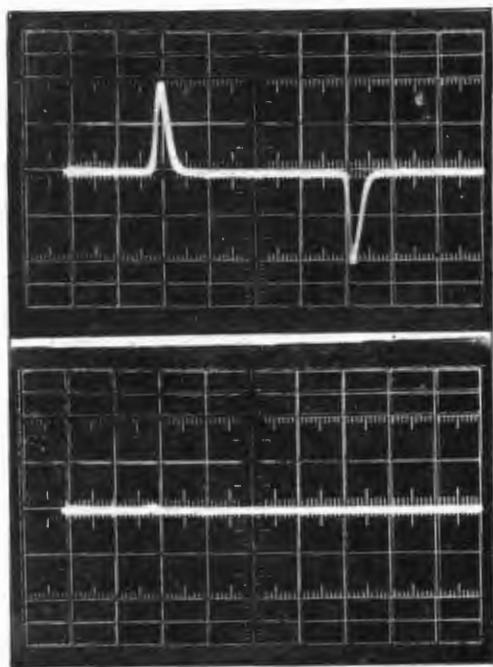


Рис. 15б · Импульсы на выходе сигнального провода матрицы. /Вверху при считывании и записи, внизу только при считывании.

161372 чр.

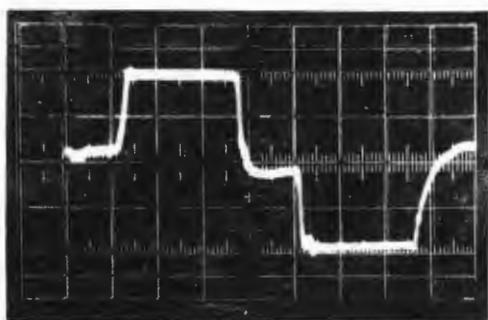


Рис. 15в - Импульсы на вторичной обмотке
выбранного трансформатора. /Генераторы токов
считывания и записи выключены./

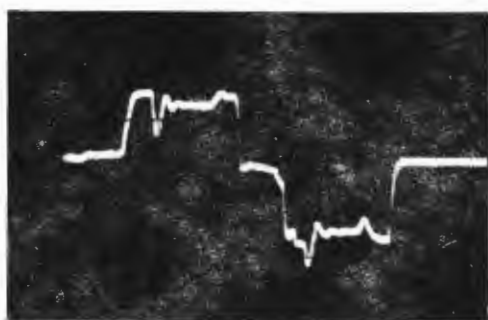


Рис. 15г - Импульсы на вторичной обмотке
выбранного трансформатора /Генераторы токов
считывания и записи включены./