

Ц 845
Б-811

СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

ДУБНА

13/IX-76

3637/2-76



10 - 9921

О.Н.Бондаренко, В.Ф.Рубцов, Ю.И.Сусов

БЛОК БУФЕРНОЙ ПАМЯТИ

1976

10 - 9921

О.Н.Бондаренко, В.Ф.Рубцов, Ю.И.Сусов

БЛОК БУФЕРНОЙ ПАМЯТИ

Отечественный институт
исторических исследований
БИБЛИОТЕКА

Боядаренко О.Н., Рубцов В.Ф., Сусов Ю.И.

10 - 9921

Блок буферной памяти НРД-2

В данной работе описывается блок буферной памяти, который используется в сканирующем автомате НРД-2. Объем памяти составляет 64 двадцатичетырехразрядных слова, максимальная частота записи - 1 мГц. Выходы и входы памяти работают независимо. Конструктивно буферная память разработана в блоке КАМАК двойной ширины. В рабочем режиме информация в память поступает через дополнительный разъем в виде параллельного 24-разрядного кода, а считывается в магистраль крейта. Для тестовой проверки работы буферной памяти предусмотрена запись информации в память из магистрали крейта.

Работа выполнена в Лаборатории вычислительной техники и автоматизации ОИЯИ.

Сообщение Объединенного института ядерных исследований
Дубна 1976

ВВЕДЕНИЕ

Для увеличения разрешающей способности отсчетного канала^{/1/} в состав электронной аппаратуры сканирующего автомата НРД-2 введена буферная память. Объем памяти составляет 64 двадцатичетырехразрядных слова, максимальная частота записи - 1 мГц.

Общая структурная схема буферной памяти приведена на рис.1. Информация в буферную память может поступать в виде параллельного 24-разрядного кода от внешнего объекта через дополнительный разъем и последовательно двумя 12-разрядными словами из магистрали крейта КАМАК. Считывание происходит в магистраль крейта двумя 12-разрядными словами. В рабочем режиме информация в память поступает из отсчетного канала через дополнительный разъем и считывается в ЭВМ по автономному каналу. Запись и считывание по программному каналу предусмотрены для тестовой проверки работы буферной памяти.

Основу буферной памяти составляют модули FIFO3341.

Функциональное описание модуля FIFO3341

Модуль FIFO3341 представляет собой память емкостью 64 4-разрядных слова, построенную по принципу FIFO (First in First out) /2/. Выходы и входы памяти работают независимо. Модуль имеет статусные индикаторы на входе и на выходе: "Вход готов" (IR-Input Ready) и "Выход готов" (OR - Output Ready). Высокий потенциал на "Вход готов" говорит о том, что память готова принять информацию. Высокий потенциал на "Выход готов" говорит о том, что на выходе памяти есть информация и ее можно стробировать. Блок-схема модуля FIFO3341 представлена на рис.2.

Модуль памяти состоит из четырех 64-разрядных сдвигающих регистров и одного 64-разрядного маркерного регистра. Когда под действием импульса "Запись" (SI - Shift Input) в память записывается новое слово, оно передвигается автоматически под контролем маркерного регистра на первое свободное место от выхода. При подаче сигнала "Считывание" (SO - Shift Output) в памяти сбрасывается первое на выходе слово. Максимальная частота записи и считывания у этих модулей составляет 1 мГц. Минимальное время поступления информации на выход памяти после записи первого слова составляет 32 мксек.

I. Запись информации в буферную память

Логическая схема записи информации в память изображена на рис.3. При рассмотрении логической схемы используются следующие обозначения:

$$\begin{aligned} IR &= IR1 \cdot IR2 \cdot IR3 \cdot IR4 \cdot IR5 \cdot IR6, \\ \bar{IR} &= \bar{IR1} \cdot \bar{IR2} \cdot \bar{IR3} \cdot \bar{IR4} \cdot \bar{IR5} \cdot \bar{IR6}, \end{aligned}$$

$$OR = OR1 \cdot OR2 \cdot OR3 \cdot OR4 \cdot OR5 \cdot OR6,$$

$$OC = \Phi5 \cdot S2 + Z + C \quad - \text{общий сброс.}$$

TtЗ - триггер управления записью;

TtСч - триггер управления считыванием.

Блок использует следующие команды КАМАК.

$\Phi1 = NF17$ - (6550) - запись в память 12-ти младших разрядов.

В скобках показана команда ЭЕМ ТРА-I при работе с крейт-контроллером НРД-2.

$\Phi2 = NF19$ - (6554) - запись в память 12-ти старших разрядов.

$\Phi3 = NF1$ - (6553) - чтение 12-ти младших разрядов.

$\Phi4 = NF3$ - (6557) - чтение 12-ти старших разрядов.

$\Phi5 = NF23$ - (6556) - команда общего сброса.

$\Phi6 = NF21$ - (6552) - опрос сигнала IR.

$\Phi7 = NF20$ - (6542) - опрос сигнала OR.

I.I. Запись информации в память из отсчетного канала

При передаче информации в память внешний объект вместе с кодом посылает признак информации. В отсчетном канале таким признаком является "1" в 24-ом разряде выходного регистра. Код поступает на вход модулей памяти при выполнении условия: $(IR + Q TtЗ) \cdot 24pOK = 1$. Сигнал, поступающий с триггера TtЗ, заводится для того, чтобы сохранить код на входе модулей

FIFO 3341 во время стробирования. Стробирующий сигнал формируется следующим образом. При наличии свободного "Входного регистра" у памяти (IR) и высокого потенциала на \bar{Q} триггера TtЗ потенциал признака информации задерживается на 100 нсек и устанавливает высокий потенциал на выходе Q триггера TtЗ. Этот потенциал поступает на вход "Запись" (SI) всех шести модулей FIFO и стробирует код в память. В ответ на сигнал

SI память с задержкой, определяемой работой микросхемы FIFO 3341 (90+550 нсек), сбрасывает сигнал "Вход готов" (\overline{IR}), который в свою очередь сбрасывает триггер TгЗ в состояние \overline{Q} и посылает в отсчетный канал ответ о том, что информация принята. На этом кончается цикл записи одного слова от внешнего объекта. Следующее слово можно записать после появления сигнала "Вход готов" (через 140+550 нсек). При переполнении памяти сигнал \overline{IR} не появляется, схема совпадений сигналов \overline{IR} и \overline{Q} TгЗ вырабатывает импульс, с помощью которого посылается запрос в "Блок прерывания". Схема совпадений сигналов \overline{IR} и \overline{Q} TгЗ вырабатывает сигнал и при записи каждого слова, но он блокируется схемой, так как его длительность менее 600 нсек.

1.2. Запись информации в память из магистрали крейта

В тестовом режиме программа опрашивает "Входной регистр". Если "Входной регистр" свободен ($Q = \overline{IR} \cdot \overline{Q} \text{ TгЗ} \cdot \Phi 6$), то последовательно выдается два 12-разрядных слова. Первое слово записывается в младшие разряды памяти аналогично записи слова от внешнего объекта: информация на вход памяти стробируется командой $\Phi 1$, триггер TгЗ устанавливается в состояние Q импульсом $\Phi 1 \cdot S1$. После записи первого слова и сброса сигнала "Вход готов" (\overline{IR}) у трех младших модулей FIFO 3341 триггер TгЗ не сбрасывается в состояние \overline{Q} , т.к. старшие три модуля FIFO 3341 не устанавливает сигналы $\overline{IR4} \div \overline{IR6}$. Второе 12-разрядное слово стробируется командой $\Phi 2$, а записывается сигналом $\Phi 2 \cdot S1 \cdot Q \text{ TгЗ}$. После записи старших 12-разрядов появляется сигнал \overline{IR} , триггер TгЗ сбрасывается в состояние \overline{Q} и происходит сдвиг 24-разрядного кода в памяти.

2. Чтение информации из памяти

При поступлении информации на "Выходной регистр" памяти, на выходе модуля FIFO 3341 появляется код данных и сигнал "Выход готов" (OR). По переднему фронту сигнала OR вырабатывается импульс, который посылает запрос в мультиплексор контроллера на передачу данных по автономному каналу. Информация из буферной памяти поступает в ЭВМ двумя 12-разрядными словами. Слова стробируются сигналами "Строб 1", "Строб 2", которые поступают на плату через дополнительный разъем из "Блока автономной передачи". Логическая схема считывания представлена на рис.4. При стробировании старших 12 разрядов сигнал "Строб 2" поступает на вход "CLOCK" триггера TгСч и устанавливает его в состояние Q . Высокий потенциал с Q выхода TгСч поступает на вход "Считывание" ($S0$) всех шести модулей FIFO 3341. В ответ на этот сигнал модули памяти с задержкой, определяемой работой микросхемы (90+500 нсек), сбрасывают сигнал "Выход готов" (OR), который в свою очередь сбрасывает триггер TгСч. Считывание информации по программному каналу происходит аналогично. Командой $\Phi 7$ программа опрашивает сигнал OR и затем командами $\Phi 3$, $\Phi 4$ стробирует код.

ЗАКЛЮЧЕНИЕ

Конструктивно буферная память разработана в блоке КАМАК двойной ширины^{3,4/}. Внешний объект подсоединяется к блоку через разъем РП I5-32, уровень сигналов - TTL, логической "1" соответствует низкий потенциал. Блок использует напряжения -12В и +5В, потребляя ток соответственно 50мА и 530 мА.

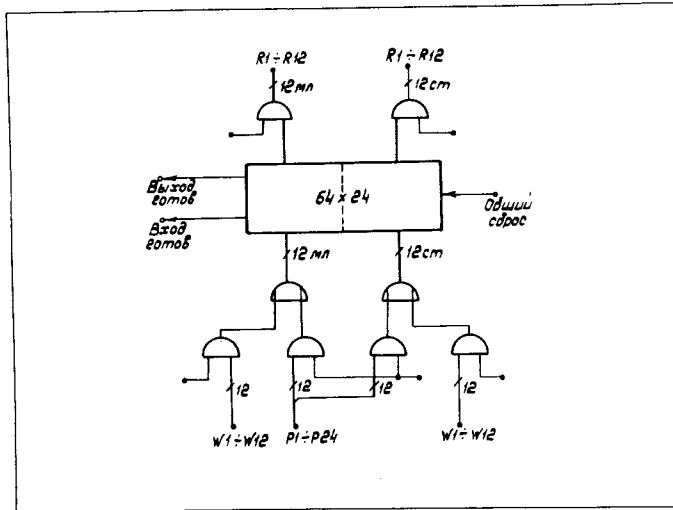


Рис.1. Общая структурная схема буферной памяти.

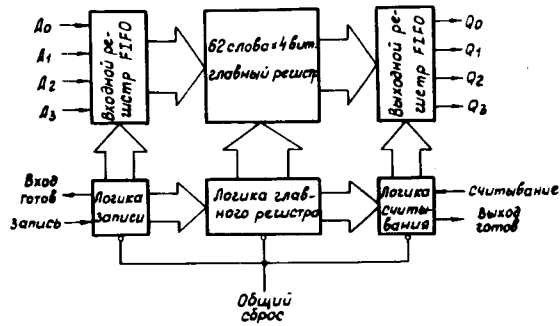


Рис.2. Блок-схема модуля FIFO 3341.

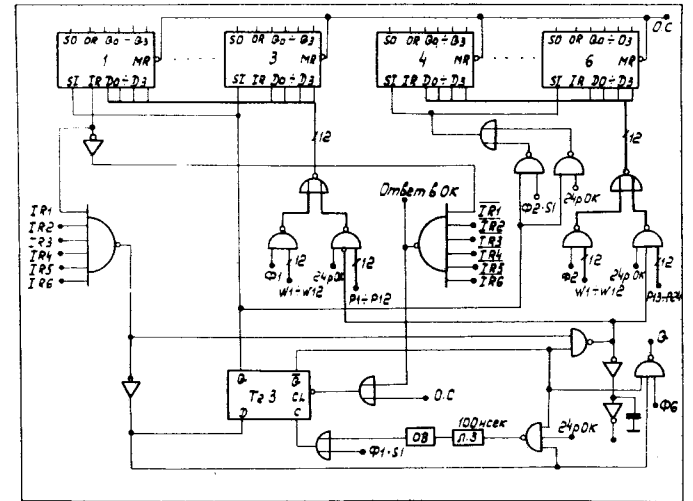


Рис.3. Логическая схема записи информации в буферную память.

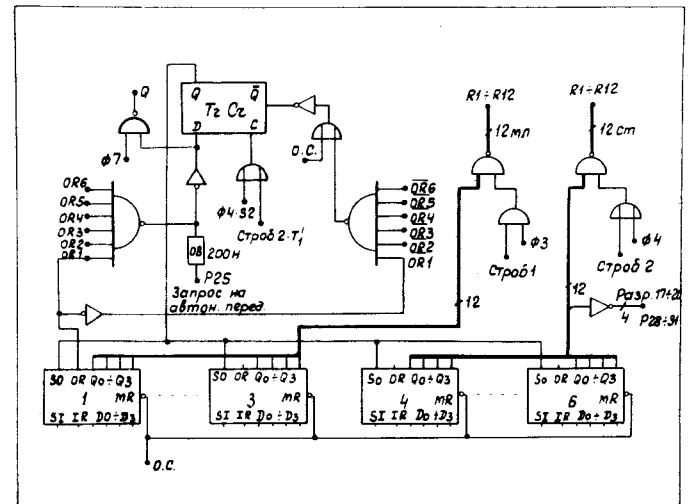


Рис.4. Логическая схема считывания информации из буферной памяти.

ЛИТЕРАТУРА

1. Ю.Г.Войтенко, В.Д.Инкин, Ю.А.Каржавин, В.М.Котов. Препринт ОИЯИ, РГО-5322, Дубна, 1970.
2. Fairchild Optimos catalogue, September 1972, USA.
3. Euratom Report, EUR 4600E, 1972.
4. И.Ф.Колпаков. Сообщение ОИЯИ, Ю-6119, Дубна, 1971.

Рукопись поступила в издательский отдел
2 июля 1976 года.