

СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА



9173

ЭКЗ. ЧИТ. ЗАЛА

10 - 9173

С.Г.Басиладзе

ТЕСТОВЫЙ БЛОК,  
ПРИНЦИПЫ ПРОВЕРКИ ЛОГИЧЕСКИХ СХЕМ

**1975**

10 - 9173

С.Г.Басиладзе

ТЕСТОВЫЙ БЛОК,  
ПРИНЦИПЫ ПРОВЕРКИ ЛОГИЧЕСКИХ СХЕМ

К настоящему времени в электронике физического эксперимента получила широкое распространение техника многоканальных проволочных детекторов (МПД). Экспериментальные установки содержат несколько тысяч каналов регистрации сигналов МПД и системы быстрого цифрового отбора требуемых событий, с числом входных переменных до нескольких сот. В обоих случаях ручная проверка правильности работы электроники слишком трудоемка и представляет собой практически неразрешимую задачу. Проверка может быть осуществлена лишь с помощью ЭВМ и набора необходимой тестовой аппаратуры. Кроме управляемых от ЭВМ блока задержки<sup>/1/</sup> и формирователя<sup>/2/</sup>, для этих целей необходим блок, генерирующий по программе наборы тестовых сигналов и считывающий результаты проверки в ЭВМ. Поскольку надежность такого блока должна быть гораздо выше, чем у проверяемой аппаратуры, он должен содержать существенно меньшее число элементов. Представляется целесообразным, поэтому, сократить число программно-управляемых выходных каналов тестового блока до минимума, определяемого числом входов блоков МПД<sup>/3,4/</sup>, а проверку электроники установки производить последовательно (поблочно). Такая проверка не потребует существенно большего времени, т.к. практически сам тест отдельного блока занимает время большее, чем подключение к нему тестовой аппаратуры и пуск программы.

В настоящей работе описывается такой тестовый блок, содержащий 32 выходных программно-управляемых канала и 16 входных каналов для чтения результатов проверки. Блок-схема его приведена на рис. 1.

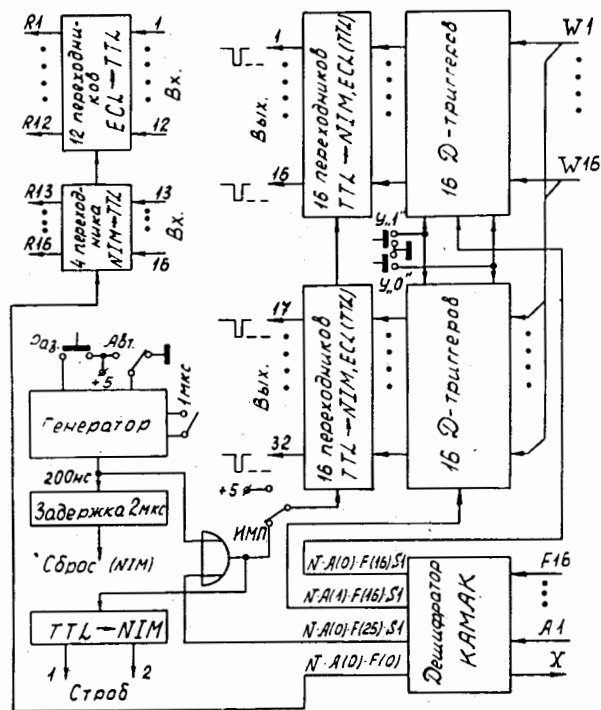


Рис. 1. Блок-схема тестового блока.

Он содержит два 16-разрядных регистра на  $D_1$ -триггерах, запись в которые осуществляется с шин  $W1-W16$  по командам  $N \cdot A(0) \cdot F(16)$  и  $N \cdot A(1) \cdot F(16)$  с магистрали КАМАК. Выдача сигналов на выходной разъем производится параллельно по команде  $N \cdot A(0) \cdot F(25)$  с помощью стробируемых переходников уровней  $TTL \rightarrow NIM$ ,  $ECL$ ,  $TTL$ . Сигналы выводятся в виде импульсов длиной 200 нс ( $S1$ ), с разностью положения передних фронтов во времени не более чем  $\pm 3$  нс. Одновременно выдаются два строб-сигнала для запуска и синхронизации аппаратуры. Выходные сигналы могут выводиться

в виде потенциалов (режим устанавливается тумблером "ИМП" + "+5В"), тогда по  $N \cdot A(0) \cdot F(25) \cdot S1$  выдаются лишь строб-импульсы. Чтение результатов проверки с выходов блоков электроники МПД, выведенных на переднюю панель, осуществляется с помощью стробируемых командой  $N \cdot A(0) \cdot F(0)$  переходников уровней  $ECL-TTL$  (12 каналов - шины  $R1 \div R12$ ) и  $NIM-TTL$  (4 канала - шины  $R13 \div R16$ ).

Блок может использоваться также в автономном режиме - с ручным управлением с передней панели. В нем имеется внутренний генератор, который работает в режиме автоколебаний, внешнего или разового пуска. Длительность импульсов равна 200 нс, либо 1 мкс - для удобства наблюдения на экране осциллографа. Сброс состояний регистров проверяемого блока производится импульсом, задержанным относительно строб-сигналов на 2 мкс. На передней панели расположены также две вспомогательные кнопки ручного заноса "нулей" или "единиц" в оба регистра.

Блок построен на  $TTL$ -микросхемах. При разработке схемы представляло определенную трудность создание универсального выходного каскада, который позволял бы переводить  $TTL$ -сигналы в любые из  $NIM$ ,  $ECL$ , либо  $TTL$ -уровней. Схема такого универсального переходника показана на рис. 2. Справа приведены варианты входов, на которые в состоянии работать переходник уровней. В случае работы на  $TTL$ -схему внутри кабельной части многоконтактного выходного разъема блока к каждому выходу подключаются резисторы 820 Ом, на которые из тестового блока через специальную ножку на разъеме подается положительное напряжение, величина его зависит от входного сопротивления канала проверяемого блока. Для входного сопротивления от 4 кОм (непосредственный вход  $TTL$ -схемы) до 120 Ом (блоки, принимающие сигналы с телефонного кабеля<sup>4/</sup>) величина напряжения изменяется соответственно от +24 В до +11 В. Такая организация выходного каскада позволяет предельно упростить схему, использовать только один многоконтактный разъем для выходов тестового блока и избежать переключателя на 32 направления.

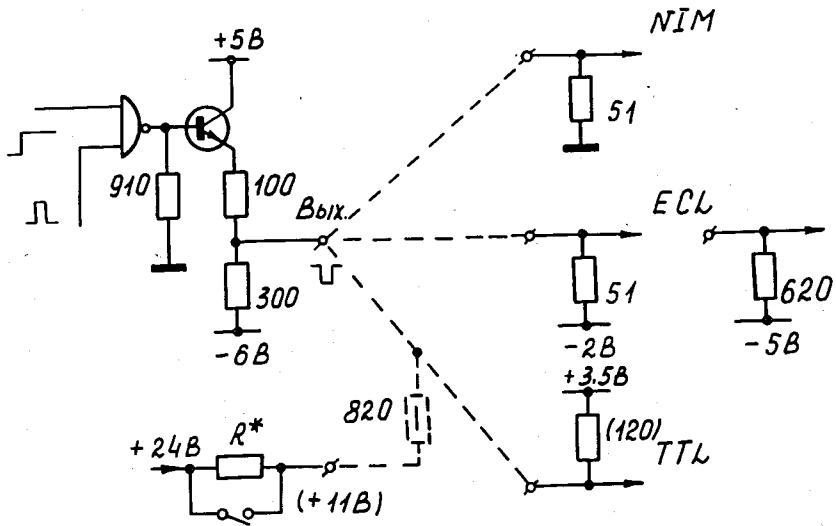


Рис. 2. Схема универсального переходника уровней TTL → NIM, ECL, TTL.

Рассмотрим теперь, как найти последовательность операций для проверки многоканальных логических блоков.

Принципы проверки. Наиболее простой метод проверки логической схемы есть способ полного перебора всех комбинаций входных переменных, число этих комбинаций  $- 2^n$ , при достаточно большом числе входов  $- n$ , весьма значительно, поэтому полный перебор занимает большое время даже у ЭВМ. Интересно поэтому найти способы, позволяющие выбирать минимальный, либо достаточно малый набор тестовых комбинаций. Очевидным средством сокращения числа тестовых операций является исключение комбинаций входных переменных, для которых выходная функция логической схемы не определена (клетки "x" на карте Вейтча <sup>/5/</sup>).

Следующим этапом сокращения числа тестовых операций является проверка правильности работы схемы только для тех нулевых и единичных клеток на карте Вейтча, которые лежат на границе раздела между зонами "нулей" и "единиц" - (рис. 3а). Действительно, если какая-либо клетка, например, ABCD на рис. 3а, окружена равнозначными ей, то при изменении значения одной из входных переменных на противоположное (сдвиг на соседнюю клетку - по вертикали или горизонтали для функции четырех переменных и ниже) значение выходного сигнала не изменяется, следовательно, и проверять этот вход логической схемы, для данного сочетания сигналов, нет необходимости. При числе входных переменных, большем четырех, границы зон на карте Вейтча оказываются разорванными (см. рис. 3б), поэтому, как показано в Приложении, удобней пользоваться объемным представлением набора состояний логической схемы, отражающим все связи данной клетки с соседними.

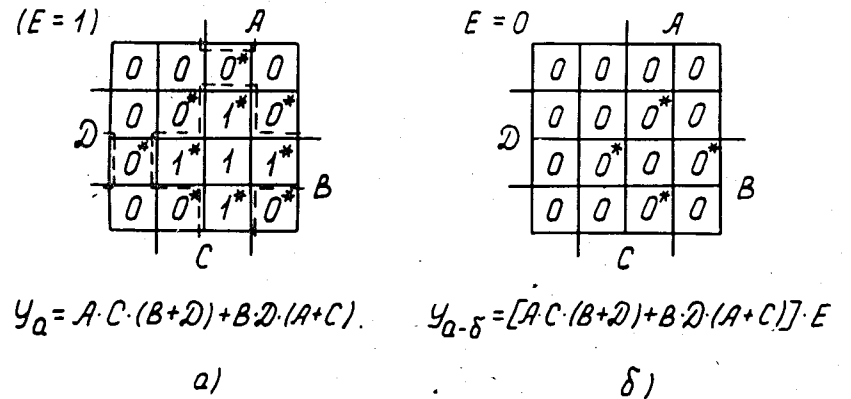


Рис. 3. Карта Вейтча функции четырех (а) и пяти (а-б) переменных. Пунктиром выделена граница зон "нулей" и "единиц", звездочками помечены проверяемые клетки.

Легко понять, что проверка граничных "нулей" и "единиц" также избыточна, поскольку она никак не привязана к конкретному сочетанию логических элементов, которое избрано для реализации схемы, т.е. охватывает проверку всех возможных конкретных вариантов построения данной логической схемы. Поясним это на примере. Предположим, что таблица состояний логической схемы задана в конъюнктивной нормальной форме картой Вейтча, изображенной на рис. 4. Если начальное приведение<sup>/6/</sup> произведено так, как показано на рис. 4, то достаточно проверить всего по одной "1", отражающей срабатывание логического элемента, представляющего объединение "единиц". В самом деле, объединение "единиц" в группу означает отсутствие в ней одной или нескольких входных переменных, проверить срабатывание от которых в соответствующем логическом элементе поэтому нет необходимости. Прилежащие же к любой из выбранных единиц "нули" всегда обеспечивают полный набор комбинаций, в которых значение одной из переменных обратно имеющемуся в выбранной комбинации. Очевидно, что необходимо выбирать клетки, не лежащие на пересечении колец, объединяющих

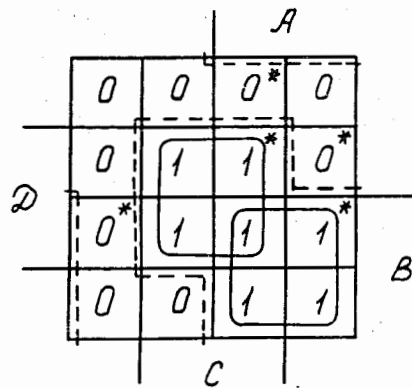


Рис. 4. Карта Вейтча функции  $Y = A \cdot B + C \cdot D$ .

группы (на рис. 3 - ABCD), во избежание неоднозначности проверки. Кроме того, целесообразней выбирать "единичные" клетки, лежащие рядом по диагонали карты Вейтча (на рис. 3 помечены звездочкой), поскольку они имеют общие соседние "нулевые" клетки. Неоднозначности при проверке общих нулевых клеток быть не может, что является следствием записи данных в конъюнктивной нормальной форме.

Данный способ, существенно сокращая число тестовых комбинаций, не обеспечивает еще их минимума, поскольку никак не отражает последующее за начальным приведением преобразование логического выражения в минимальную форму<sup>/6/</sup>. Рассмотрим для этого аналитический метод нахождения тестовых комбинаций по логическому уравнению.

Введем оператор  $\tau$ , действие которого определяется двумя исходными уравнениями. Для элемента логического повторения

$$\tau A = \bar{A}0 \sim A1, \quad (1a)$$

что означает: проверка элемента A заключается в подаче на его вход логического "нуля" ( $\bar{A}$ ) и получении логического "нуля" на выходе (0), а затем ( $\sim$ ) в подаче на его вход логической "единицы" и получении логической "единицы" на выходе (A1). Для элемента логической инверсии имеем соответственно

$$\tau \bar{A} = \bar{A}1 \sim A0 = \bar{\tau} A. \quad (1b)$$

Вторая исходная операция также очевидна:

$$\tau A \cdot B = A \tau B \sim B \tau A = A(\bar{B}0 \sim B1) \sim B(\bar{A}0 \sim A1) = \bar{A}\bar{B}0 \sim \bar{A}B0 \sim AB1. \quad (2)$$

Уравнения (1) и (2) позволяют находить аналитическое выражение для теста любой логической схемы. Например, для схемы ИЛИ получим:

$$\tau(A+B) = \tau(\bar{A}\bar{B}) = \bar{\tau}(\bar{A}\bar{B}) = \bar{A}\bar{\tau}B \sim \bar{B}\tau A = \bar{A}B1 \sim \bar{A}\bar{B}0. \quad (3)$$

Покажем на примере функции, заданной картой Вейтча на рис. 5, что аналитический метод, отражающий минимальную форму логического выражения, обеспечивает меньшее число тестовых операций. По карте Вейтча получаем следующую форму начального приведения:

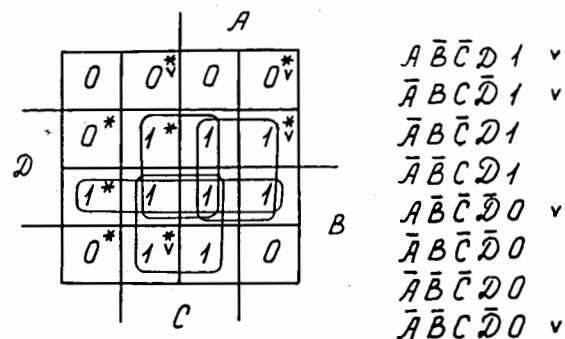


Рис. 5. Карта Вейтча функции 4 переменных и набор тестовых комбинаций для этой функции.

$$Y = A \cdot C + A \cdot D + B \cdot C + B \cdot D, \quad (4)$$

список тестовых комбинаций приведен для нее на рис. 5. Окончательная минимизация дает для Y формулу:

$$Y = (A + B) \cdot (C + D), \quad (5)$$

откуда

$$\begin{aligned} \tau Y &= (C+D) \tau(A+B) \sim (A+B) \tau(C+D) = \\ &= \cancel{(C+D) \bar{A} \bar{B} 1} \sim \cancel{(C+D) \bar{A} B 1} \sim (C+D) \bar{A} \bar{B} 0 \sim \\ &\sim (A+B) \bar{C} \bar{D} 1 \sim (A+B) \bar{C} D 1 \sim (A+B) \bar{C} \bar{D} 0 = \\ &= \bar{A} \bar{B} \bar{C} \bar{D} 0 \sim \bar{A} \bar{B} C \bar{D} 1 \sim \bar{A} B \bar{C} D 1 \sim \bar{A} B \bar{C} \bar{D} 0. \end{aligned} \quad (6)$$

Как видим, для минимальной формы необходимы только четыре тестовых комбинации (отмечены на рис. 5) из восьми.

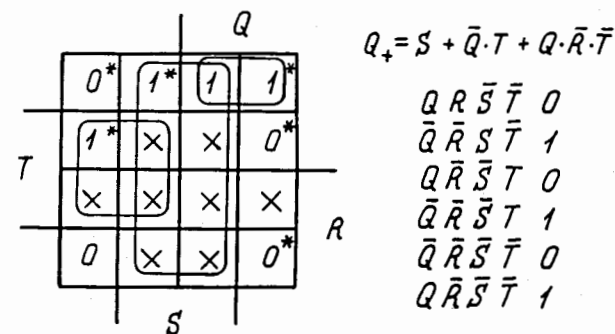


Рис. 6. Логическое уравнение, карта Вейтча и набор тестовых комбинаций RST -триггера.

Приведенные выше правила применимы и к последовательно-временным логическим схемам. Для иллюстрации на рис. 6 приведены логическое уравнение и карта Вейтча RST -триггера, а также набор соответствующих тестовых комбинаций.

Рассмотренные выше приемы нахождения тестовых комбинаций применимы для использования "вручную" при числе входов логических блоков до 5-6. Для тестов логических блоков с большим числом входов они могут послужить исходными алгоритмами для составления машинных программ.

### Приложение

В общем случае набор состояний логической схемы (например, в конъюнктивной нормальной форме) можно отразить в n-мерном пространстве, по каждой из осей которого имеются две градации "0" и "1" для соответствующей входной переменной. Это положение иллюстрируется для элемента "И" двух и трех переменных на рис. 7а,б; справа показаны соответствующие карты Вейт-

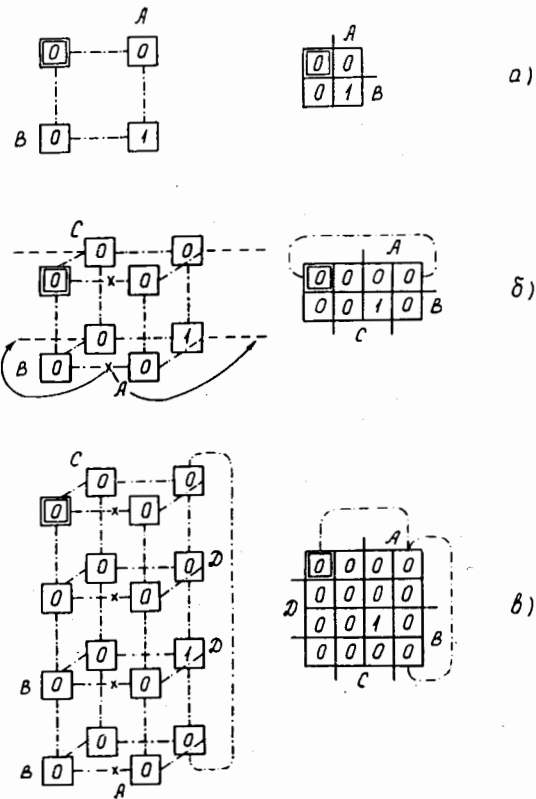


Рис. 7. Развертки в трехмерном пространстве и в плоскости набора состояний функции "И" двух, трех и четырех переменных. Штрих-пунктиром показаны разрываемые связи между группами соседних клеток.

ча. Видно, что в случае трех переменных карта является разверткой куба в плоскости (крестиками слева обозначены разрываемые связи между соседними клетками). Набор состояний четырехходового элемента "И" представляется четырехмерной фигурой, которую можно последовательно развернуть в трехмерном пространстве и далее в плоскости (рис. 7в).

Развертка в плоскости является, несомненно, более удобной, однако при числе переменных, большем четырех, ее невозможно осуществить таким образом, чтобы к каждой клетке примыкали все соседние с ней в многомерном пространстве. Например, для функции 5 переменных (рис. 8) часть соседних "единиц" может быть на одной половине карты, а часть на другой. Вследствие этого объединение "единиц" в группы уже теряет свою наглядность и процесс приведения приобретает случайный характер. В то же время развертка в трехмерном пространстве (рис. 8 - слева) сохраняет все связи между соседними клетками (поскольку возможны 6 направлений).

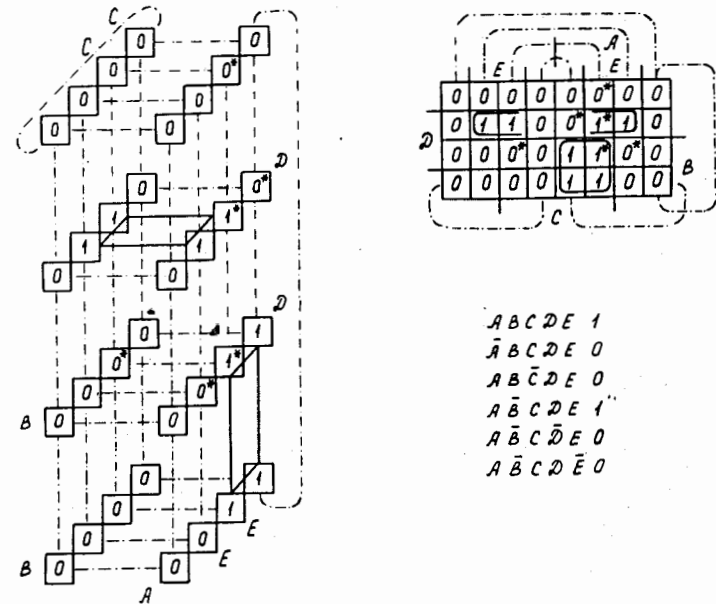


Рис. 8. Карта Вейтча, трехмерная развертка и набор тестовых комбинаций функции  $Y = A \cdot B \cdot C + \bar{B} \cdot D \cdot E$ .



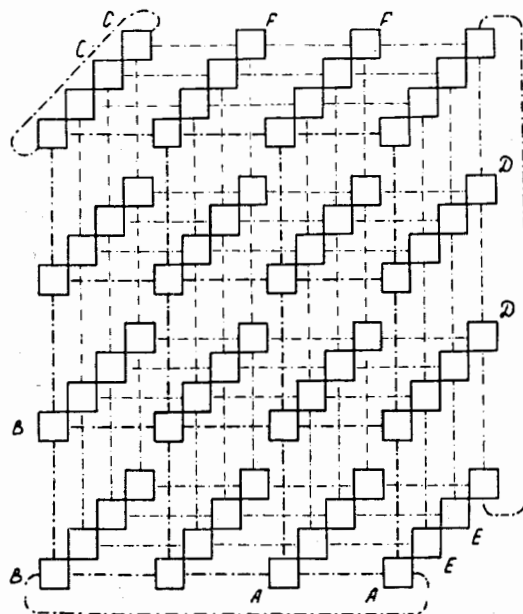


Рис. 9. Трехмерная развертка для функции шести переменных.

Представляется целесообразным, поэтому, для начального приведения функций 5 и 6 переменных пользоваться трехмерной разверткой, изображенной в виде параллелепипеда в изометрической проекции, как показано на рис. 8 и 9.

#### Л и т е р а т у р а

1. С.Г.Басиладзе, В.Тлачала. ПТЭ, №6, 1974, 83.
2. С.Г.Басиладзе, В.Тлачала. Препринт ОИЯИ, 13-8336, Дубна, 1974.
3. С.Г.Басиладзе, В.Я.Гвоздев, З.Гузик, И.Ф.Колпаков. Сообщение ОИЯИ, 13-7613, Дубна, 1973.

4. В.Г.Аблеев и др. Препринт ОИЯИ 13-8829, Дубна, 1975.
5. Veitch E.W., Proc. Assoc. Computing Machinery, May 1952, 127-133.
6. Р.Б.Харли. Логические схемы на транзисторах, Мир, М., 1965.

Рукопись поступила в издательский отдел  
17 сентября 1975 года.