

3960/1-75

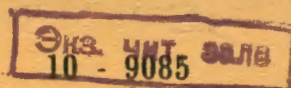
СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



9085

С 344.3 в

Г-79



В.М.Гребенюк, А.Г.Петров, А.Н.Синаев

3960/1-75

КОММУТАТОР И УПРАВЛЯЕМАЯ ЗАДЕРЖКА
НАНОСЕКУНДНЫХ ЛОГИЧЕСКИХ ИМПУЛЬСОВ
В СТАНДАРТЕ КАМАК

1975

10 - 9085

В.М.Гребенюк, А.Г.Петров, А.Н.Синаев

КОММУТАТОР И УПРАВЛЯЕМАЯ ЗАДЕРЖКА
НАНОСЕКУНДНЫХ ЛОГИЧЕСКИХ ИМПУЛЬСОВ
В СТАНДАРТЕ КАМАК

Объединенный институт
ядерных исследований
Библиотека

Описываемые в настоящей статье коммутатор и управляемая задержка наносекундных логических импульсов /1/ разработаны для использования в автоматических системах калибровки и контроля работы электронной аппаратуры, используемой в физических экспериментах /2/.

В обоих блоках предусмотрено управление от ЭВМ, от внешних сигналов и ручное. Состояние блока индицируется лампочками.

Предусмотрен режим каскадирования нескольких блоков.

Коммутатор логических импульсов КЛ 001

Блок предназначен для подключения к выходному каналу одного из 16 входных каналов. Блок-схема и передняя панель коммутатора приведены на *рис. 1*. Подключение к выходному каналу осуществляется с помощью регистра и дешифратора подключаемого канала. Любое состояние регистра может быть установлено командой от ЭВМ. Последовательное сканирование подключаемых каналов производится при подаче импульсов на вход "+1", при нажатии клавиши "+1" или с помощью функции $F(25)$.

Принципиальная схема переключателя каналов приведена на *рис. 2*. Ее разработка велась с учетом требования минимальной задержки прохождения сигнала при сохранении его длительности. В зависимости от состояния дешифратора будет открыт один из 16 ключей, которые выполнены на интегральных схемах серии 138. Через открытый ключ сигнал с соответствующего входного канала проходит на выход.

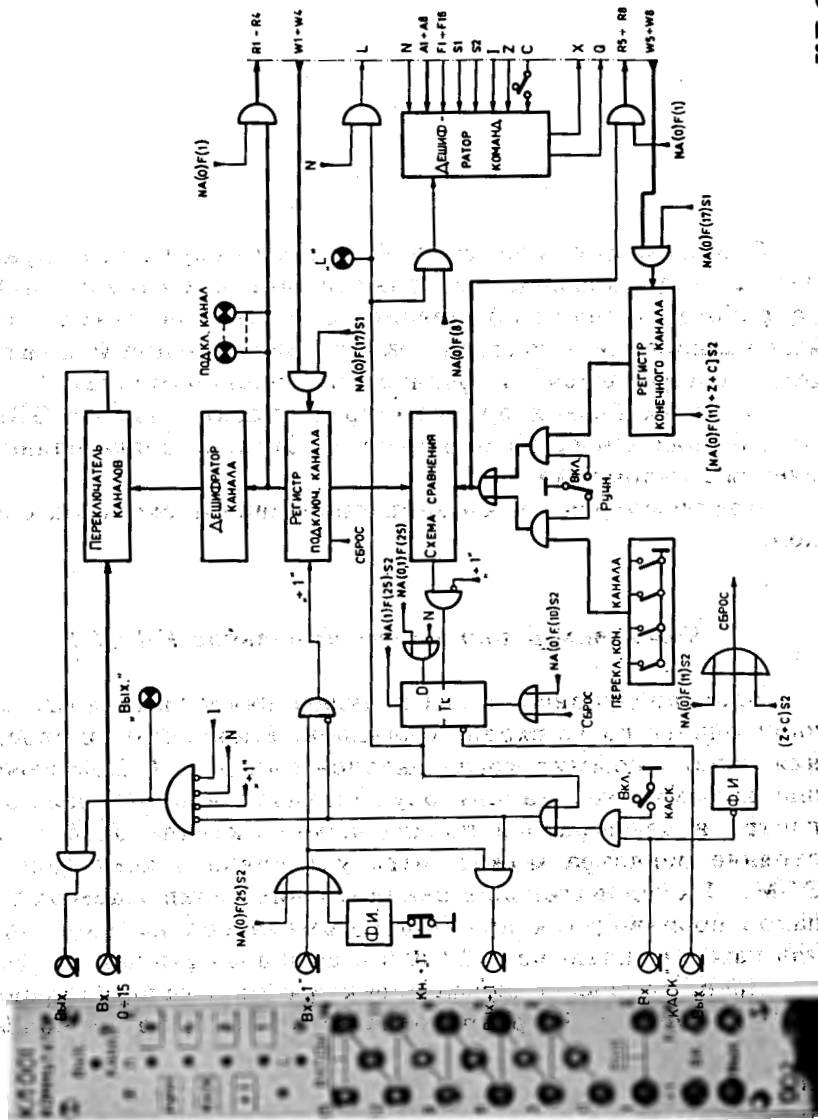


Рис. 1. Блок-схема и передняя панель коммутатора логических импульсов КЛ 001.

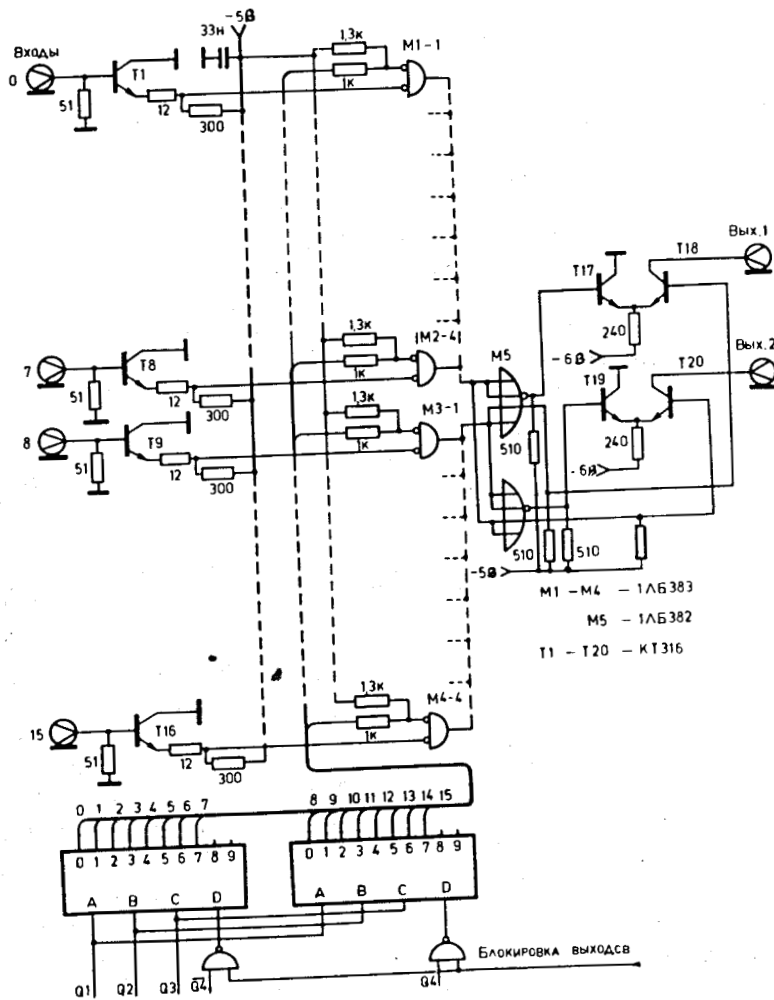


Рис. 2. Принципиальная схема быстрой части коммутатора логических импульсов КЛ 001.

При последовательном сканировании наибольший номер подключаемого канала n определяется установкой в состоянии $n+1$ регистра или переключателя конечного канала /см. рис. 1/. Состояние регистра конечного канала устанавливается командой от ЭВМ, а переключателя - вручную.

В первом случае клавиша "Ручн". должна быть выключена, во втором - включена. Если необходимо сканировать все 16 каналов, то регистр или переключатель конечного канала устанавливается в "0". При совпадении номеров подключаемого и конечного каналов триггер T_L после окончания сигнала "+1" переходит в состояние "1", при этом образуется сигнал L , который закрывает выход коммутатора. Во избежание ложного появления сигнала L при установке от ЭВМ одного из регистров предусмотрена блокировка перехода триггера T_L в состояние "1" при обращении к блоку с магистрали и отсутствии функции $F(25)$.

Последовательное сканирование может проводиться как в разовом, так и в циклическом /многократном/ режимах. Выше был описан разовый режим. Для перехода к циклическому режиму необходимо соединить выход и вход "Каск". /каскадирование/. Тогда после перехода триггера T_L в состояние "1" на входе "Каск." появится положительный потенциал, фронтом которого формируется импульс сброса регистра подключаемого канала и триггера T_L , после чего цикл сканирования повторяется.

Сканирование может проводиться последовательно в нескольких блоках как в разовом, так и в циклическом режимах. Для осуществления режима разового сканирования следует соединить выходы "+1" и "Каск" предыдущего блока с соответствующими входами последующего и включить клавиши "Каск" во всех блоках. Соответствующая схема приведена на рис. 3. В начальном состоянии выходы всех коммутаторов, кроме первого, находятся в закрытом состоянии, благодаря наличию запирающих потенциалов на входе "Каск". При появлении во время работы сигнала L в первом коммутаторе его выход закрывается, а во втором - открывается и т.д. При открывании выхода в соответствующем коммутаторе производится сброс реги-

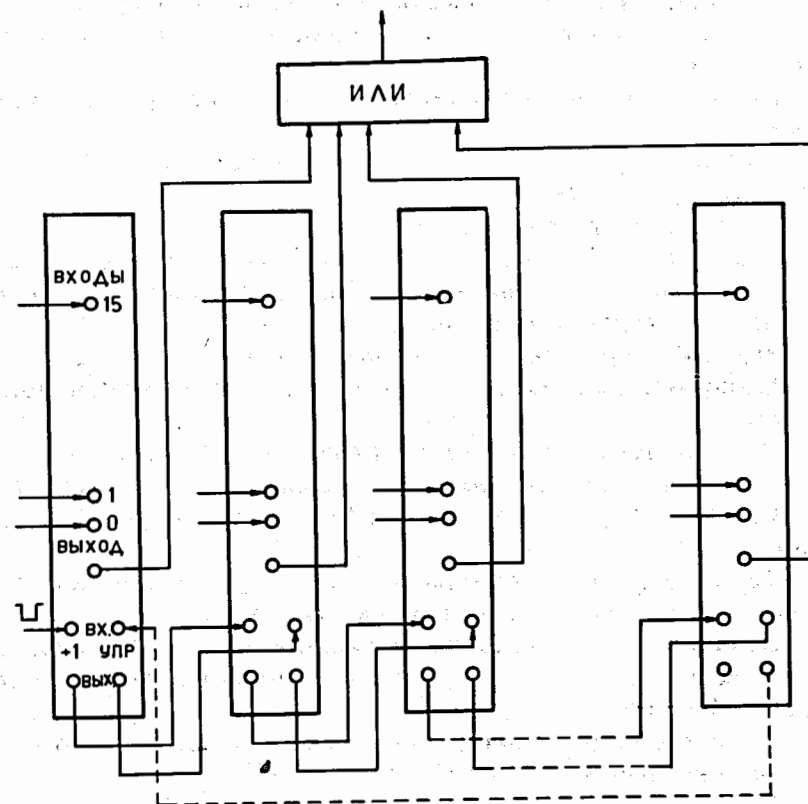


Рис. 3. Блок-схема каскадирования коммутаторов.

стра подключаемого канала и триггера T_L . Выходы всех коммутаторов подсоединяются к смесителю.

Для осуществления режима циклического сканирования следует дополнительно соединить выход "Каск" последнего блока с входом "Каск" первого. На рис. 3 дополнительное соединение изображено пунктиром. Адрес начала сканирования задается путем выключения клавиши "Каск" в первом блоке. Сигналы +1 подаются на этот блок.

В блоке имеется индикация номера подключенного канала, наличия сигнала L и нахождения выхода в открытом состоянии.

Коммутатор имеет следующие основные характеристики:

Входные и выходные уровни сигналов соответствуют стандарту НИМ.

Входное сопротивление - 50 Ом.

Длительность сигналов во входных каналах ≥ 5 нс.

Длительность сигнала в выходном канале равна длительности входного сигнала.

Задержка прохождения сигнала - 8 нс.

Максимальная частота повторения входных сигналов - 90 МГц.

Длительность сигналов на входе "+1" ≥ 10 нс.

Длительность сигналов на выходе "+1" - 50 нс.

Сигналы L, I, N, "+1" и "Вх.каска" закрывают выход блока.

Сигналы Z и C сбрасывают регистры и триггер T_L ; действие сигнала C может быть отключено.

Запись в регистр подключаемого канала производится по шинам W1 ÷ W4, а в регистр конечного канала - по шинам W5 ÷ W8.

Чтение содержимого регистров производится соответственно по шинам R1 ÷ R4 и R5 ÷ R8.

Блок может выполнять следующие команды с магистралами:

NA(0) F(1) - чтение содержимого регистров	Q = 1
NA(3) F(8) - проверка наличия сигнала L	Q = L
NA(0) F(10) - сброс триггера T_L	Q = 0
NA(0) F(11) - сброс регистров и триггера T_L	Q = 0
NA(0) F(17) - запись в регистры	Q = 1
NA(0) F(25) - +1 в регистр подключаемого канала	Q = 0
NA(1) F(25) - установка T_L в состояние "1"	Q = 0

При выполнении перечисленных команд и наличии напряжения питания - 6 В подается сигнал X = 1.

Потребляемый ток составляет 0,48 А по цепи +6 В и 0,56 А по цепи -6 В.

Ширина блока равна 34,4 мм.

Управляемая задержка логических импульсов КЛ 002

Блок предназначен для задержки наносекундных логических сигналов в диапазоне 0 ÷ 63 нс с шагом 0,5 нс. Задержка осуществляется путем переключения длины кабеля типа РК50-1, находящегося в цепи прохождения сигнала. Блок-схема и передняя панель управляемой задержки приведены на рис. 4. Переключение длины кабеля осуществляется с помощью 7-разрядного регистра, дешифратора и ключей на интегральных схемах серии 138. Любое состояние регистра может быть установлено командой от ЭВМ. Последовательное увеличение величины задержки производится при подаче импульсов на вход "+1", при нажатии клавиши +1 или с помощью функции F(25).

Принципиальная схема переключателя задержки показана на рис. 5. Выбрана параллельная схема соединения ключей, которая по сравнению с последовательной обладает меньшей величиной начальной задержки^{3,4/}. Применение потенциального метода управления ключами обеспечивает лучшую температурную стабильность и идентичность характеристик путей прохождения сигналов по сравнению с токовым методом^{4/}.

В схеме используется восемь отрезков кабеля с задержкой 1 нс и восемь отрезков с задержкой 8 нс. С выхода каждого кабеля первой группы сигналы подаются на ключи, управляемые выходами дешифратора, связанными с 2 ÷ 4 разрядами регистра. С выхода каждого кабеля второй группы сигналы подаются на ключи, управляемые выходами дешифратора, связанного с 5 ÷ 7 разрядами регистра. Минимальный шаг задержки 0,5 нс обеспечивается путем смещения уровней задержанного сигнала в зависимости от состояния выходов дешифратора, связанных с первым разрядом регистра.

При последовательном увеличении величины задержки блок может работать в разовом или циклическом режимах. В первом режиме после перехода всех разрядов в состояние "1", что соответствует максимальной величине задержки, работа блока прекращается благодаря закрытию входа регистра, и следующий импульс +1 переведет триггер T_L в состояние "1" /если клавиша "Каска" вы-

КЛ002
 ШР.3
 N L
 КАСК
 +1
 СБР
 32 H
 16 C
 9 C
 4 E
 2 E
 35 K
 ВХОД
 Вых
 Вых
 Вых +1
 Вых +1
 Вых +1
 Вых +1
 СБРОС
 СБРОС
 СБРОС

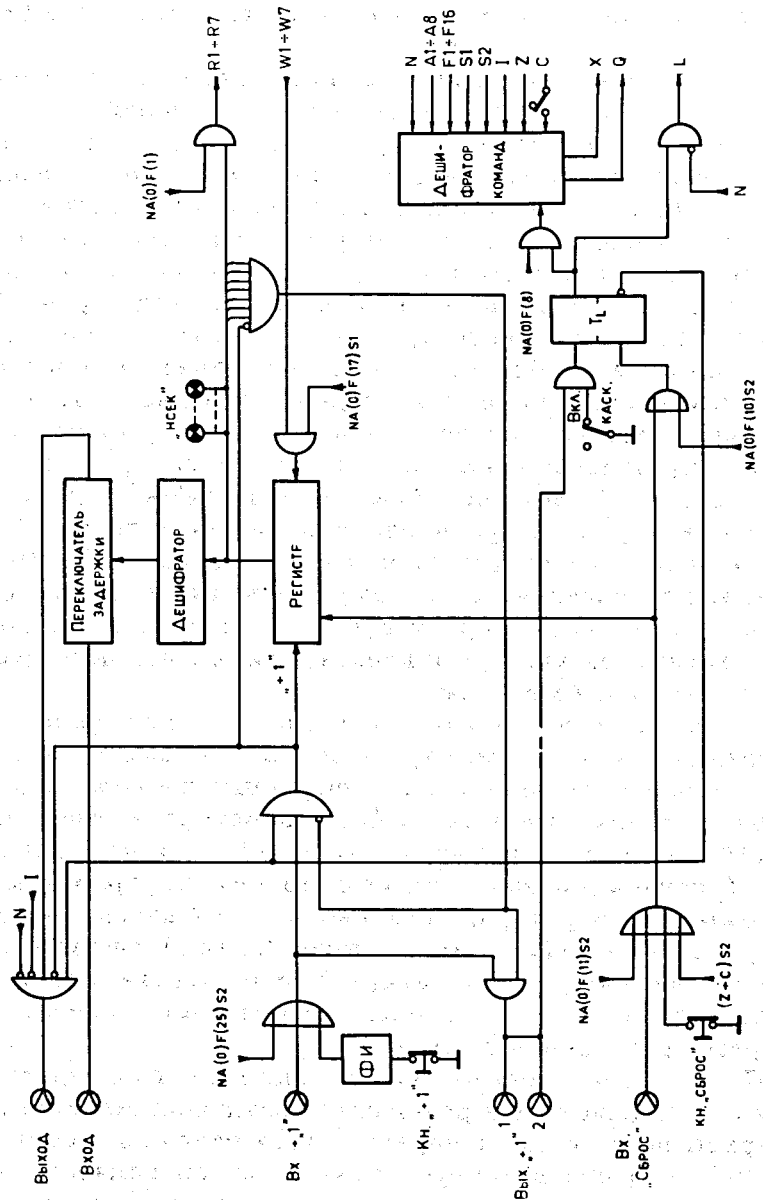


Рис. 4. Блок-схема управляемой задержки логических импульсов КЛ 002.

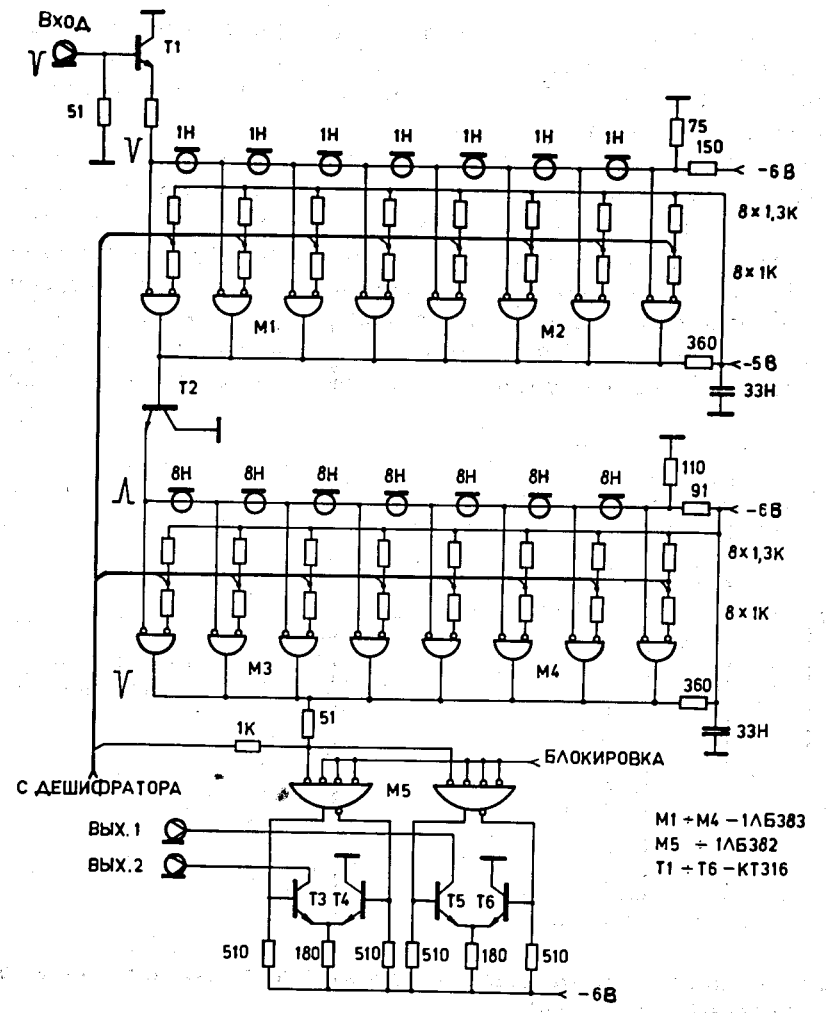


Рис. 5. Принципиальная схема быстрой части управляемой задержки.

ключена/. Возникающий при этом сигнал L блокирует вход регистра и выход блока /см. рис. 4/.

Для перехода к циклическому режиму нужно соединить выход "+1" и "Сброс". Тогда первый импульс на входе

“+1”, приходящий после перехода всех разрядов регистра в состояние “1”, пройдет на выход “+1” и сбросит в “0” регистр и триггер T_L , после чего установится минимальная задержка, и цикл повторяется.

Последовательное увеличение величины задержки можно осуществлять в нескольких блоках как в разовом, так и в циклическом режимах. Для задания разового режима следует соединить выходы задержанного сигнала и “+1” предыдущего блока с соответствующими входами последующего и включить клавишу “Каск” во всех блоках, кроме последнего. Соответствующая схема приведена на рис. 6. Тогда сигнал L может появляться только

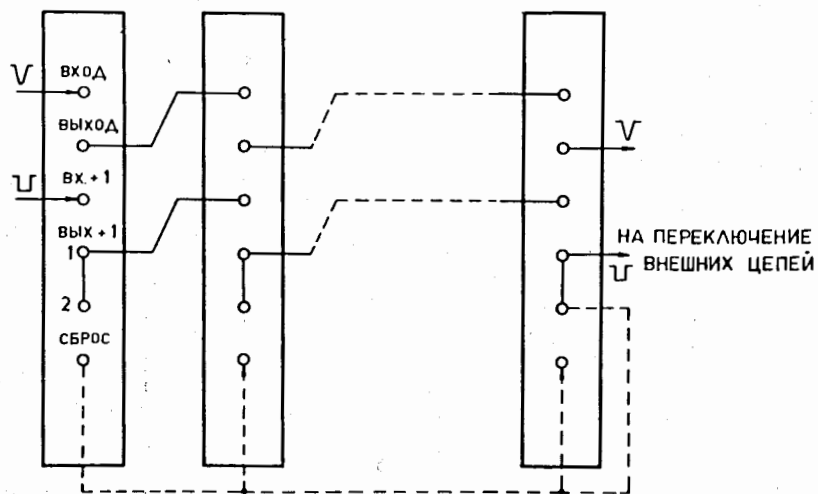


Рис. 6. Блок-схема каскадирования нескольких блоков управляемой задержки.

в последнем блоке. Для перехода к циклическому режиму нужно дополнительно соединить выход “+1” последнего блока с входами “Сброс” всех блоков /через разветвитель/. Такое соединение на рис. 6 показано пунктиром.

В блоке имеется индикация установленной величины задержки, наличия сигнала L и обращения к блоку от магистрали.

Блок имеет следующие основные характеристики: Входные и выходные уровни сигналов соответствуют стандарту НИМ

Входное сопротивление 50 Ом
 Длительность входного сигнала ≥ 5 нс
 Длительность выходного сигнала равна длительности входного
 Диапазон изменения задержки 0-63 нс
 Шаг изменения задержки 0,5 нс
 Собственная задержка блока 14 нс
 Температурный коэффициент задержки 20 нс/°C
 Максимальная частота следования входных сигналов 80 МГц

Длительность сигналов на входах “+1” и “Сброс” ≥ 10 нс
 Длительность сигналов на выходе “+1” ≥ 50 нс
 Сигналы L, I, N и “+1” закрывают выход блока

Сигналы Z, C и “Сброс” сбрасывают регистр и триггер T_L , действие сигнала C может быть отключено.

Запись в регистр производится по шинам W1÷W7, а чтение с него - по шинам R1÷R7.

Блок может выполнять следующие команды с магистрали:

NA(0) F(1) - чтение содержимого регистра	Q = 1
NA(0) F(8) - проверка наличия сигнала L	Q = L
NA(0) F(10) - сброс триггера T_L	Q = 0
NA(0) F(11) - сброс регистра и триггера T_L	Q = 0
NA(0) F(17) - запись в регистр	Q = 1
NA(0) F(25) - добавление +1 в регистр	Q = 0

При выполнении перечисленных команд и наличии напряжения питания -6 В подается сигнал X = 1.

Потребляемый ток составляет 0,33 А по цепи +6 В и 0,40 А по цепи -6 В.

Ширина блока равна 17,2 мм.

В заключение авторы благодарят В.Г.Зинова за ценные советы.

Литература

1. Н.И. Журавлев, Ли Зу Эк, Нгуен Мань Шат, А. Г. Петров, А.Н. Синаев, А.А. Стахин, И.Н. Чурин. ОИЯИ, 10-8754, Дубна, 1975.
2. А.Г. Петров, В.К. Сарычева, А.Н. Синаев. ОИЯИ, 13-8581, Дубна, 1975.
3. Ю.М. Валуев, В.М. Гребенюк, В.Г. Зинов. ОИЯИ, 13-8824, Дубна, 1975.
4. F. Požar. Nucl. Instr. and Meth. 91, №1, 253 (1971).

Рукопись поступила в издательский отдел
22 июля 1975 года.