

сообщения
объединенного
института
ядерных
исследований
Дубна

10-84-845

В. Н. Садовников

МОДУЛЬ АДРЕСНОГО УПРАВЛЕНИЯ
МИКРОПРОГРАММНОГО КОНТРОЛЛЕРА
КАНАЛА ЕС ЭВМ

1984

Модуль адресного управления /МАУ/ является усовершенствованной модификацией модуля адресации памяти /МАП/ микропрограммного контроллера /микроконтроллера/ канала ЕС ЭВМ^{1/}.

Модуль МАП имеет 20-битную сетку прямой адресации, что обеспечивает работу микроконтроллера с оперативной памятью ЭВМ ЕС-1040 емкостью до 1 Мбайт и позволяет использовать только нижнюю четверть адресов оперативной памяти ЭВМ ЕС-1055М, имеющей емкость 4 Мбайт.

Модуль МАУ имеет расширенную 24-битную сетку прямой адресации, что обеспечивает работу микроконтроллера с оперативной памятью ЕС ЭВМ емкостью до 16 Мбайт и тем самым позволяет в полном объеме использовать память ЭВМ ЕС-1055М на линии с физическими установками. Дополнительно в этом модуле реализован набор новых модификаций микрокоманд, позволяющий более полно и оперативно проводить контроль и диагностику аппаратуры МАУ.

1. ОБЩИЙ ПРИНЦИП ОРГАНИЗАЦИИ МАУ

Описываемый модуль МАУ расширяет возможности канальной программы для организации ее работы с оперативной памятью канала без использования вычислительных ресурсов центрального процессора и позволяет использовать селекторный канал ЕС ЭВМ в мультиплексном режиме при работе на линии с экспериментальной аппаратурой и с терминальными устройствами /дисплеями, печатями/, входящими в состав физического оборудования, посредством организации заданного количества подканалов.

Модуль МАУ по указанию канальной программы выполняет следующие функции /табл.1/:

- заносит с шин МШО-3 на 7-битный регистр функций адресации код операций или микроопераций для выполнения команд либо микрокоманд адресного управления;
- устанавливает байты операндов с шин МШО-3 на указанные программой 24-битные задающие регистры адресов или 24-битный регистр адреса памяти, либо на 4-битный регистр режима адресации;
- считывает байты операндов на шины МШО-4 с исполнительного регистра адреса с последующей записью его содержимого по заданному адресу в память;
- выдает байты операндов на шины МШО-4 с задающих регистров адресов или с регистра адреса памяти, либо с регистра режима адресации для сравнения по модулю 2 с байтами эталонов в модуле основного управления микроконтроллера^{1,2,3/}

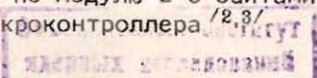


Таблица 1

Спецификация магистралей КАМАКа модуля адресного управления

МЕСТНЫЕ ШИНЫ ОБМЕНА - ЗАПИСИ /МШО-3/			
МШО-3(7)	1R1	R21	МШО-3(6)
МШО-3(5)	1R3	R41	МШО-3(4)
МШО-3(3)	1R5	R61	МШО-3(2)
МШО-3(1)	1R7	R81	МШО-3(0)
МЕСТНЫЕ ШИНЫ УПРАВЛЕНИЯ - ЗАПИСИ /МШУ-3/			
	1	R10	УСТАН. ОСНОВНЫХ КОМ-Д./УОК/
УСТАН. МИКРОКОМАНД./УМК/	1R11	R12	ПРИЁМ ОСНОВНЫХ КОМ-Д./ПОК/
ПРИЁМ МИКРОКОМАНД./ПМК/	1R13	R14	АНАЛИЗ МИКРОКОМАНД./АМК/
НОЛЬ СЧЕТЧИКА НА ТРИ/НЧ3/	1R15	W16	ГРУППОВАЯ ЗАП. ДАННЫХ/ГЗД/
ГРУППОВЫЕ ЗАПИСЬ-ЧТЕНИЕ/ГЗП/	1W19	W22	РАЗРЕШЕНИЕ ОБМЕНА/РОБМ/
СБРОС /СБР/	1C	Q1	СБР. УПРАВ. СИГН. /СУС/
СТРОБ ОДИН	1S1	S2	СТРОБ ДВА
СЧЕТЧИК НА ТРИ-ОДИН/СЧ3-1/	1F1	F2	СЧЕТЧИК НА ТРИ-ДВА/СЧ3-2/
МЕСТНЫЕ ШИНЫ ОБМЕНА - ЧТЕНИЯ /МШО-4/			
МШО-4(7)	1W1	W21	МШО-4(6)
МШО-4(5)	1W3	W41	МШО-4(4)
МШО-4(3)	1W5	W61	МШО-4(2)
МШО-4(1)	1W7	W81	МШО-4(0)
МЕСТНЫЕ ШИНЫ УПРАВЛЕНИЯ - ЧТЕНИЯ /МШУ-4/			
	1	R18	ОДИНОЧН. КОМ-ДЫ ОБМЕНА/ОКО/
	1	R20	МИКРОКОМАНДЫ УСТАН./МКУ/
МИКРОКОМ. ПРОВЕРКИ/МКП/	1R21	R24	ИЗМЕНЕНИЕ УПР. СИГН./ИУС/
БЛОКИРОВКА КОНТРОЛЯ/БК/	1I		
АДРЕС МЕНЬШЕ /АМ/	1P1	P2	АДРЕС БОЛЬШЕ /АБ/

- производит округление подсчитанных байтов данных на исполнительном регистре адреса до границы двойного слова /до кратности 8/;

- осуществляет образование исполнительного адреса путем сложения по модулю 2^{24} содержимых регистра адреса памяти и регистра модификатора адреса;

- анализирует установленные программой верхнюю и нижнюю границы адресов памяти относительно заполняемого по +1 регистра адреса памяти при выполнении команд группового обмена и при нарушении граничных условий вырабатывает признаки "Больше", "Меньше" или "Равно";

- устанавливает +1 на исполнительном регистре адреса.

2. АППАРАТНЫЕ СРЕДСТВА МАУ

Рассмотрим приведенные на рисунке и в табл.1 состав и назначение блоков и местных шин модуля МАУ.

1. Блок согласования информации записи /СИЗ/ разгружает шины МШО-3 модуля местного сопряжения с каналом микроконтроллера и инвертирует биты $\bar{0} \div \bar{7}$ низкого уровня с этих шин соответственно в биты $\bar{8} \div \bar{1}$, приводят их единичное состояние к положительной логике.

2. Блок регистра функций адресации /РФА/ запоминает биты $\bar{5} \div \bar{1}$ из блока СИЗ и управляющие сигналы /ПОК и ПМК/ с шин МШУ-3 и устанавливает соответствующий код операции или микрооперации.

3. Блок формирования операций адресации /ФОА/ дешифрует код битов $\bar{4} \div \bar{1}$ при "0" 5-го и "1" 6-го битов из блока РФА и вырабатывает соответствующий шестнадцатиричный код одиночных операций обмена "9 или A".

4. Блок формирования микроопераций адресации /ФМА/ дешифрует код битов $\bar{4} \div \bar{1}$ при "1" 5-го и "1" 6-го битов из блока РФА и вырабатывает соответствующий шестнадцатиричный код микроопераций "F \div B, 9 \div 0".

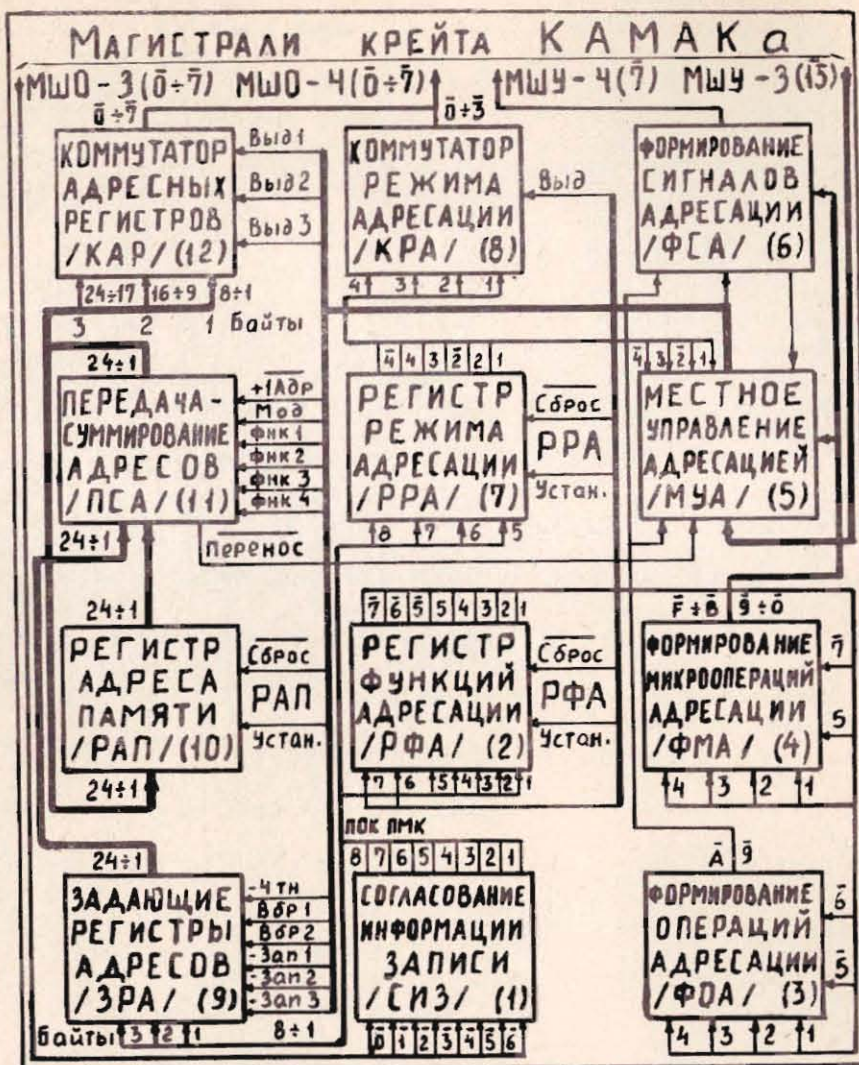
5. Блок местного управления адресацией /МУА/ в зависимости от кодов операций блока ФОА или микроопераций блока ФМА при наличии соответствующих сигналов с шин МШУ-3 выполняет заданные команды или микрокоманды согласно их алгоритмам /табл.1/.

6. Блок формирования сигналов адресации /ФСА/ в зависимости от кодов операций блока ФОА, а также сигналов блока МУА вырабатывает соответствующие сигналы на шины МШУ-4 /табл.1/.

7. Блок регистра режима адресации /РРА/ запоминает код битов $\bar{8} \div \bar{5}$ из блока СИЗ и устанавливает необходимые признаки адресации.

8. Блок коммутатора режима адресации /КРА/ обеспечивает передачу содержимого регистра РРА на шины МШО-4 $\bar{0} \div \bar{3}$ /.

9. Блок задающих регистров адресов /ЗРА/ содержит четыре 24-битных регистра адресов: начальный /РАН/, больше /РАБ/, меньше /РАМ/ и модификатора /РМА/. Выбор одного из указанных регистров ЗРА происходит по коду сигналов "Выборка" /Вбр 2,1/ в соответствии: "00" - РАН, "01" - РАБ, "10" - РАМ и "11" - РМА. Запись операндов в один из выбранных регистров ЗРА осуществляется из блока СИЗ байтами 3 /старший/, 2 /средний/ и 1 /младший/ соответственно сигналами "Запись" /Зап 3,2,1/ из блока МУА.



Блок-схема модуля адресного управления.

10. Блок регистра адреса памяти /РАП/ запоминает содержимое принятых байтов операндов из регистра РАН блока ЗРА либо содержимое суммы адресов непосредственно регистра РАП с регистром РМА блока ЗРА через блок ПСА и позволяет в дальнейшем при выполнении команд группового обмена в режимах "Запись" или "Чтение" проводить по сигналу "+1 Адреса" /+1 Адр/ через блок ПСА подсчет байтов данных.

11. Блок передачи-суммирования адресов /ПСА/ в зависимости от кода "функция" /Фнк 4,3,2,1/, признака модификации /Мод/ и сигнала "+1 Адр." из блока МУА осуществляет соответственно следующие логические или арифметические действия с 24-битными операндами из блока ЗРА и ИРА: "0"Фнк4 ÷ 1, "0"Мод и "1"+1Адр - передача в прямом коде содержимого регистра ИРА на выход блока ПСА; "6"Фнк4 ÷ 1, "0"Мод и "0"+1Адр - вычитание по модулю 2^{24} из содержимого регистра ИРА содержимого регистра РАБ и регистра РАМ блока ЗРА для анализа граничных условий при выполнении команд группового обмена; "9"Фнк4 ÷ 1, "0"Мод и "1"+1Адр - сложение по модулю 2^{24} содержимого регистров ИРА и РМА для образования исполнительного адреса; "А"Фнк4 ÷ 1, "0"Мод и "X"+1Адр - передача в прямом коде содержимого одного из заданных по программе регистров блока ЗРА на выход блока ПСА; "0"Фнк4 ÷ 1, "0"Мод и "0"+1Адр - сложение содержимого регистра ИРА с +1.

12. Блок коммутатора адресных регистров /КАР/ обеспечивает передачу содержимого регистров РАП и ЗРА через блок ПСА байтами 3 /старший/, 2 /средний/ и 1 /младший/ соответственно сигналами "Выдача" /Выд. 3,2,1/ из блока МУА на шины МШО-4/0 ÷ 7/.

3. ПРОГРАММНЫЕ СРЕДСТВА МАУ

Модуль МАУ и другие модули микроконтроллера оперирует с двумя типами программных средств: основные команды адресного управления /ОКАУ/ и микрокоманды адресного управления /МКАУ/.

Таблица 2
Спецификация основных команд адресного управления

№ ПП	НАИМЕНОВАНИЕ ОДИНОЧНЫХ КОМАНД ОБМЕНА	СОКР. ОБВЗН.	БАЙТЫ /16/	КОП ОКО	t Вых. (МКС)
1	ЗАПИСЬ АДРЕСА ПАМЯТИ	ЗАП	1	49	18,8
			2	89	19,6
			3	С9	20,4
2	ЧТЕНИЕ АДРЕСА ПАМЯТИ	ЧАП	1	4А	18,8
			2	8А	19,6
			3	СА	20,4

1. Основные команды адресного управления

Команды ОКАУ представляют собой одиночные команды обмена /ОКО/, которые по заданному коду операций осуществляют последовательно по $1 \div 3$ байта обмен операндами между оперативной памятью канала и регистром адреса памяти модуля МАУ /табл.2/.

Реализованы два вида команд ОКО адресного управления с их модификациями - это команды "Запись адреса памяти" /ЗАП/ и "Чтение адреса памяти" /ЧАП/.

Команда ЗАП осуществляет считывание от 1 до 3 байт операндов из оперативной памяти канала с последующей их записью в регистр РАП.

Команда ЧАП осуществляет считывание от 1 до 3 байт операндов с регистра адреса памяти и последующую запись их в оперативную память канала по заданному адресу.

2. Микрокоманды адресного управления

В модуле МАУ реализованы два вида МКАУ - это микрокоманды установки /МКУАУ/ и проверки /МКПАУ/ адресного управления.

2.1. Микрокоманды МКУАУ осуществляют последовательно считывание из оперативной памяти канала $1 \div 3$ байт операндов и занесение их по заданному коду микрооперации в соответствующие регистры модуля МАУ с продолжением либо окончанием выполнения цепочки микрокоманд или выполняют одиночные функции управления непосредственно по коду микрооперации без окончания цепочки микрокоманд МКУАУ /табл.3/.

2.1.1. Микрокоманда установки режима адресации /УРА/ заносит байт операнда в 4-битный регистр режима адресации, назначение битов которого приведено в табл.4. 5-й бит /ВГА/ - позволяет проводить округление содержимого регистра адреса памяти до границы двойного слова ЕС ЭВМ /64 бит/, кратной 8, по окончании выполнения групповых команд обмена путем добавления +1 в регистр адреса памяти. 6-й бит /БГА/ - запрещает установку триггеров "Больше" и "Меньше" при нарушении граничных условий. Признак "Больше" вырабатывается при условии, когда содержимое регистра адреса памяти больше содержимого регистра адреса больше. Признак "Меньше" вырабатывается при условии, когда содержимое регистра адреса памяти меньше содержимого регистра адреса меньше. Признак "Равно" /установлены в единичное состояние оба триггера "Больше" и "Меньше"/ вырабатывается при условии, когда содержимое регистра адреса памяти равно содержимому регистра адреса больше. 7-й и 8-й биты /+1АЧт и +1АЗп/ обеспечивают подсчет байтов по +1 на регистре адреса памяти при выполнении групповых команд соответственно "Чтения и записи".

2.1.2. Микрокоманда установки границы адреса /УГА/ осуществляет непосредственно по коду микрооперации округление содержимого регистра адреса памяти до границы, кратной 8.

Таблица 3

Спецификация микрокоманд установки адресного управления

№ пп	НАИМЕНОВАНИЕ МИКРОКОМАНД УСТАНОВКИ	СОКР. ОБОЗН.	БАЙТЫ	КМОПУ/16/		t Вып. (мкс)
				ПЦМ	ОЦМ	
1	РЕЖИМА АДРЕСАЦИИ	УРА	1	50	70	1,6
			2	90	В0	2,4
			3	D0	F0	3,2
2	ГРАНИЦЫ АДРЕСА	УГА	0	11	—	0,8
			1	51	71	1,6
			2	91	В1	2,4
3	ИСПОЛНИТЕЛЬНОГО АДРЕСА	УИА	0	12	—	0,8
			1	52	72	1,6
			2	92	В2	2,4
4	АДРЕСА ПАМЯТИ	УАП	1	53	73	1,6
			2	93	В3	2,4
			3	D3	F3	3,2
5	АДРЕСА БОЛЬШЕ	УАБ	1	54	74	1,6
			2	94	В4	2,4
			3	D4	F4	3,2
6	АДРЕСА МЕНЬШЕ	УАМ	1	55	75	1,6
			2	95	В5	2,4
			3	D5	F5	3,2
7	МОДИФИКАТОРА АДРЕСА	УМА	1	56	76	1,6
			2	96	В6	2,4
			3	D6	F6	3,2
8	АДРЕСА НАЧАЛЬНОГО	УАН	1	59	79	1,6
			2	99	В9	2,4
			3	D9	F9	3,2
9	+1 АДРЕСА ПАМЯТИ	У+1АП	0	1F	—	0,8
			1	5F	7F	1,6
			2	9F	BF	2,4
			3	DF	FF	3,2

Таблица 4
 Спецификация байта режима адресации адресного управления

БИТЫ	НАЗНАЧЕНИЕ БИТОВ БАЙТА РЕЖИМА АДРЕСАЦИИ	СОКР. ОБОЗН.
1	_____	—
2	_____	—
3	_____	—
4	_____	—
5	ВЫРАВНИВАНИЕ ГРАНИЦЫ АДРЕСА	ВГА
6	БЛОКИРОВКА ГРАНИЦЫ АДРЕСА	БГА
7	+1 АДРЕСА В РЕЖИМЕ ЧТЕНИЯ	+1АЧт
8	+1 АДРЕСА В РЕЖИМЕ ЗАПИСИ	+1АЗп

2.1.3. Микрокоманда установки исполнительного адреса /УИА/ обеспечивает непосредственно по коду микрооперации сложение по модулю 2^{24} содержимого регистра адреса памяти с содержимым регистра модификатора адреса.

2.1.4. Микрокоманда установки адреса памяти /УАП/ осуществляет занесение от 1 до 3 байт операндов в 24-битный регистр адреса начального с последующей передачей содержимого его соответственно в 24-битный регистр адреса памяти.

2.1.5. Микрокоманды установки адресов больше /УАБ/, меньше /УАМ/, модификатора /УМА/ и начального /УАН/ обеспечивают занесение от 1 до 3 байт операндов соответственно в 24-битные регистры адресов больше /РАБ/, меньше /РАМ/, модификатора РМА/ и начального /РАН/.

2.1.6. Микрокоманда "+1 адреса памяти" /У+1АП/ обеспечивает непосредственно по коду микрооперации добавление +1 к содержимому регистра адреса памяти.

2.2. Микрокоманды проверки адресного управления

Микрокоманды МКПАУ в зависимости от вида микроопераций и их модификаций осуществляют в модуле основного управления микроконтроллера побайтное сравнение по модулю 2 одного, двух или трех байтов эталонов, считанных из оперативной памяти канала, с байтами операндов, считанных с соответствующих регистров модуля МАУ с продолжением при сравнении /=/ или с окончанием при

Таблица 5
 Спецификация микрокоманд проверки адресного управления

№ ПП	НАИМЕНОВАНИЕ МИКРОКОМАНД ПРОВЕРКИ	СОКР. ОБОЗН.	БАЙТЫ	КМОП /16/ (=)		t всп. (мкс)
				ПЦМ	ОЦМ	
1	РЕЖИМА АДРЕСАЦИИ	ПРА	1	57	77	1,6
			2	97	В7	2,4
			3	D7	F7	3,2
2	АДРЕСА ПАМЯТИ	ПАП	1	58	78	1,6
			2	98	В8	2,4
			3	D8	F8	3,2
3	АДРЕСА НАЧАЛЬНОГО	ПАН	1	5В	7В	1,6
			2	9В	ВВ	2,4
			3	DВ	FВ	3,2
4	АДРЕСА БОЛЬШЕ	ПАБ	1	5С	7С	1,6
			2	9С	ВС	2,4
			3	ДС	ФС	3,2
5	АДРЕСА МЕНЬШЕ	ПАМ	1	5D	7D	1,6
			2	9D	ВД	2,4
			3	DD	FD	3,2
6	МОДИФИКАТОРА АДРЕСА	ПМА	1	5Е	7Е	1,6
			2	9Е	ВЕ	2,4
			3	DE	FE	3,2
				ОЦМ	ПЦМ	
				(≠)		

несравнении /≠/, либо с продолжением при /≠/ или с окончанием при /=/ выполнения цепочек микрокоманд. Результат сравнения /проверки/ фиксирует на 8-битном регистре результата проверки модуля основного управления микроконтроллера с указанием в 6,7 битах байта уточненного состояния номера байта несравнения.

2.2.1. Микрокоманда проверки режима адресации /ПРА/ осуществляет проверку байта операнда содержимого 4-битного регистра режима адресации.

2.2.2. Микрокоманда проверки адреса памяти /ПАП/ обеспечивает проверку от 1 до 3 байт операндов содержимого 24-битного регистра адреса памяти.

2.2.3. Микрокоманды проверки адресов начального /ПАН/, больше /ПАБ/, меньше /ПАН/ и модификатора /ПМА/ обеспечивают проверку от 1 до 3 байт операндов соответственно 24-битных регистров адресов начального /РАН/, больше /РАБ/, меньше /РАМ/ и модификатора /РМА/.

ЗАКЛЮЧЕНИЕ

Описанный модуль МАУ создан в Лаборатории высоких энергий ОИЯИ в конце 1984 года. Выполнен на интегральных схемах малой, средней и повышенной степени интеграции. Общий объем электроники составляет 48 ИС /модуль МАП имеет 78 ИС/. Модуль МАУ смонтирован в одной ячейке КАМАК шириной 17,2 мм /1М/ и потребляет ток 1,5 А с шины +6 В.

Все входные и выходные сигналы, используемые в модуле МАУ, имеют уровни ТТЛ.

ЛИТЕРАТУРА

1. Садовников В.Н. ПТЭ, 1983, №3, с. 63.
2. Садовников В.Н. ОИЯИ, 10-81-396, Дубна, 1981.
3. Садовников В.Н. ОИЯИ, 10-81-397, Дубна, 1981.

СООБЩЕНИЯ, КРАТКИЕ СООБЩЕНИЯ, ПРЕПРИНТЫ И СБОРНИКИ ТРУДОВ КОНФЕРЕНЦИЙ, ИЗДАВАЕМЫЕ ОБЪЕДИНЕННЫМ ИНСТИТУТОМ ЯДЕРНЫХ ИССЛЕДОВАНИЙ, ЯВЛЯЮТСЯ ОФИЦИАЛЬНЫМИ ПУБЛИКАЦИЯМИ.

Ссылки на СООБЩЕНИЯ и ПРЕПРИНТЫ ОИЯИ должны содержать следующие элементы:

- фамилии и инициалы авторов,
- сокращенное название Института /ОИЯИ/ и индекс публикации,
- место издания /Дубна/,
- год издания,
- номер страницы /при необходимости/.

Пример:

1. *Первушин В.Н. и др. ОИЯИ, Р2-84-649, Дубна, 1984.*

Ссылки на конкретную СТАТЬЮ, помещенную в сборнике, должны содержать:

- фамилии и инициалы авторов,
- заглавие сборника, перед которым приводятся сокращенные слова: "В кн."
- сокращенное название Института /ОИЯИ/ и индекс издания,
- место издания /Дубна/,
- год издания,
- номер страницы.

Пример:

Колпаков И.Ф. В кн. XI Международный симпозиум по ядерной электронике, ОИЯИ, Д13-84-53, Дубна, 1984, с.26.

Савин И.А., Смирнов Г.И. В сб. "Краткие сообщения ОИЯИ", № 2-84, Дубна, 1984, с.3.

Принимается подписка на препринты и сообщения Объединенного института ядерных исследований.

Установлена следующая стоимость подписки на 12 месяцев на издания ОИЯИ, включая пересылку, по отдельным тематическим категориям:

ИНДЕКС	ТЕМАТИКА	Цена подписки на год
1.	Экспериментальная физика высоких энергий	10 р. 80 коп.
2.	Теоретическая физика высоких энергий	17 р. 80 коп.
3.	Экспериментальная нейтронная физика	4 р. 80 коп.
4.	Теоретическая физика низких энергий	8 р. 80 коп.
5.	Математика	4 р. 80 коп.
6.	Ядерная спектроскопия и радиохимия	4 р. 80 коп.
7.	Физика тяжелых ионов	2 р. 85 коп.
8.	Криогеника	2 р. 85 коп.
9.	Ускорители	7 р. 80 коп.
10.	Автоматизация обработки экспериментальных данных	7 р. 80 коп.
11.	Вычислительная математика и техника	6 р. 80 коп.
12.	Химия	1 р. 70 коп.
13.	Техника физического эксперимента	8 р. 80 коп.
14.	Исследования твердых тел и жидкостей ядерными методами	1 р. 70 коп.
15.	Экспериментальная физика ядерных реакций при низких энергиях	1 р. 50 коп.
16.	Дозиметрия и физика защиты	1 р. 90 коп.
17.	Теория конденсированного состояния	6 р. 80 коп.
18.	Использование результатов и методов фундаментальных физических исследований в смежных областях науки и техники	2 р. 35 коп.
19.	Биофизика	1 р. 20 коп.

Подписка может быть оформлена с любого месяца текущего года.

По всем вопросам оформления подписки следует обращаться в издательский отдел ОИЯИ по адресу: 101000 Москва, Главпочтамт, п/я 79.

Садовников В.Н.

10-84-845

Модуль адресного управления микропрограммного контроллера канала ЕС ЭВМ

Рассматривается общий принцип организации модуля адресного управления микроконтроллера канала ЕС ЭВМ, расширяющего возможности селекторного канала для организации оперативной работы на линии с экспериментальными установками физики высоких энергий.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1984

Перевод О.С.Виноградовой

Sadovnikov V.N.

10-84-845

The Address Control Module for the Channel Microcontroller of an EC Computer

The organization of the address control module for the channel microcontroller of an EC computer is considered. This module extends selector channel opportunities to organize operative working of on-line experiments of high energies physics. The hardware, the software and microcode are described.

The investigation has been performed at the Laboratory of High Energies, JINR.

Communication of the Joint Institute for Nuclear Research, Dubna 1984