



сообщения
объединенного
института
ядерных
исследований
Дубна

4389/83

22/883

10-83-408

В.Ф.Рубцов, В.Н.Смирнов, В.Х.Хоромская

БЛОК ПАМЯТИ
ДЛЯ БУФЕРИЗАЦИИ РЕЗУЛЬТАТОВ
СКАНИРОВАНИЯ
В ИЗМЕРИТЕЛЬНОЙ СИСТЕМЕ АЭЛТ-2/160
НА ЛИНИИ С ЭВМ СМ-4

1983

Введение

В состав аппаратуры управления измерительной системы АЭЛТ-2/160^{I/I} на линии с ЭВМ СМ-4 входит блок буферной памяти (Б.П.), рис.1. Буферная память предназначена для накопления информации о координатах треков. Информация поступает в режиме сканирования из блоков управления сканированием по координатам (x,y). Блок Б.П. состоит из буферного накопителя емкостью 16 двадцатичетырехразрядных слов и основной памяти емкостью 256 двадцатичетырехразрядных слов. Буферная память построена по магазинному принципу (первое слово записывается - первое считывается). Вход и выход памяти работают независимо. Основная память работает с тактовой частотой 1 МГц, скорость записи буферного накопителя - до 10 МГц. Введение буферного накопителя с малой емкостью, но высокой скоростью записи позволяет работать измерительной системе АЭЛТ-2/160 со скоростью сканирования до 4 мкм/мкс.

1. Логика работы буферной памяти в режиме "Запись"

Работу буферной памяти в режиме "Запись-чтение одного слова" можно проследить по функциональной схеме на рис.1 и временным диаграммам на рис.2. Информация в буферную память поступает в виде 24-разрядного слова из блоков управления сканированием по координатам (x,y) через разъем на задней панели блока. Интегральные микросхемы 6Н743225 буферного накопителя представляют собой память емкостью 16 5-разрядных слов, построенную по принципу FIFO^{1/2}. Микросхемы имеют статусные индикаторы на входе и на выходе: "IR" ("Input Ready") и "OR" ("Output Ready"). Высокий потенциал на "IR" говорит о том, что память готова принять информацию, высокий потенциал на "OR" - о том, что на выходе есть информация и ее можно считать. По переднему фронту импульса, подаваемого на вход "СК А,В" ("Load Clock A,B"), и при наличии высокого потенциала на "IR" в память записывается новое слово, оно передвигается автоматически на первое свободное место от выхода. При подаче сигнала на шины "СК IN" ("UNLoad Clock Input") в памяти сбрасывается первое на входе слово. Триггеры "ВВ" и "ВыВ" ("Ввод" и "Вывод") управляют соответственно режимами "Запись" и "Чтение" буферного накопителя. Генерирование двух по-

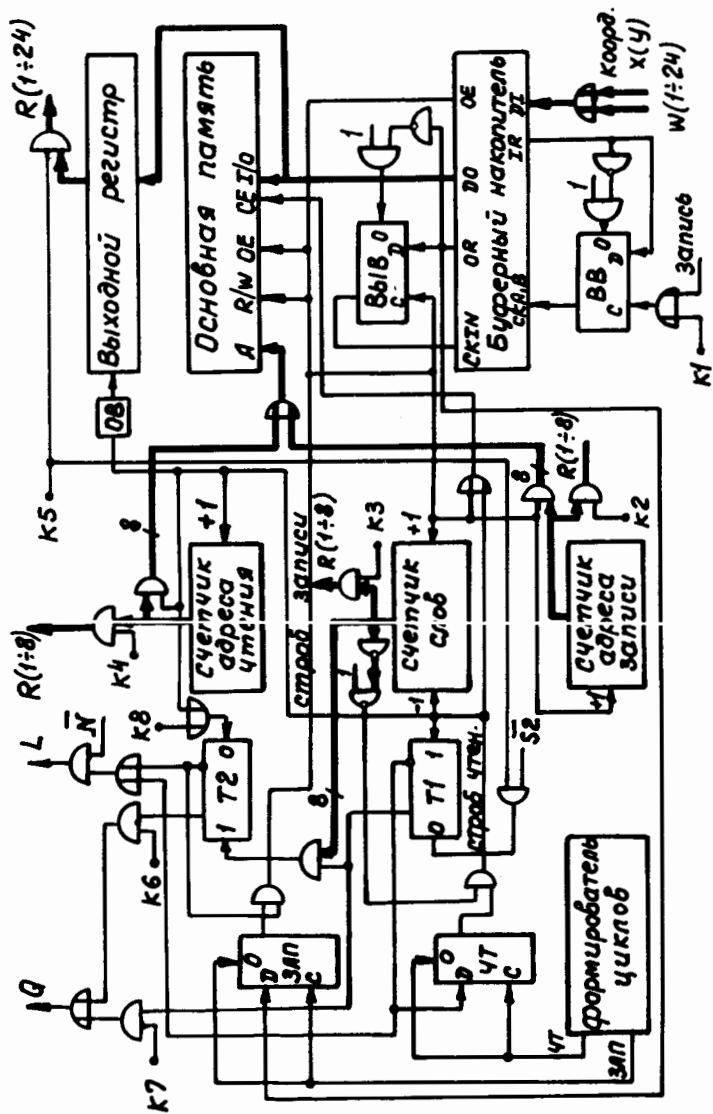


Рис.1

следовательностей импульсов "ЗАП" ("Запись") и "ЧТ" ("Чтение"), синхронизирующих режимы записи и чтения, обеспечивается формирователем циклов. Счетчики адреса записи и адреса чтения организуют последовательный доступ к ячейкам при обращении к основной памяти. При выполнении цикла записи основной памяти триггер "ЗАП" устанавливается в "1" при поступлении импульса "ЗАП" из формирователя циклов и при наличии высокого уровня на выходе "OR" буферного накопителя. При неполном заполнении основной памяти триггер "T2" находится в состоянии логического "0" и разрешает формирование stroba записи, запускающего сигналы на входах "R/W" ("Read/Write"), "CE" ("Chip Enable") основной памяти и сигнал "OE" ("Output Enable") на входе буферного накопителя. Stroba записи устанавливает в "1", триггер "Выв", формирующий сигнал "CK IN". По заднему фронту stroba записи увеличивается содержимое счетчика слов и счетчика адреса записи на 1. Содержимое счетчика адреса записи выдается на шины "A" ("Address") stroбом записи. При заполнении всех ячеек основной памяти разряды счетчика количества слов и триггер "T1" устанавливаются в состояние логической "1". В результате этого происходит формирование сигнала, устанавливающего триггер "T2" в "1". Единичное состояние триггера "T2" блокирует формирование stroba записи и выдает сигнал запроса на обслуживание ("L") магистрали крейта КАМАК. Для записи хотя бы еще одного слова из буферного накопителя в основную память необходимо осуществить программно выполнение команды чтения данных из выходного регистра буферной памяти. В результате этого триггер "T1" сбрасывается в "0", разрешая формирование stroba чтения, по заднему фронту которого сбрасывается триггер "T2" в "0".

2. Логика работы буферной памяти в режиме "Чтение"

При выполнении цикла "Чтение" из основной памяти в выходной регистр триггер "ЧТ" устанавливается в "1" при поступлении сигнала "ЧТ" из формирователя циклов и выполнении команды чтения предыдущего слова из выходного регистра (триггер "T1" находится в "0"). При условии, что триггер "ЧТ" установился в "1" и содержимое счетчика количества слов не равно нулю, формируется импульс чтения. Импульс чтения поступает на входы "R/W", "CE" и "OE" основной памяти и стробирует содержимое счетчика адреса чтения на входы "A". По заднему фронту stroba чтения содержимое счетчика слов уменьшается на 1. После записи слова в выходной регистр триггер "T1" устанавливается в "1", запрещая формирование следующего цикла записи. По заднему фронту stroba чтения содержимое выходного регистра на шины "R (I+24)" магистрали крейта КАМАК триггер "T1" сбрасывается в "0".

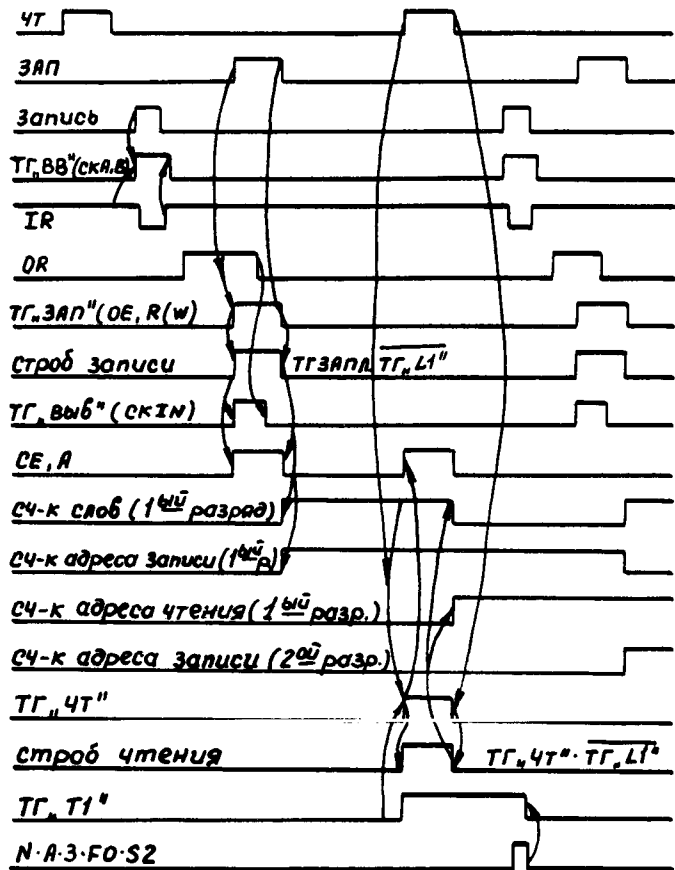


Рис.2

В блоке буферной памяти используются следующие команды с магистрали крейта:

- K1=N.A0.F9.S2 - сброс блока,
- K2=N.A1.F0 - чтение содержимого счетчика адреса записи,
- K3=N.A0.F0 - чтение содержимого " - " количества слов,
- K4=N.A2.F0 - " - " - " - " адреса чтения,
- K5=N.A3.F0 - " - " - " - " выходного регистра,
- K6=N.A0.F8 - опрос состояния триггера "Т2" по шине "Q",
- K7=N.A0.F12 - опрос состояния триггера "Т1" по шине "Q",
- K8=N.A0.F10.S2 - сброс триггера "Т2" в "0".

Заключение

Конструктивно буферная память выполнена в блоке КАМАК (М2) с использованием одной платы. Основная память выполнена с использованием интегральных микросхем INTEL 2112А. В блоке заложена аппаратная избыточность, позволяющая автономно проверять режимы записи и чтения с магистрали крейта КАМАК.

Литература

1. Баранчук М.К. и др. ОИЯИ, Р10-81-83, Р10-81-373, Дубна, 1981.
2. EURATOM Report, EUR 4600E, 1972.
3. Bipolar Memory Data Manual, Texas Instruments, 1976.
4. Data Catalog, INTEL, 1976.

Рукопись поступила в издательский отдел
16 июня 1983 года.

Рубцов В.Ф., Смирнов В.Н., Хоромская В.Х.

10-83-408

Блок памяти для буферизации результатов сканирования
в измерительной системе АЭЛТ-2/160 на линии с ЭВМ СМ-4

Описывается блок, предназначенный для накопления информации о координатах треков. Блок состоит из буферного накопителя емкостью 16 двадцатичетырехразрядных слов и основной памяти емкостью 256 двадцатичетырехразрядных слов. Входы и выходы буферного накопителя и основной памяти работают независимо. Введение буферного накопителя с малой емкостью но высокой скоростью записи позволяет работать измерительной системе АЭЛТ-2/160 со скоростью сканирования до 4 мкм/мкс.

Работа выполнена в Лаборатории вычислительной техники и автоматизации ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1983

Rubtsov V.F., Smirnov V.N., Khoromskaya V.Ch.

10-83-408

FIFO Memory Block for Data Buffering
in the AELT-2/160 Measuring System with On-Line SM-4 Computer

The CAMAC block with FIFO memory developed for buffering the track data is considered. It includes the first buffer circuit with capacity 16 24-bit words and the main memory volume with 256 24-bit word capacity. The input and output of memory are functionally independent. Using of the first buffer circuit in this block of the AELT-2/160 measuring system with on-line SM-4 computer provides the scanning rate up to 4 mkm/mks.

The investigation has been performed at the Laboratory of Computing Techniques and Automation, JINR.

Communication of the Joint Institute for Nuclear Research, Dubna 1983

Перевод О.С.Виноградовой