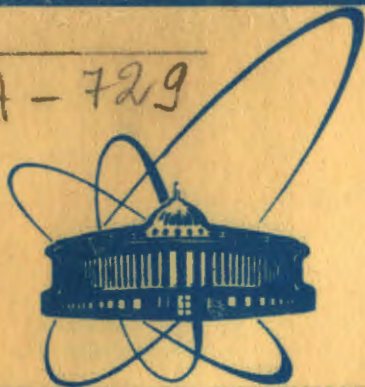


A-729



сообщения
Объединенного
института
ядерных
исследований
Дубна

1515/83

10-82-844

В.А.Антюхов, Вьонг Дао Ви, Н.И.Журавлев,
Ле Зон Пхир, Нгуен Мань Занг, П.Петев,
А.В.Саламатин, В.Т.Сидоров, А.Н.Синаев,
А.А.Стахин, И.Н.Чурин

ЦИФРОВЫЕ БЛОКИ В СТАНДАРТЕ КАМАК
(Выпуск X)

1982

КЛАССИФИКАЦИЯ БЛОКОВ В СТАНДАРТЕ КАМАК
В ЛАБОРАТОРИИ ЯДЕРНЫХ ПРОБЛЕМ ОИЯИ

Обозначение каждого блока состоит из двух букв и трех цифр. Первая буква К постоянна для всех блоков и означает, что блок выполнен в стандарте КАМАК. Вторая буква показывает принадлежность блока к определенному классу. Разделение на классы, в основном, соответствует классификации комитета ЭЗОНЕ /см.таблицу/. Цифры означают номер разработки.

Таблица

Код ЛЯП	Код ЭЗОНЕ	Класс блока
КА	16	Аналоговая обработка информации
КВ	13	Вывод цифровых данных
КИ	14	Интерфейсы внешних устройств, индикаторы
КК	2;3	Контроллеры, интерфейсы магистрали, драйверы ветви
КЛ	15	Логическая /цифровая/ обработка информации
КМ	-	Управляющие блоки с микропроцессорами
КП	17	Блоки, не вошедшие в другие группы
КР	12	Параллельный ввод цифровых данных
КС	11	Последовательный ввод цифровых данных
КУ	232;27	Вспомогательные блоки управления
КЭ	-	Интерфейсы ЭВМ

В настоящей работе публикуются краткие характеристики и блок-схемы десятой серии цифровых блоков в стандарте КАМАК, разработанных в Лаборатории ядерных проблем ОИЯИ. Ниже приводится список блоков, рекомендуемых для использования в новых системах. Римские цифры I-IX означают соответственно номера ранее опубликованных выпусков /1-9/, а цифра X - настоящий выпуск. Вторая цифра означает номер страницы в соответствующей публикации.

О. БЕЛОУСОВ И Д. КОСТЮК

Л. С. БЕЛОУСОВ И Д. С. КОСТЮК

БИБЛИОТЕКА

1. КА 001 - преобразователь заряд-код /2x255 каналов/	V-6
2. КА 002 - коммутатор аналоговых сигналов /0+100 мкА/	V-8
3. КА 003 - коммутатор аналоговых сигналов /-6 В+6 В/	V-10
4. КА 004 - коммутатор аналоговых сигналов /0+127 В/	VI-6
5. КА 005 - преобразователь заряд-код /255 каналов/	VI-8
6. КА 007 - преобразователь амплитуда-код /8192 канала/	VIII-4
7. КА 008 - преобразователь заряд-код /8x255 каналов/	VII-6
8. КА 009 - цифроаналоговый преобразователь /2x10 бит/	X-4
9. КВ 002 - выходной регистр /2x16 бит, ТТЛ/	III-4
10. КВ 003 - выходной регистр /16 бит, НИМ/	IV-6
11. КВ 004 - часы	V-12
12. КВ 005 - генератор импульсов /1 Гц ± 20 МГц/	V-14
13. КИ 001 - индикатор магистрали /16 бит/	I-17
14. КИ 004 - вывод информации на дисплей ВТ-340	IV-8
15. КИ 006 - вывод информации на цифровой индикатор	IV-12
16. КИ 007 - цифровой индикатор	IV-14
17. КИ 008 - вывод информации на перфоратор	IV-16
18. КИ 010 - параллельный интерфейс дисплея ВТ-340	V-18
19. КИ 011 - интерфейс графического дисплея	V-20
20. КИ 012 - интерфейс перфоратора ПЛ-80, ПЛ-150	V-22
21. КИ 013 - интерфейс фотосчитывателя ФС-1501	VI-12
22. КИ 015 - регистр ввода-вывода /16 бит, ТТЛ/	VI-16
23. КИ 016 - интерфейс многоканальных анализаторов	VII-8
24. КИ 017 - интерфейс анализатора АИ-4096	VII-10
25. КИ 018 - вывод информации с проволочных камер	VII-12
26. КИ 019 - интерфейс телетайпа Т-63	VII-14
27. КИ 020 - интерфейс телетайпа Т-63 с преобраз.кодов	VII-16
28. КИ 021 - последовательная межкредитная связь	VII-18
29. КИ 022 - последовательная межкредитная связь	VII-20
30. КИ 023 - интерфейс матричного АЦПУ	VII-22
31. КИ 024 - интерфейс матричного АЦПУ с буфером	VII-24
32. КИ 025 - последовательный токовый интерфейс	VIII-6
33. КИ 026 - индикатор магистрали /24 бита/	VIII-8
34. КИ 027 - интерфейс графопостроителя	VIII-10
35. КИ 028 - интерфейс анализатора ИЦА-70	VIII-12
36. КИ 029 - интерфейс цветного телевизионного монитора	IX-4
37. КИ 030 - интерфейс координатного шара	IX-6
38. КИ 031 - интерфейс НМЛ ИЗОТ 5003/5005	IX-8
39. КИ 032 - вывод на цифropечатающее устройство МПУ-16	IX-10
40. КИ 033 - интерфейс черно-белого телевизора	X-6
41. КИ 034 - формирователь полутонового изображения	X-8
42. КИ 035 - вывод на цифropечатающее устройство БЗ-15	X-10
43. КК 001 - контроллер с фиксированными программами	I-18
44. КК 003 - проверочный контроллер	I-22
45. КК 004 - универсальный контроллер крейта	III-8
46. КК 005 - контроллер крейта типа А1	V-24
47. КК 006 - управление магистралью для микро-ЭВМ КМ 001	VIII-14
48. КК 007 - интерфейс магистрали	IX-12

49. КК 008 - драйвер ветви	X-12
50. КЛ 001 - коммутатор логич.импульсов /16 вх., 1 вых./	III-10
51. КЛ 002 - управляемая задержка /0,5÷63 нс/	III-12
52. КЛ 003 - коммутатор логич.импульсов /9 вх., 9 вых./	IV-18
53. КЛ 004 - буферный накопитель /64x16 бит/	V-26
54. КЛ 006 - буферный накопитель /1Kx16 бит/	VIII-16
55. КЛ 007 - оперативная память /24Kx8 бит/	VIII-18
56. КЛ 009 - управление икрементной записью в память	X-14
57. КЛ 010 - управление последовательной записью в память	X-16
58. КЛ 011 - коммутатор логич.сигналов /1 вх., 8 вых./	VIII-20
59. КЛ 012 - оперативная память /4Kx16 бит/	X-18
60. КЛ 013 - управление произвольным доступом к памяти	X-20
61. КЛ 015 - оперативная память /32Kx16 бит/	X-22
62. КМ 001 - микро-ЭВМ на основе БИС серии КР580	VIII-22
63. КМ 002 - микро-ЭВМ на основе БИС серии К581	X-24
64. КП 001 - программатор СППЗУ типа К573РФ1	VI-20
65. КП 002 - контроль напряжений питания крейта	VI-22
66. КП 003 - источник питания /±12 В, 2А/	VII-26
67. КР 001 - регистр констант /4 декады/	I-16
68. КР 002 - регистр констант /16 бит/	II-8
69. КР 005 - входной регистр /2x16 бит, ТТЛ/	II-14
70. КР 006 - регистр констант /8 декад/	II-9
71. КР 007 - входной регистр /16 бит, ТТЛ/	IV-20
72. КР 009 - регистр контрольных слов /16 бит/	V-28
73. КР 010 - регистр констант /8 декад/	VI-23
74. КР 011 - входной регистр /16 бит, 10 нс, НИМ/	VII-24
75. КС 002 - двоичный счетчик /25 МГц, 2x16 бит/	I-6
76. КС 008 - двоичный счетчик /25 МГц, 8x8 бит/	II-16
77. КС 011 - счетчик-измеритель времени /25 МГц, 16 бит/	III-18
78. КС 013 - установочный счетчик /20 МГц, 10 декад/	III-22
79. КС 014 - десятичный счетчик /25 МГц, 4x8 декад/	III-24
80. КС 015 - реверсивный двоичный счетчик /1 МГц, 16 бит/	IV-24
81. КС 017 - двоичный счетчик /25 МГц, 4x16 бит/	VI-24
82. КС 018 - десятичный счетчик /100 МГц, 12 декад/	VII-28
83. КС 019 - двоичный счетчик /25 МГц, 8x16 бит/	IX-14
84. КС 020 - двоичный счетчик /150 кГц, 16x16 бит/	IX-16
85. КС 021 - двоичный счетчик /200 МГц, 2x32 бит/	IX-18
86. КС 022 - счетчик-интенсиметр /100 МГц, 8 декад/	IX-20
87. КУ 002 - внешнее управление	II-20
88. КУ 003 - регистр записи /16 бит/	II-24
89. КУ 004 - грейдер сигналов L для КК 004 и КК 005	III-26
90. КУ 006 - грейдер сигналов L для КК 001	IV-28
91. КУ 008 - одноадресное чтение	VI-26
92. КУ 009 - контрольный сумматор /16 бит/	VIII-26
93. КУ 010 - управление режимами анализатора	X-26
94. КЭ 001 - интерфейс ЭВМ СМ-3 и СМ-4 по КЦД	IX-22
95. КЭ 002 - интерфейс ЭВМ "Электроника-60" по КЦД	IX-24
96. КЭ 003 - интерфейс ЭВМ "Электроника-60" по ПК	IX-26

ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ КА 009

Ширина блока - 17,2 мм.

Назначение: преобразование 10-разрядного двоичного кода в аналоговый сигнал.

В блоке находятся два одинаковых преобразователя.

Двоичный код подается с магистрали по шинам $W1 \div W10$ и запоминается в регистре 1 или 2 соответственно.

Наименьшему разряду соответствует шина $W1$.

Код, находящийся в регистре, может быть считан через буфер по шинам $R1 \div R10$.

Преобразование кода производится с помощью интегральной микросхемы К572ПА1.

Аналоговый сигнал выводится на соответствующий коаксиальный разъем, находящийся на передней панели блока.

Основной диапазон выходного напряжения $0 \div +10$ В; он обеспечивается опорным напряжением $V_{оп.1}$.

Два других диапазона выходных напряжений $-5 \text{ В} \div +5 \text{ В}$ и $-10 \text{ В} \div 0 \text{ В}$ могут быть установлены с помощью переключек; они обеспечиваются опорным напряжением $V_{оп.2}$.

Во всех диапазонах нулевому коду соответствует низший уровень напряжения, а коду 1023 - высший уровень.

Время установления выходного напряжения - 4 мкс.

Нагрузочная способность - 10 мА.

Интегральная нелинейность - 0,01%.

Температурная нестабильность - 0,001%/°С.

Сигнал Z производит установку регистров в нуль.

Блок выполняет следующие команды с магистрали:

$NA(0)F(0)$ - чтение содержимого регистра 1, Q=1.

$NA(1)F(0)$ - чтение содержимого регистра 2, Q=1.

$NA(0)F(16)$ - запись в регистр 1, Q=1.

$NA(1)F(16)$ - запись в регистр 2, Q=1.

Потребляемый ток: 0,3 А по цепи +6 В; 0,05 А по цепи +24 В и 0,05 А по цепи -24 В.

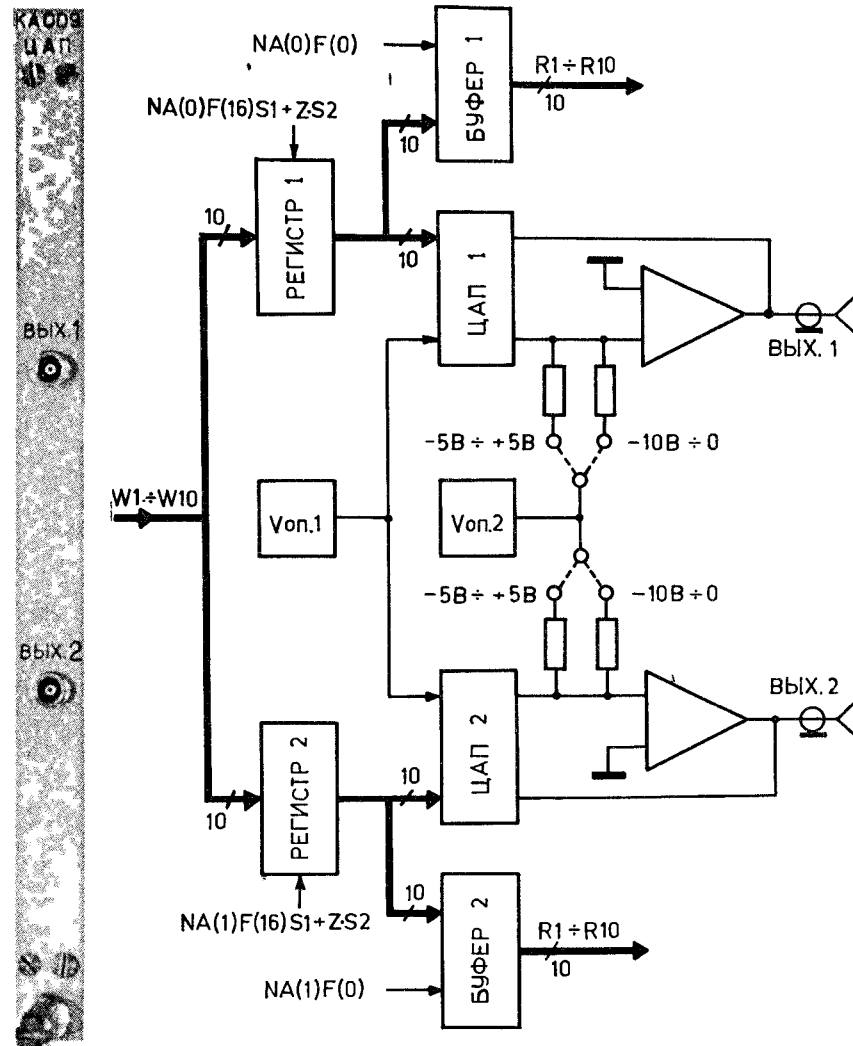


Рис.1. Передняя панель и блок-схема цифроаналогового преобразователя КА 009.

ИНТЕРФЕЙС ЧЕРНО-БЕЛОГО ТЕЛЕВИЗОРА КИ 033

Назначение: вывод на экран телевизора изображения, содержащего 256x256 точек, или до 42x32 алфавитно-цифровых знаков.

На выход блока, подключаемый к видеовходу телевизора, поступают видеосигналы с информацией из ЗУ, содержащего 4К x 16 бит, а также строчные и кадровые синхросигналы.

Тактовые импульсы ТИ с частотой 6,75 МГц подаются на счетчики точек и строк, которые обеспечивают опрос ячеек ЗУ с частотой 50Гц.

16-разрядное слово из ЗУ выдается на сдвиговый регистр, преобразующий его с помощью ТИ в последовательный код.

Запись в ЗУ осуществляется по точкам или по знакам.

Запись по точкам производится командой NA(0)F(16) в произвольном или последовательном режиме в зависимости от состояния разряда W2 регистра управления /см. таблицу/.

В произвольном режиме координата X задается по шинам W1÷W8, а Y - по шинам W9÷W16.

В последовательном режиме координата Y задается по шинам W9÷W16, а координата X увеличивается на 1.

Изображение точки может быть позитивным или негативным, что определяется состоянием разряда W1 регистра управления /см. таблицу/.

Для записи знака по команде NA(0)F(16) задаются любые координаты верхней левой точки его матрицы, имеющей размеры 6x8 точек /сам знак имеет размеры 5x7 точек/.

Матрица выбирается из генератора знаков командой NA(1)F(16) по коду, находящемуся на шинах W1÷W7, и заносится в ЗУ по битам и строкам с помощью формирователя управляющих сигналов.

Генератор знаков содержит 96 символов: русские и латинские буквы и цифры и другие знаки по стандарту КОИ7.

После записи знака в ЗУ содержимое регистра X увеличивается на 6, а содержимое регистра Y не изменяется.

Позитивное или негативное изображение знака определяется состоянием разряда W8 при команде NA(1)F(16).

Время записи точки $\leq 3,6$ мкс, а знака - 114 мкс.

Сигнал L снимается только на время записи в ЗУ и блокируется при наличии "0" в разряде W3 регистра управления /см. таблицу/.

Сигнал Z устанавливает регистр управления в "0".

Для формирования маркера к блоку через разъем РП15-23 подключается интерфейс координатного шара КИ 030.

Три блока могут использоваться для получения цветного или полутонного черно-белого изображения с 8 цветами или градациями по яркости, при этом синхронизация производится через один из блоков путем отключения генераторов в остальных и использования общих ТИ.

Для формирования полутонного изображения к блокам через 3 коаксиальных разъема на задней панели подключается блок КИ 034.

Блок выполняет следующие команды с магистрали:

- | | |
|---|------|
| NA(0)F(8) - проверка состояния источника сигнала L, | Q=L. |
| NA(0)F(16) - запись точки, | Q=1. |
| NA(1)F(16) - запись знака, | Q=1. |
| NA(0)F(17) - запись в управляющий регистр, | Q=1. |

Потребляемый ток: 0,2 А по цепи +24 В, 2 А по цепи +6 В и 20 мА по цепи -6В.

Разряд Значения	W3	W2	W1
0	Блокировка сигнала L	Произвольный режим записи точек	Позитивное изображение точек
1	Разблокировка сигнала L	Последовательный режим записи точек	Негативное изображение точек

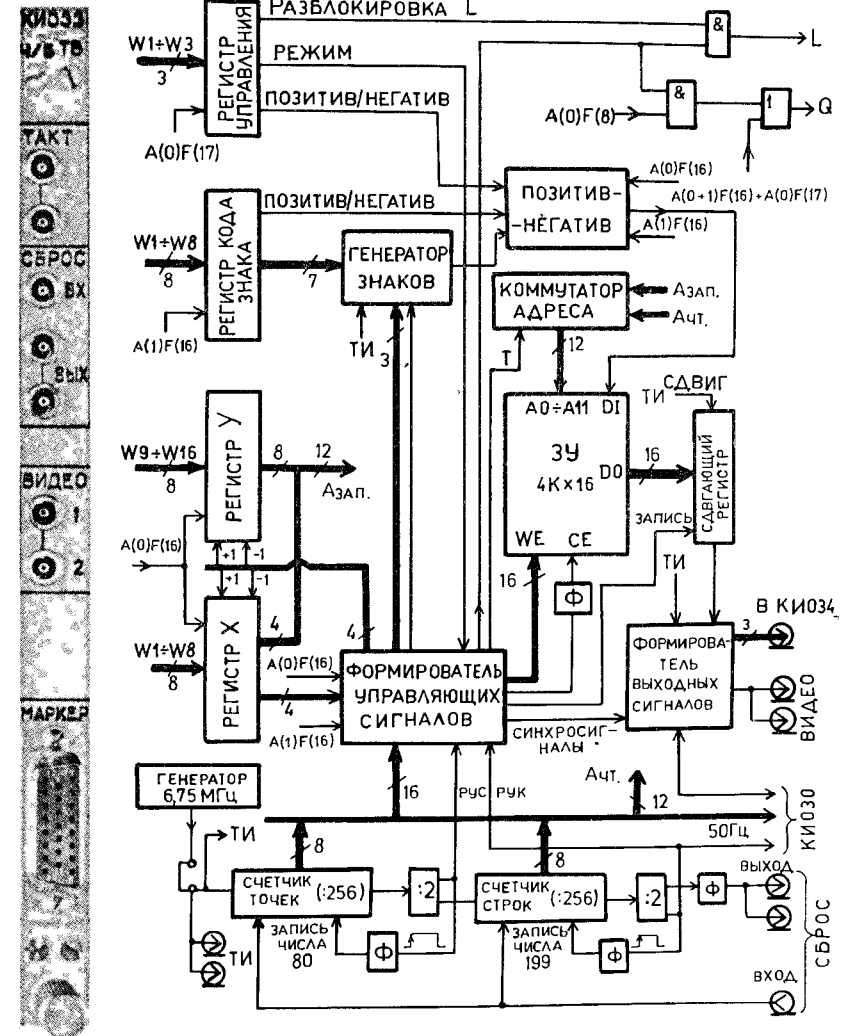


Рис.2. Передняя панель и блок-схема интерфейса черно-белого телевизора КИ 033.

ФОРМИРОВАТЕЛЬ ПОЛУТОНОВОГО ИЗОБРАЖЕНИЯ КИ 034

Назначение: формирование полутонового изображения на экране черно-белого телевизора с помощью интерфейсов КИ 033.

К блоку могут быть подключены два или три интерфейса КИ 033 для получения соответственно 4 или 8 градаций по яркости.

На входы блока через коаксиальные разъемы с задних панелей интерфейсов КИ 033 поступают видеосигналы, синхросигналы и сигналы маркера, причем видеосигналы подаются со всех интерфейсов, а остальные - только с одного, осуществляющего синхронизацию системы.

Все входные сигналы имеют уровни ТТЛ, причем наличие сигнала соответствует низкий потенциал.

Выходной аналоговый сигнал, содержащий видео- и синхросигналы, с эмиттерного повторителя VT2 через коаксиальный разъем поступает на видеовход телевизора.

В блоке осуществляется цифроаналоговое преобразование.

Для получения градаций по яркости видеосигналам, подаваемым на входы 1, 2, 3, с помощью резисторов R1-R3 присваиваются весовые коэффициенты 1, 2 и 4 соответственно; точные значения градаций устанавливаются переменными резисторами R4-R6.

При отсутствии входных сигналов в цепях видеосигналов и маркера на выходе соответствующего инвертора удерживается низкий потенциал, а в цепи синхросигналов - высокий /благодаря наличию второго инвертора/.

Ток, текущий через резистор R9, распределяется между цепями входных сигналов и цепью транзистора VT1.

При наличии высокого потенциала на выходе инвертора ток из соответствующей входной цепи переключается в цепь транзистора VT1.

В случае отсутствия входных сигналов ток будет течь во все входные цепи, кроме цепи синхросигналов, при этом напряжение на выходе блока, благодаря соотношению резисторов R9 и R10, установится равным +0,4 В, что соответствует уровню черного изображения на экране телевизора /ток через телевизионную трубку не проходит/.

При наличии только синхросигнала входной ток транзистора VT1 будет минимальным и напряжение на выходе блока опустится до 0 В, что соответствует требуемому уровню синхросигнала в телевизоре, при этом состояние экрана не изменится.

Видеосигналы, поступающие на входы 1-3, вызывают прекращение тока во входной цепи и соответствующее увеличение тока через транзистор VT1.

Таким образом формируется 8 уровней выходного видеосигнала в пределах 0,4±2 В с равным шагом по яркости.

Сигналу маркера с помощью резистора R8 присвоен весовой коэффициент 8, т.е. несколько больший суммарного весового коэффициента трех видеосигналов.

При наличии сигнала маркера видеосигналы не подаются, а напряжение на выходе блока устанавливается равным 2,2 В, что обеспечивает выделение маркера более яркой точкой.

Потребляемый ток: 20 мА по цепи +24 В и 0,15 А по цепи +6 В.

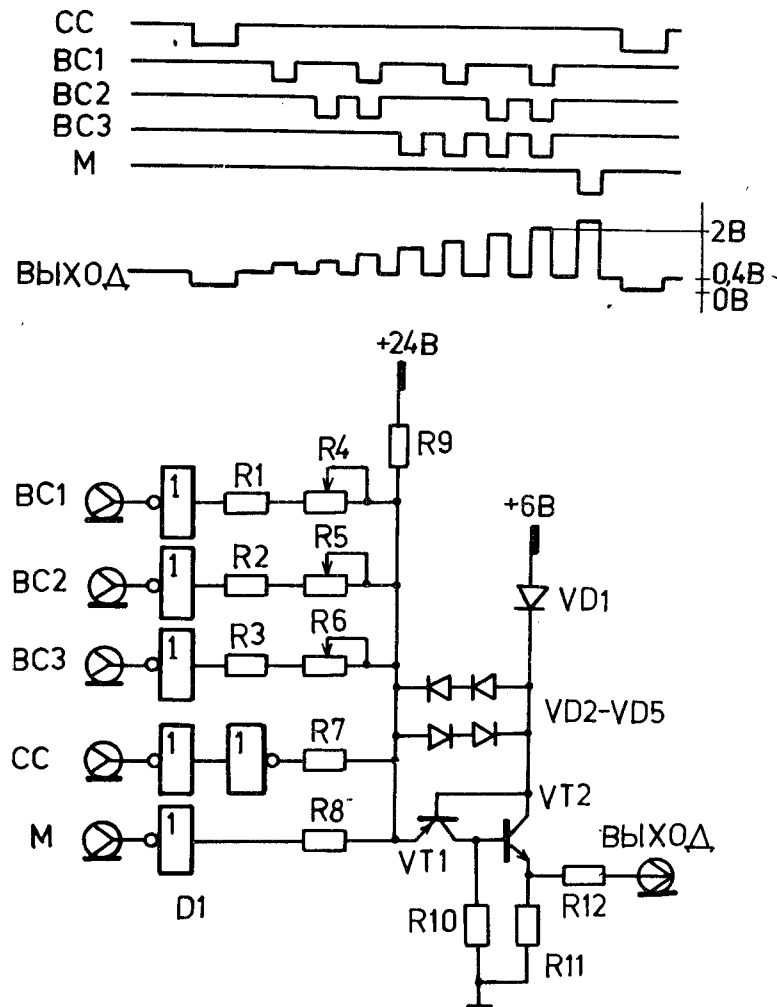


Рис.3. Передняя панель и блок-схема формирователя полутонового изображения КИ 034.

Сверху приведена форма входных и выходных сигналов, где CC - синхросигналы, BC1-BC3 - видеосигналы 1-3, M - сигнал маркера.

ВЫВОД НА ЦИФРОПЕЧАТАЮЩЕЕ УСТРОЙСТВО ВЗ-15 КИ 035

Ширина блока -34,4 мм.

Назначение: вывод информации на цифropечатaющее устройство /ЦПУ/, работающее по методу последовательного досчета /например, ВЗ-15/, в соответствии с положением переключателя П1.

Положение А:

1÷10 разряды - данные; 11,12 разряды - подадрес; 13,14 разряды - станция.

Положение Н:

1÷10 разряды - данные;

11÷14 разряды - порядковый номер.

Блок предназначен для работы с контроллером КК 001.

Блок преобразует принятые данные в двоично-десятичный код.

Вид преобразования зависит от начальной формы данных и задается путем установки в двух коммутационных панелях переключек в соответствующие отверстия, имеющие для каждой станции.

Отсутствие переключки в верхней панели означает, что слово данных содержит 32 разряда, а ее наличие - 16 разрядов.

Отсутствие переключки в нижней панели означает, что данные записаны в двоичном коде, а ее наличие - в двоично-десятичном.

Данные, содержащие 32 разряда, принимаются с двух соседних подадресов, причем младшие разряды - с четного подадреса.

Время преобразования 32-разрядного числа составляет 100 мкс.

Работа блока начинается при подаче от контроллера сигнала L, после чего выдается сигнал "Пуск ЦПУ".

По сигналу с магистрали Q-S1 блок принимает:

- номер станции в двоичном коде от контроллера;
- подадрес с шин A1÷A8 и данные с шин R1÷R16 магистрали.

По сигналу "Вызов" от контроллера:

- осуществляется преобразование принятых кодов;
- из ЦПУ во все декады принимаются 10 импульсов досчета;
- при переходе каждой декады в "0" подаются импульсы печати в ЦПУ;

- из ЦПУ принимается импульс "Цикл";

- посылается в контроллер сигнал "Код принят".

Затем указанные циклы повторяются до снятия контроллером сигнала L, после чего подается сигнал "Стоп ЦПУ".

Связь с контроллером производится через разъем РП15-15 со следующим распределением контактов:

- | | | | |
|-----|-------------------|----|------------------------|
| 1÷5 | - адрес; | 10 | - сигнал "Код принят"; |
| 6 | - сигнал "Вызов"; | 15 | - общий. |
| 9 | - сигнал L; | | |

Связь с ЦПУ производится через разъем РП15-23 со следующим распределением контактов:

- | | | | |
|-------|----------------------|-------|--------------------------|
| 1÷10 | - данные; | 18 | - сигнал "Стоп ЦПУ"; |
| 11,12 | - подадрес; | 19 | - сигнал "Цикл"; |
| 13,14 | - номер станции; | 20,21 | - напряжение +5 В в ЦПУ; |
| 16 | - сигнал "Пуск ЦПУ"; | 22,23 | - общий. |
| 17 | - импульсы досчета; | | |

Все сигналы имеют уровни ТТЛ, причем наличие сигнала соответствует низкий потенциал. Допускается начальный уровень сигналов от ЦПУ, равный 0.

Потребляемый ток: 1,5 А по цепи +6 В.

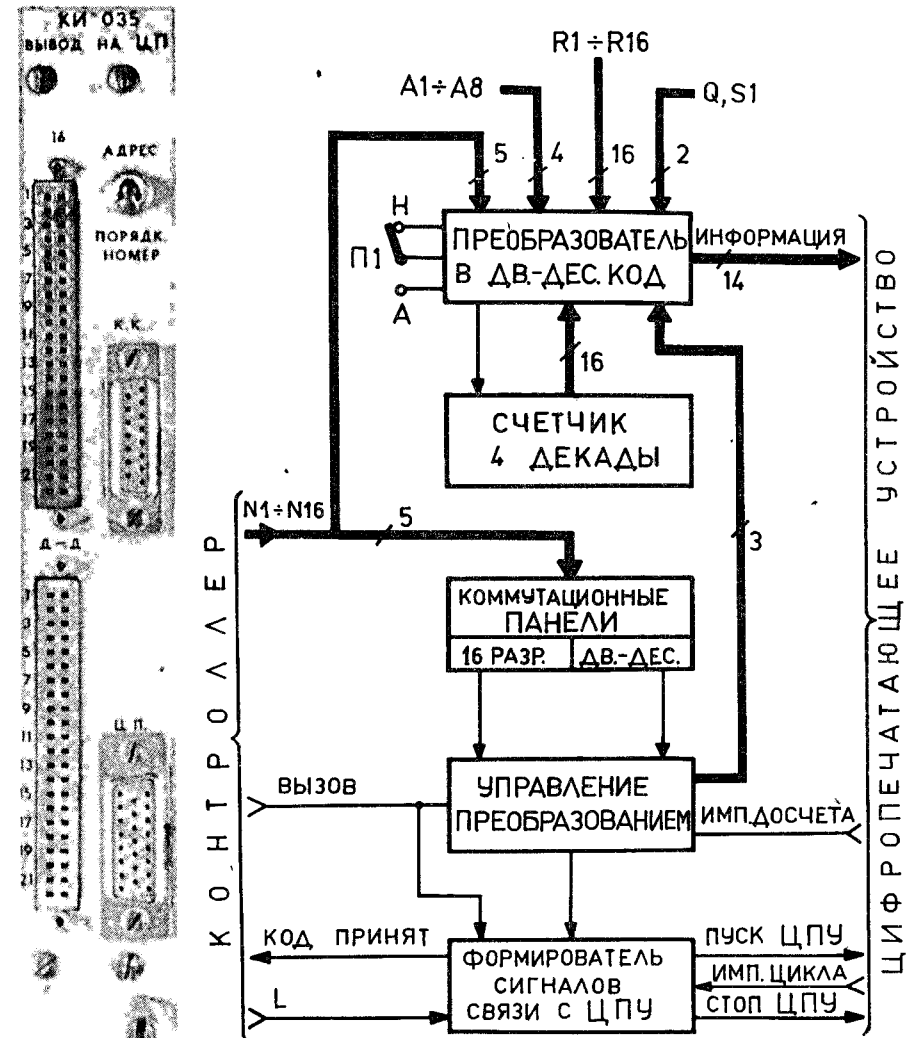


Рис.4. Передняя панель и блок-схема вывода на цифropечатaющее устройство КИ 035.

ДРАЙВЕР ВЕТВИ КК 008

Ширина блока - 17,2 мм.

Назначение: управление многокрейтной ветвевой системой, удовлетворяющей стандарту EUR 4600.

Драйверы ветви устанавливаются в главном крейте системы, который управляется обычным контроллером крейта; они используют только стандартную магистраль крейта и работают как нормальные модули.

Блок обеспечивает пересылку между магистралью главного крейта и магистралью ветви как отдельных слов, так и массивов данных в режимах ULS и ACA.

В блоке находятся следующие основные узлы:

- 16-разрядные регистры данных R и W;
- 1-й и 2-й регистры команд ветви;
- дешифратор команд КАМАК и узел управления;
- сбрасываемые буферы для выхода на магистраль ветви.

Дешифратор команд дешифрирует следующие команды, поступающие из магистрали главного крейта:

- NA(0)F(0) - чтение данных из регистра R, $Q_n = BQ_n$.
- NA(0)F(16) - запись данных в регистр W, $Q_n = BQ_{n-1}$.
- NA(0)F(17) - запись в 1-й регистр команд ветви, $Q = 1$.
- NA(1)F(17) - запись во 2-й регистр команд ветви, $Q = 1$.

Перед началом операции в ветви по команде NA(1)F(17) контроллера главного крейта в разряды 2-го регистра команд ветви записываются:

- W1÷W7 - номера крейтов ветви CR;
- W8 - команда Z для инициализации крейтов ветви;
- W9 - сигнал G для чтения запросов GL от крейтов ветви;
- W10 - сигнал E, разрешающий начало операции в ветви без наличия сигнала запроса BD.

Команда Z выполняется немедленно, путем выдачи на магистраль ветви сигнала BZ длительностью 10 мкс.

При Z=0 и G=0 контроллер подает команду NA(0)F(17), по которой в разряды 1-го регистра команд ветви записывается команда MNAF:

- W1÷W5 - номер станции N; W10÷W14 - функция F;
- W6÷W9 - подадрес A; W15, W16 - режим пересылки данных M,

где M(0) - пересылка одного слова,

M(2) - пересылка массива в режиме ULS,

M(3) - пересылка массива в режиме ACA.

Работа блока при E=1 продолжается сразу после записи команды MNAF или сигнала G, а при E=0 - после прихода с ветви сигнала BD.

В случае операции записи контроллер сначала по сигналу L от драйвера подает команду записи данных в регистр W.

По окончании любой операции контроллер по сигналу L выдает команду чтения из регистра R и получает сведения о сигналах BX и BQ.

Выход на магистраль ветви осуществляется через два аналогичных разъема P1MM1-66 со следующим распределением контактов:

- 1÷7 - BCR1÷BCR7; 25 - BX; 31÷37 - BTA1÷BTA7;
- 9÷13 - BN1÷BN16; 26 - BD; 39÷46 - BRW1÷BRW8;
- 14÷17 - BA1÷BA8; 27 - BG; 48÷55 - BRW9÷BRW16;
- 19÷23 - BF1÷BF16; 28 - BZ; 8, 18, 29, 38, 47, 56, 65, 66 -
- 24 - BQ; 30 - BTA; корпус.

Потребляемый ток: 1,4 А по цепи +6 В.

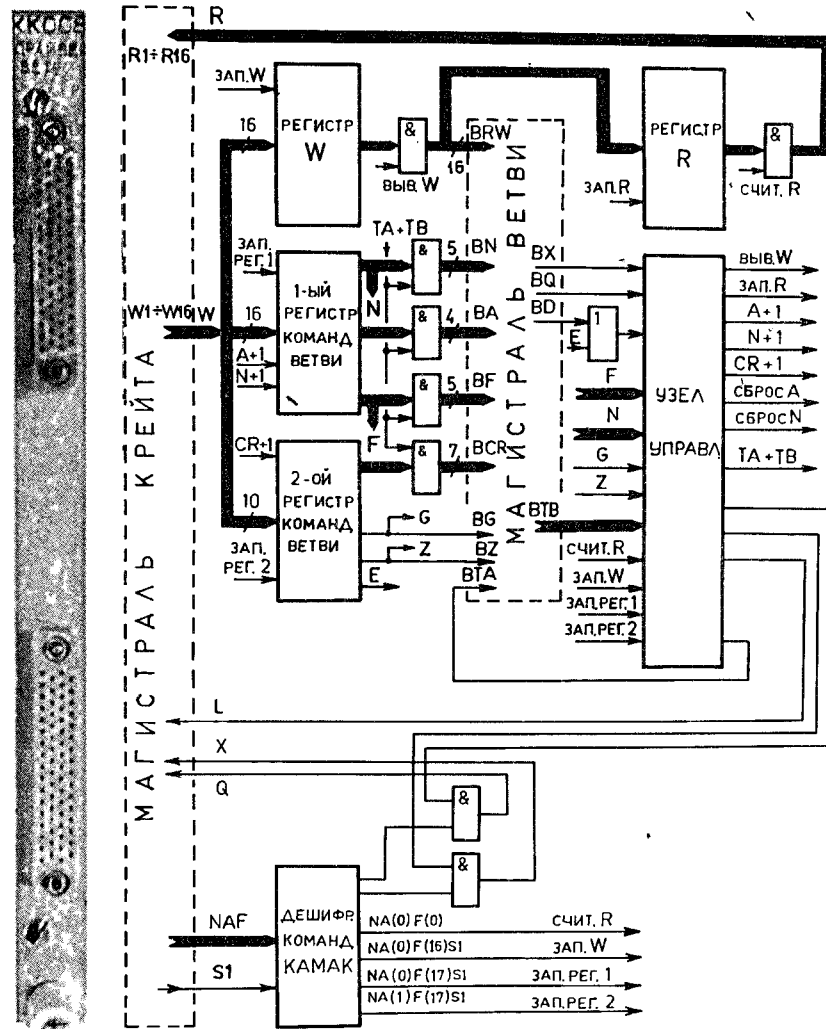


Рис.5. Передняя панель и блок-схема драйвера ветви КК 008.

УПРАВЛЕНИЕ ИНКРЕМЕНТНОЙ ЗАПИСЬЮ В ПАМЯТЬ КЛ 009

Ширина блока - 17,2 мм.

Назначение: работа в составе анализатора для организации инкрементной записи в оперативную память.

Блок должен быть связан с блоками памяти /например, КЛ 012/, формирования кодов /например, АЦП/ и управления режимами /КУ 010/.

Связь с оперативной памятью производится через разъем РП15-50, распределение контактов которого приводится в описании памяти.

Связь с другими блоками осуществляется через разъем РП15-23 со следующим распределением контактов:

- 1÷13 - данные - с блока формирования кодов;
- 17 - сигнал "Регистрация" - с блока управления режимами;
- 18 - сигнал "Код принят" - в блок формирования кодов;
- 19 - потенциал "Накопление" - в блок управления режимами;
- 20 - потенциал "Наблюдение" - в блок управления режимами;
- 21 - сигнал "Занесение" - в блок управления режимами;
- 23 - общий.

Блок обеспечивает следующие режимы работы анализатора: накопление, наблюдение, накопление + наблюдение, вывод и очистка памяти.

Три первых режима устанавливаются с помощью двух клавиш, а два последних - при нажатии соответствующей кнопки или по команде ЭВМ.

Режим "Вывод" может начинаться также по сигналу "Конец экспозиции", подаваемому через коаксиальный разъем на задней панели.

В режиме "Накопление" по сигналу "Регистрация" производится увеличение на 1 содержимого ячейки памяти, адрес которой определяется данными, поступающими из АЦП; в этой операции используются регистр адреса 1, регистр данных, триггеры Трег., Тчт. и Тзап., а также сигналы "Чтение", "Запись", "Готовность" и "Код принят".

В режиме "Наблюдение" по команде NA(0)F(0) производится вывод на шины R1÷R16 содержимого очередной ячейки памяти и увеличение ее номера на 1, для чего используются регистр адреса 2, регистр данных, триггер Тчт. и сигналы "Чтение" и "Готовность".

В режиме "Накопление + наблюдение" обе операции осуществляются совместно. Их очередность определяется блоком управления режимами анализатора КУ 010.

В режиме "Вывод" по командам NA(0)F(0) производится последовательный вывод содержимого всех ячеек памяти, начиная с нулевой, на шины R1÷R16, для чего используются регистр адреса 2, регистр данных, триггеры Твыв., Тчт. и Тбл., а также сигналы "Чтение", "Готовность", L и Q.

В режиме "Очистка" производится последовательная установка всех ячеек памяти в "0", для чего используются регистр адреса 2, триггеры Точ. и Тзап., а также сигналы "Запись" и "Готовность".

При переполнении регистра адреса 2 подается сигнал "Занесение".

Сигналы Z и C устанавливают в "0" все регистры и триггеры блока.

Блок выполняет следующие команды с магистрали:

- NA(0)F(0) - чтение данных, Q=1.
 - NA(0)F(9) - пуск режима "Очистка", Q=0.
 - NA(0)F(11) - сброс всех регистров и триггеров, Q=0.
 - NA(0)F(17) - занесение нач.адреса и пуск режима "Вывод", Q=1.
- Потребляемый ток: 1,5 А по цепи +6 В и 30 мА по цепи -6В.

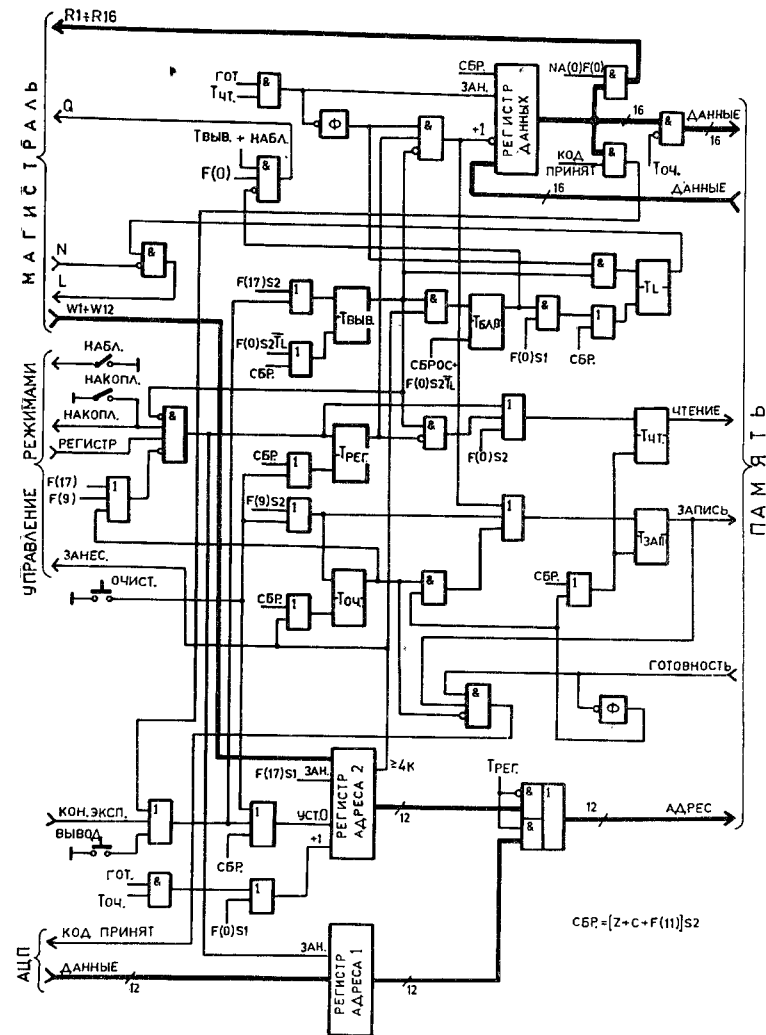


Рис.6. Передняя панель и блок-схема управления инкрементной записью в память КЛ 009.

УПРАВЛЕНИЕ ПОСЛЕДОВАТЕЛЬНОЙ ЗАПИСЬЮ В ПАМЯТЬ КЛ 010

Ширина блока - 17,2 мм.

Назначение: организация записи 16-разрядных данных, поступающих на вход, в последовательные ячейки оперативной памяти /например, КЛ 012/ и их последовательной выдачи в том же порядке в магистраль. Режим работы блока определяется триггером "Чтение-запись".

В режиме "Запись" выполняются следующие действия:

- по сигналу "Вызов" триггер $T_{зап.}$ переходит в "1", образуя сигнал "Запись", по которому входные данные заносятся в память;
- по спаду сигнала "Готовность" добавляется 1 в адресный счетчик и счетчик слов, возвращается в "0" триггер $T_{зап.}$ и формирует сигнал "Ответ".

В этом режиме включена лампочка "Запись".

Режим "Чтение" устанавливается при переполнении адресного счетчика или при поступлении внешнего сигнала "Конец массива".

В режиме чтения блокируется сигнал "Вызов" и переводится в "0" адресный счетчик, после чего выполняются следующие действия:

- триггер $T_{чт.}$ переходит в "1", образуя сигнал "Чтение";
- по сигналу "Готовность" подается сигнал L, а по спаду сигнала "Готовность" триггер $T_{чт.}$ возвращается в "0";
- по команде контроллера производится чтение с шин R1-R16;
- по сигналу S2 снимается сигнал L, в адресный счетчик добавляется 1, из счетчика слов вычитается 1, триггер $T_{чт.}$ переходит в "1".

Массив данных считывается в режиме ULS до перехода счетчика слов в "0", после чего устанавливается режим "Запись".

Сигналы Z и C переводят все счетчики и триггеры в начальное состояние и устанавливают режим "Запись".

Два блока, у которых выходы "Каскад" соединены со входами "Каскад" другого, обеспечивают одновременный прием входных данных в один из них и чтение в магистраль со второго.

Связь с внешним устройством производится через разъем РП15-23 со следующим распределением контактов:

- 1-16 - входы данных; 21 - вход сигнала "Конец массива";
- 19 - вход сигнала "Вызов"; 22 - выход сигнала L;
- 20 - выход сигнала "Ответ"; 23 - общий.

Все сигналы имеют уровни ТТЛ, причем наличие сигнала соответствует низкий потенциал.

Сигналы "Вызов" и L могут передаваться также через коаксиальные разъемы в уровнях НИМ.

Длительность сигналов "Вызов" и "Конец массива" ≥ 50 нс.

Длительность сигнала "Ответ" - 150 нс.

Связь с оперативной памятью производится через разъем РП15-50, распределение контактов которого приводится в описании памяти.

Блок выполняет следующие команды с магистрали:

- NA(0)F(0) - чтение содержимого памяти, Q=1.
- NA(0)F(8) - проверка наличия сигнала L, Q=L.
- NA(0)F(9) - сброс всех счетчиков и триггеров, установка режима "Запись", Q=0.
- NA(0)F(10) - сброс триггера L, Q=L.

Потребляемый ток: 0,7 А по цепи +6 В и 60 мА по цепи -6 В.

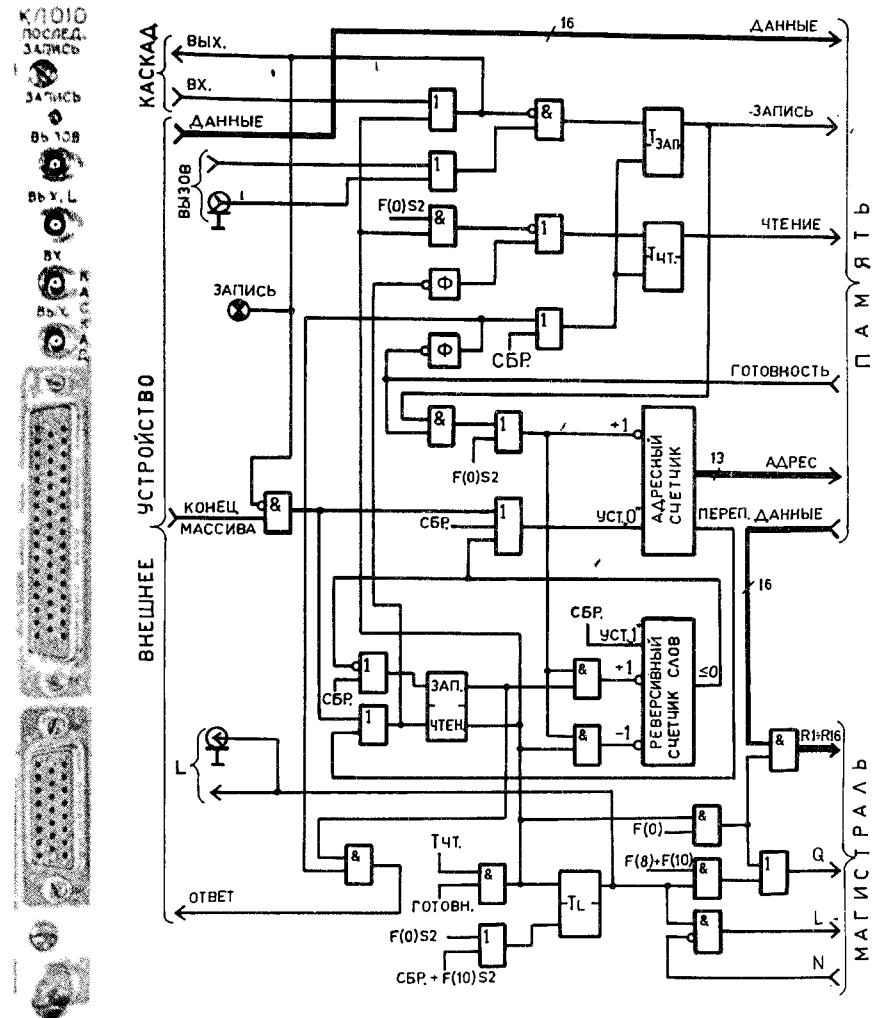


Рис. 7. Передняя панель и блок-схема управления последовательной записью в память КЛ 010.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 012

Ширина блока - 17,2 мм.

Блок содержит 4К 16-разрядных слов ОЗУ статического типа.

Время доступа к памяти составляет 450 нс.

Основой памяти являются интегральные микросхемы К565РУ2А, имеющие структуру 1Кх1 бит. Они собраны в 4 группы, каждая из которых содержит 1К 16-разрядных слов.

Связь блока с магистралью-имеется только по питанию.

Подача адреса, пересылка информации и установка режима работы памяти осуществляются с помощью отдельного блока управления памятью.

В зависимости от типа блока управления память может работать в инкрементном режиме, режиме последовательного заполнения или режиме произвольного доступа.

Связь с блоком управления производится через установленный на передней панели разъем РП15-50 со следующим распределением контактов:

1÷12 - адрес,	48 - вход сигнала "Чтение",
15÷30 - входы данных,	49 - выход сигнала "Готовность",
31÷46 - выходы данных,	50 - общий.
47 - вход сигнала "Запись",	

Номер группы выбирается двумя старшими разрядами адреса/11,12/, которые с помощью дешифратора образуют сигналы выбора микросхемы СЕ0÷СЕ3.

При записи информации выполняются следующие действия:

- из блока управления памятью подаются адрес ячейки, данные и сигнал "Запись";
- сигнал "Запись" запускает одновибратор ОВ, дающий импульс длительностью 450 нс;
- импульс одновибратора поступает на вход "Запись-чтение" схем памяти, образуя строб-импульс записи, по которому данные заносятся в память;
- по спаду импульса одновибратора формируется сигнал "Готовность" длительностью 150 нс, который сообщает о готовности блока к следующей операции.

При чтении информации выполняются следующие действия:

- из блока управления памятью подаются адрес ячейки и сигнал "Чтение";
- сигнал "Чтение" запускает одновибратор ОВ, при этом импульс на вход "Запись-чтение" схем памяти не поступает;
- на выходных шинах появляются считываемые данные;
- по спаду импульса одновибратора формируется сигнал "Готовность".

Потребляемый ток: 2,0 А по цепи +6 В.

КЛ 012
ПАМЯТЬ
4К

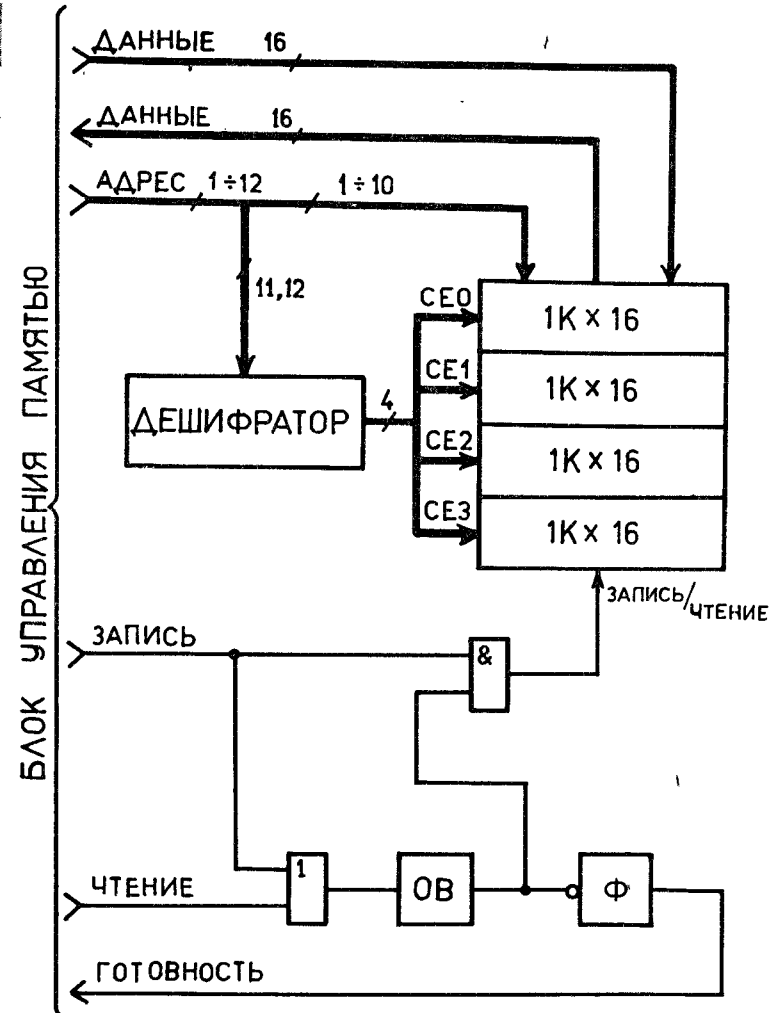


Рис.8. Передняя панель и блок-схема оперативной памяти КЛ 012.

УПРАВЛЕНИЕ ПРОИЗВОЛЬНЫМ ДОСТУПОМ К ПАМЯТИ КЛ 013

Ширина блока - 17,2 мм.

Назначение: организация пересылки 16-разрядных данных между магистралью крейта и оперативной памятью /например, КЛ 012/.

Обращение к ячейкам памяти осуществляется с помощью 13-разрядного адресного регистра.

Начальный адрес заносится в этот регистр командой контроллера с функцией F17 с шин W1÷W16.

При записи данных выполняются следующие действия:

- по команде контроллера с функцией F16 снимается сигнал L, переходит в "1" триггер T_{зап.}, образуя сигнал "Запись", по которому данные с шин W1÷W16 заносятся в выбранную ячейку памяти;

- после выполнения операции записи из памяти поступает сигнал "Готовность", по спаду которого триггер T_{зап.} возвращается в "0" и подается сигнал L.

При чтении данных выполняются следующие действия:

- при занесении начального адреса триггер T_{чт.} переходит в "1", образуя сигнал "Чтение", по которому данные выдаются на выход памяти;

- после выполнения операции чтения из памяти поступает сигнал "Готовность", по спаду которого триггер T_{чт.} возвращается в "0" и подается сигнал L;

- по команде контроллера с функцией F(0) снимается сигнал L и данные с выхода памяти передаются на шины R1÷R16.

Для упрощения адресации при пересылке массивов данных следует выполнять команды записи или чтения с подадресом A1, тогда в адресный регистр добавляется 1 в следующие моменты времени:

- при записи - по сигналу "Готовность" с помощью триггера T_{зан.};

- при чтении - по сигналу S2 магистральной; по этому же сигналу переводится в "1" триггер T_{чт.}.

Связь блока с оперативной памятью производится через разъем РП15-50, распределение контактов которого приводится в описании подключаемой памяти.

Сигналы Z и C устанавливаются в "0" адресный регистр и все триггеры.

Блок выполняет следующие команды с магистральной:

NA(0)F(0) - чтение данных, сброс сигнала L,	Q=1.
NA(1)F(0) - чтение данных, сброс сигнала L, занесение +1 в адресный регистр,	Q=1.
NA(0)F(8) - проверка наличия сигнала L,	Q=L.
NA(0)F(10) - сброс сигнала L,	Q=L.
NA(0)F(16) - запись в память, сброс сигнала L,	Q=1.
NA(1)F(16) - запись в память, сброс сигнала L, занесение +1 в адресный регистр,	Q=1.
NA(0)F(17) - запись в адресный регистр,	Q=1.

Потребляемый ток: 0,6 А по цепи +6 В.

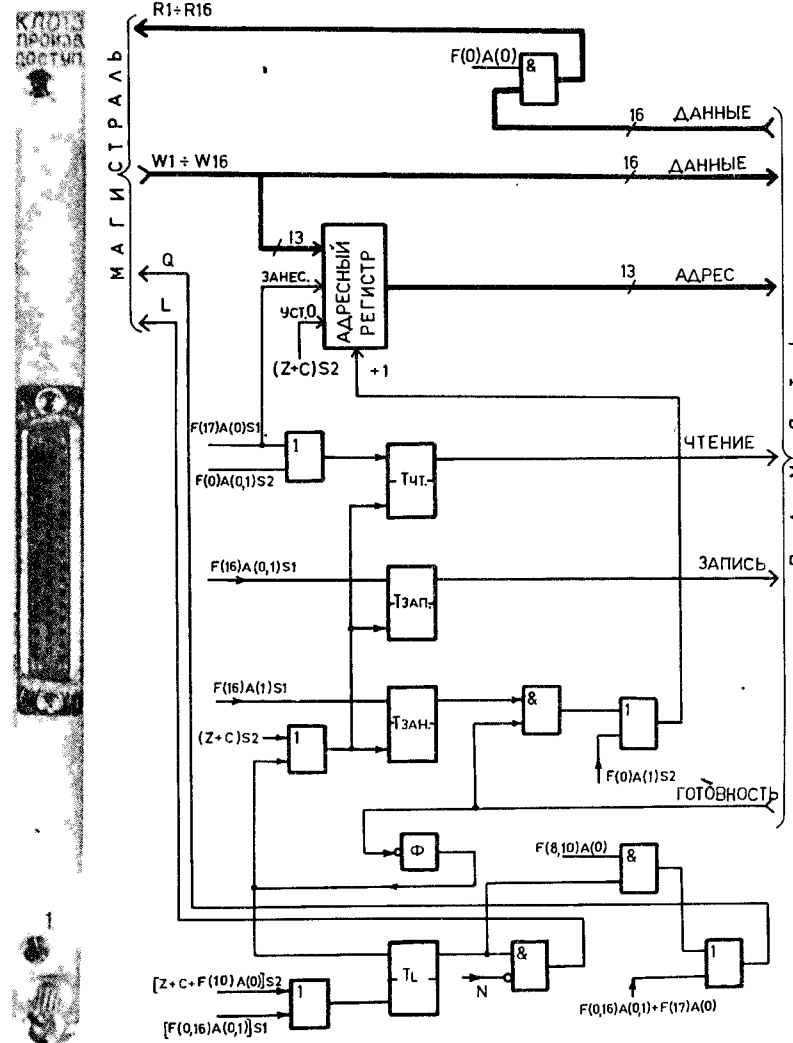


Рис.9. Передняя панель и блок-схема управления произвольным доступом к памяти КЛ 013.

ОПЕРАТИВНАЯ ПАМЯТЬ КЛ 015

Ширина блока - 17,2 мм.

Назначение: работа совместно с микро-ЭВМ КМ 002 или "Электроника-60".

Блок содержит ОЗУ динамического типа емкостью 32К 16-разрядных слов, которое построено на 32 интегральных микросхемах К565РУЗ, имеющих структуру 16К x 1 бит.

ОЗУ состоит из 4 частей, содержащих по 16К байт и разделяется на 8 групп банков, имеющих по 4К 16-разрядных слов, причем банки 0÷3 расположены в 1-й и 2-й частях ОЗУ, а банки 4÷7 - в 3-й и 4-й частях /соответственно младшие байты в 1-й и 3-й, а старшие - во 2-й и 4-й частях/.

ОЗУ позволяет работать как с 8-разрядными байтами, так и с 16-разрядными словами.

Связь с шиной микро-ЭВМ производится через узел управляющих сигналов и буфер данных и адреса.

Операции в блоке начинаются при поступлении по шине микро-ЭВМ сигналов К ПУСК и К СИА.

Адрес выбираемой ячейки содержит 14 бит /линии ДА 01÷14/ и с помощью мультиплексора MS2 вводится в микросхему по ее шинам $A0÷6$ в два приема: младшая часть адреса - по сигналу выбора ряда RAS и старшая - по сигналу выбора столбца CAS 0÷1.

Данные заносятся в микросхему по сигналу записи WE 0÷1 через вход DI; при записи байта сигнал WE0 появляется при ДА 00=0 и сигнал WE1 - при ДА 00=1; при записи слова выдаются оба сигнала.

При считывании данные поступают на выход микросхемы DO.

Во время передачи адреса сигналы ДА 13÷15 поступают на входы А трехразрядного сумматора SM. На его входах Б перемычками 13÷15 задается число, означающее смещение номера банка. Получаемый на выходе сумматора модифицированный адрес позволяет задавать любой начальный адрес банков с кратностью 4К. Эти адреса подаются на дешифратор DC, на выходе которого устанавливаются перемычки 0÷7 в линиях адресов имеющихся банков. В случае наличия в блоке полной памяти 32К слов старший банк должен быть отключен, т.к. старшие 4К адресов в микро-ЭВМ КМ 002 отводятся для устройств ввода-вывода.

При условии правильной адресации памяти в ответ на поданную команду микро-ЭВМ выдается сигнал К СИП.

Регенерация памяти осуществляется при поступлении от микро-ЭВМ с периодом 1 мс сигнала К РГН, во время которого производится 64 цикла чтения из всех микросхем ОЗУ, поскольку подаются оба сигнала CAS. В каждом цикле чтения регенерируются данные во всех битах ряда, выбранного сигналом RAS, следовательно, регенерация всех 128 рядов микросхемы будет выполнена двумя сигналами К РГН. Для смены рядов во время регенерации к ОЗУ вместо линии ДА 07 через мультиплексор MS1 подсоединяется выход триггера ТРГН, который переключается при снятии каждого сигнала К РГН.

Связь с шиной микро-ЭВМ производится через два одинаковых разъема РП15-50, распределение контактов которого приведено в описании микро-ЭВМ КМ 002.

Потребляемый ток: 0,3 А по цепи +12 В; 0,9 А по цепи +6 В и 10 мА по цепи -6 В.

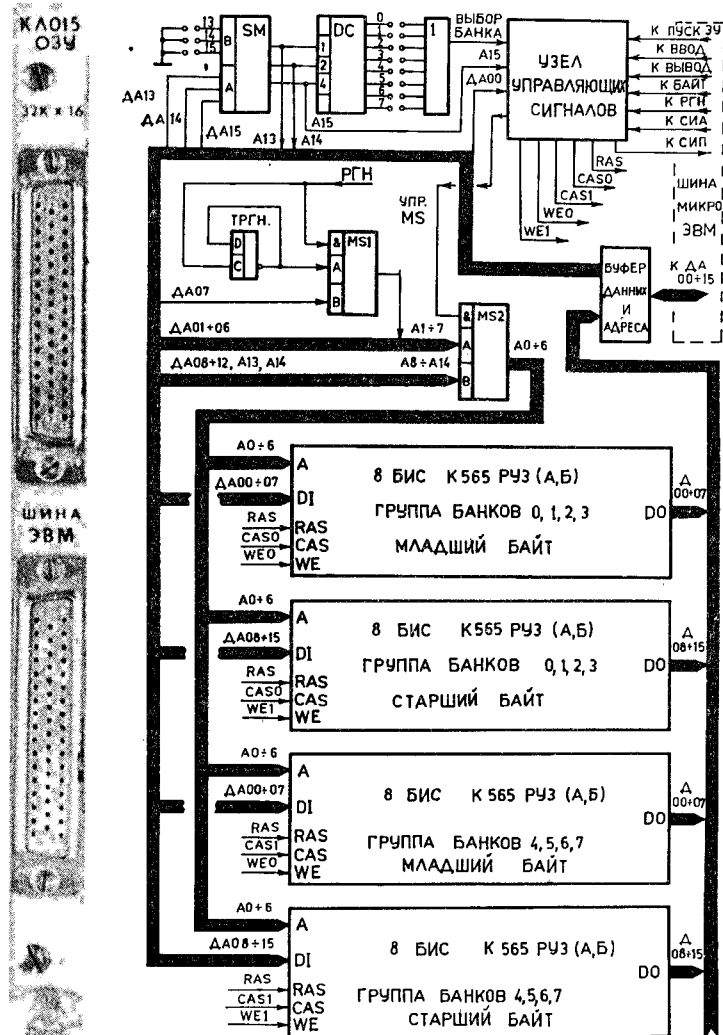


Рис.10. Передняя панель и блок-схема оперативной памяти КЛ 015.

МИКРО-ЭВМ КМ 002

Ширина блока - 17,2 мм.

Назначение: работа в составе интеллектуальной автономной управляющей системы, например совместно с контроллером крейта, предназначенным для связи с шиной микро-ЭВМ "Электроника-60".

Микро-ЭВМ построена на основе БИС микропроцессорной серии К581 и полностью совместима с микро-ЭВМ "Электроника-60" по шине, системе команд, адресации памяти и внешних устройств и быстродействию.

Основой микро-ЭВМ является микропроцессор, состоящий из 4 БИС:

- регистровое арифметическо-логическое устройство К581ИК1;
- микропрограммное управление /МПУ/ К581ИК2;
- микропрограммные постоянные ЗУ /МПЗУ/ К581РУ1 и К581РУ2.

В состав микро-ЭВМ также входят следующие основные узлы:

- узел управления шиной, организующий пересылку адреса и данных по мультиплексиремым линиям К ДА с помощью сигналов К СИА, К ВВОД, К ВЫВОД, К БАЙТ, К ПУСК ЗУ, К СИП;
- узел управления прерываниями, осуществляющий прием сигналов от 8 источников прерывания и их синхронизацию с работой БИС МПУ;
- узел предоставления прямого доступа, который отдает шину микро-ЭВМ внешнему устройству по его требованию К ТПД, на это время приостанавливает работу микропроцессора и отключает его от шины.

Тактовый генератор синхронизирует работу всех узлов микро-ЭВМ.

Буфер данных и адреса формирует сигналы К ДА на шине микро-ЭВМ.

Селектор адресов устройств ввода-вывода формирует сигнал К ВУ в случае выбора старших 4К слов памяти.

Буфер внутреннего ввода с помощью 2 перемычек позволяет ввести в микропроцессор один из 4 установленных вариантов запуска микро-программы, а также используется при обработке прерываний.

Дешифратор микрокоманд расширяет набор сигналов процессора.

Генератор запроса регенерации выдает сигналы на регенерацию динамической памяти, по которым происходит микропрограммное прерывание микропроцессора и выполнение 64 циклов чтения из ОЗУ.

Формирователь специальных управляющих сигналов выдает на шину микро-ЭВМ сигналы К РГН на время регенерации динамической памяти и К СВРОС для инициализации внешних устройств.

В блоке находится также стираемая программируемая постоянная память /СППЗУ/ на схемах К573РФ1, содержащая 3К слов, связанные с ней селектор и регистр адреса и буфер данных и адреса.

Связь с СППЗУ и другими блоками производится через шину микро-ЭВМ, которая состоит из 16 совмещенных линий адреса и данных и 20 линий управления.

Шина микро-ЭВМ выводится на разъем РП15-50, который имеет следующее распределение контактов:

- | | | | |
|---------------------|-------------|------------|---------------|
| 1 - общий; | 22 - ПРТ; | 28 - БАЙТ; | 34 - ПВ; |
| 2÷17 - ДА 00÷ДА 15; | 23 - СВРОС; | 29 - ВУ; | 35 - ПУСК ЗУ; |
| 18 - ТПР; | 24 - ПИТН; | 30 - РГН; | 36 - СИА; |
| 19 - ППР1; | 25 - ПОСТ; | 31 - ТПД; | 37 - СИП. |
| 20 - ППРО; | 26 - ВВОД; | 32 - ППД1; | |
| 21 - ОСТ; | 27 - ВЫВОД; | 33 - ППДО; | |

Потребляемый ток: 0,4 А по цепи +12 В; 1,7 А по цепи +6 В и 0,15 А по цепи -6 В.

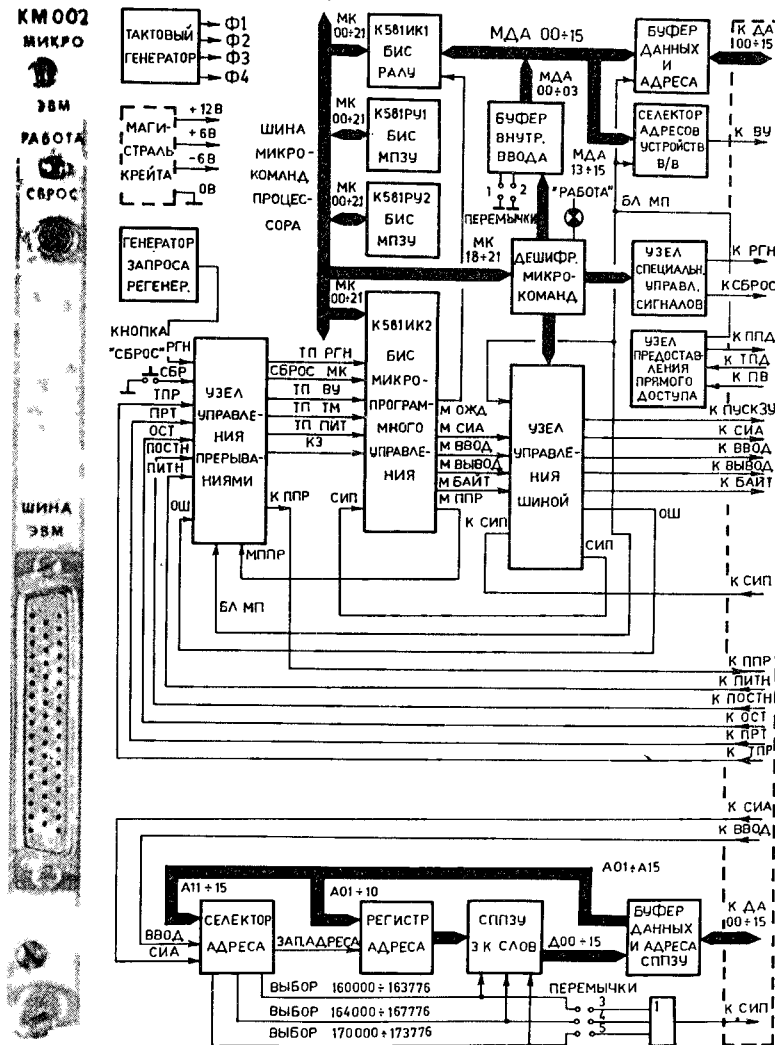


Рис.11. Передняя панель и блок-схема микро-ЭВМ КМ 002.

УПРАВЛЕНИЕ РЕЖИМАМИ АНАЛИЗАТОРА КУ 010

Ширина блока - 34,4 мм.

Назначение: управление режимами работы многоканального анализатора в стандарте КАМАК совместно с контроллером КК 001.

Блок должен занимать станцию N23 и иметь связь с контроллером, блоками формирования кодов/например, АЦП/ и управления памятью.

Связь с контроллером осуществляется через магистраль и следующие контакты разъема МРН-32, установленного на задней панели:

- 1 - сигнал L1 /вход/;
- 27 - "Блок. Q" /выход/;
- 25 - сигнал N_к /выход/;
- 31 - сигнал T_{ЛК} /вход/;
- 26 - "Блок. NA" /выход/;
- 32 - общий.

Связь с другими блоками осуществляется через разъем РП15-9 со следующим распределением контактов:

- 1 - сигнал "Регистрация" - в блок управления памятью;
- 2 - потенциал "Накопление" - с блока управления памятью;
- 3 - потенциал "Наблюдение" - с блока управления памятью;
- 4 - сигнал "Занесение" - с блока управления памятью;
- 5 - сигнал "Мертвое время" - с блока формирования кодов;
- 6 - сигнал "Вызов" - с блока формирования кодов;
- 9 - общий.

В режиме "Накопление" схема выбора режима при приходе сигнала "Вызов" выдает сигнал "Регистрация".

В режиме "Наблюдение" выполняются следующие действия:

- включается генератор, выдающий импульсы с частотой 125 кГц;
- схема выбора режима при приходе каждого импульса переводит в "1" триггер T_{набл.}, затем формируются сигналы "Блок. Q" и L23;
- из контроллера подается сигнал T_{ЛК};
- данные, поступающие по команде контроллера из памяти на шины R1-R16, передаются на шины W1-W16 для приема интерфейсом дисплея;
- по сигналу S1 триггер T_{набл.} возвращается в "0", и в контроллер подается сигнал N_к, устанавливающий его в начальное состояние.

В этом режиме содержимое любой ячейки памяти может быть представлено на индикаторах в виде 5-разрядного десятичного числа.

Номер ячейки выбирается переключателями и записывается импульсом "Занесение" в счетчик маркера, работающий на вычитание от импульсов Q-S2. При достижении счетчиком "0" подается импульс на включение индикаторов и удлинение времени подсвета точки в дисплее.

В режиме "Накопление + наблюдение" обеспечивается следующее:

- схема выбора режима выдает сигнал о начале новой операции накопления или наблюдения только после окончания предыдущей;
- генератор блокируется сигналом "Мертвое время", приходящим перед сигналом "Вызов", поэтому скорость регистрации новых импульсов практически не уменьшается.

В режиме "Вывод" в блок через контроллер подается сигнал L1 от блока управления памятью, который вызывает следующие действия:

- переходят в "1" триггеры T_{запрет}, T_{бл. NA} и T_л, блокируются генератор и сигналы "Вызов" и подаются сигналы "Блок. NA" и L23;
- производится передача массива данных из памяти в режиме ULS;
- после окончания передачи в контроллер подается сигнал N_к.

Сигнал Z устанавливает узлы блока в исходное состояние.

Потребляемый ток: 1,75 А по цепи +6 В и 30 мА по цепи -6 В.

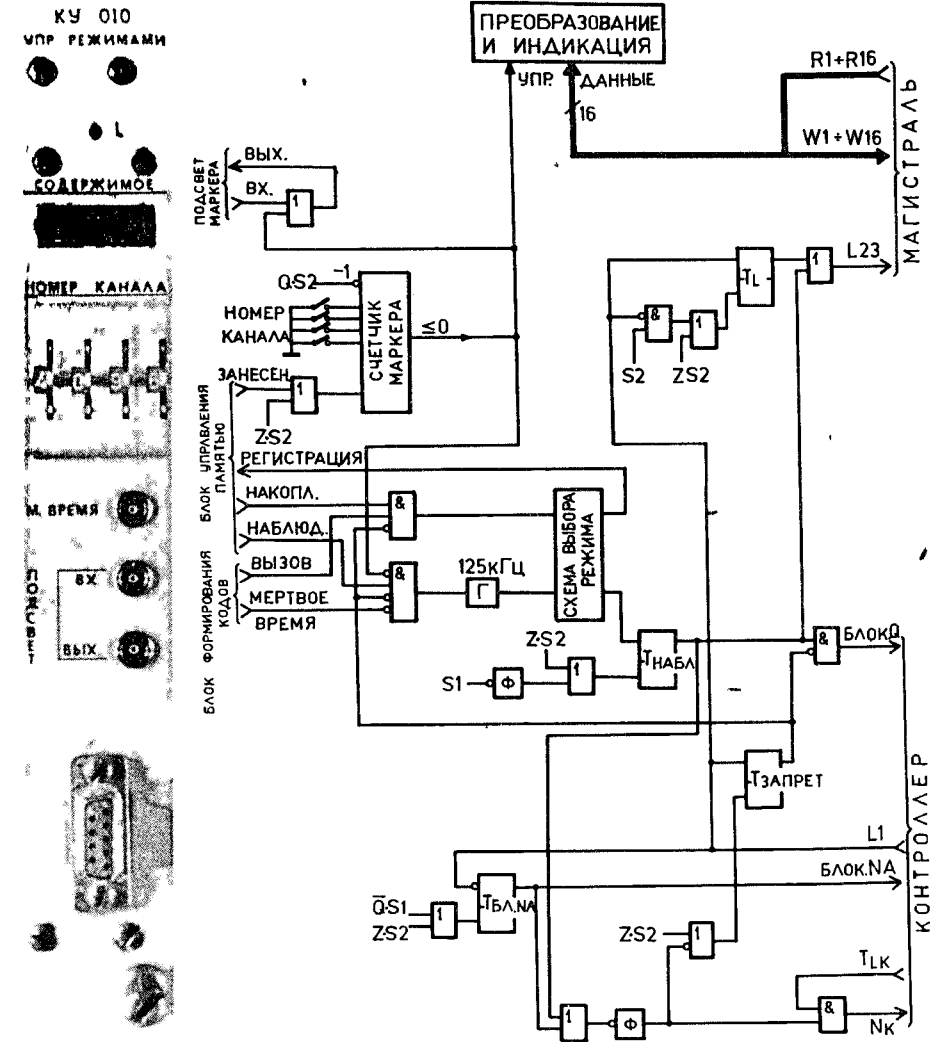


Рис.12. Передняя панель и блок-схема управления режимами анализатора КУ 010.

ЛИТЕРАТУРА

1. Журавлев Н.И. и др. ОИЯИ, 10-7332, Дубна, 1973.
2. Журавлев Н.И. и др. ОИЯИ, 10-8114, Дубна, 1974.
3. Журавлев Н.И. и др. ОИЯИ, 10-8754, Дубна, 1975.
4. Журавлев Н.И. и др. ОИЯИ, 10-9479, Дубна, 1976.
5. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
6. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
7. Антюхов В.А. и др. ОИЯИ, 10-12912, Дубна, 1979.
8. Антюхов В.А. и др. ОИЯИ, 10-80-650, Дубна, 1980.
9. Вьонг Дао Ви и др. ОИЯИ, 10-81-755, Дубна, 1981.

Рукопись поступила в издательский отдел
10 декабря 1982 года.

Антюхов В.А. и др.

10-82-844

Цифровые блоки в стандарте КАМАК /выпуск X/

Приводятся краткие характеристики и блок-схемы 12 новых блоков в стандарте КАМАК. В состав этих блоков входят: микро-ЭВМ, драйвер ветви, цифроаналоговый преобразователь, интерфейс черно-белого телевизора, формирователь полутонного изображения, две оперативных памяти, блоки, обеспечивающие режимы последовательной и инкрементной записи и произвольного доступа к памяти, управление режимами анализатора и вывод на цифрепечатающее устройство.

Работа выполнена в Лаборатории ядерных проблем ОИЯИ.

Сообщение Объединенного института ядерных исследований. Дубна 1982

Antyukhov V.A. et al.

10-82-844

Digital CAMAC Modules /Issue X/

Data sheets and block diagrams of 12 new CAMAC modules are presented. These consist of a microcomputer, branch driver, DAC, black-white TV interface, gray-scale display interface, two types of memory, memory controller for increment, FIFO and RAM operation modes, module for the control of analyser operation modes and printer interface.

The investigation has been performed at the Laboratory of Nuclear Problems, JINR.

Communication of the Joint Institute for Nuclear Research. Dubna 1982

Перевод О.С.Виноградовой.