

СООБЩЕНИЯ
ОБЪЕДИНЕННОГО
ИНСТИТУТА
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ
ДУБНА



Ц8452
Б-874

23/ix.74

10 - 7983

3808/2-74

Е.Браньковски, В.Н.Белик, О.И.Елизаров, Ш.Салаи

ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНЫХ КОДОВ
В ДВОИЧНО-ДЕСЯТИЧНЫЕ В СТАНДАРТЕ КАМАК

1974

ЛАБОРАТОРИЯ НЕЙТРОННОЙ ФИЗИКИ

10 - 7983

Е.Браньковски, В.Н.Белик, О.И.Елизаров, Ш.Салаи

ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНЫХ КОДОВ
В ДВОИЧНО-ДЕСЯТИЧНЫЕ В СТАНДАРТЕ КАМАК

Объединенный институт
ядерных исследований
БАНС ШАНТУЕНА

1. Введение

Для вывода накопленной цифровой информации на внешние устройства /например, на цифropечать/ часто требуется преобразователь кодов из двоичной системы в двоично-десятичную.

Используемый в данной работе алгоритм преобразования впервые был предложен Райном^{/1/}. От известных ранее алгоритмов он отличается тем, что операции сдвига и коррекции числа осуществляются на каждом шаге одновременно, что приводит к более экономному схемному решению и более высокому быстродействию.

Преобразователь выполнен в стандарте КАМАК^{/2/} и состоит из двух модулей единичной ширины:

- основного модуля /а/, содержащего блок управления и блок преобразования 12-разрядного двоичного кода в 16-разрядный двоично-десятичный;

- модуля-расширителя /б/, позволяющего увеличить длину преобразуемого двоичного кода до 24 разрядов, что соответствует 29 двоично-десятичным разрядам.

Модули соединяются между собой посредством разъемов на задних панелях.

Время преобразования для 12 разрядов - 2,4 мксек, для 24 разрядов - 4,8 мксек.

От известного преобразователя^{/3/} данный преобразователь отличается более высоким быстродействием /более чем в 2 раза/, более рациональным построением тетрады /что привело к экономии схем в 1,5 раза в расчете на тетраду/ и более гибкой структурой устройства, состоящего из двух отдельных блоков, что позволяет пользователю в случае преобразования 12-разрядных кодов использовать только один модуль КАМАК единичной ширины.

2. Принцип работы преобразователя

Преобразование двоичного кода в двоично-десятичный происходит в тетрадах, количество которых зависит от числа двоичных разрядов преобразуемого кода.

Каждая двоично-десятичная тетрада состоит из 4-разрядного синхронного счетчика на D-триггерах и схем комбинационной логики /рис. 1/. Схемы комбинационной логики из текущих состояний триггеров Q_1, Q_2, Q_4, Q_8 тетрады и сигнала переноса C_i , поступающего из предыдущей тетрады, формируют соответствующие значения логических уровней "1" или "0" для входов D_1, D_2, D_4, D_8 триггеров тетрады и сигнала переноса C_{i+1} в следующую тетраду.

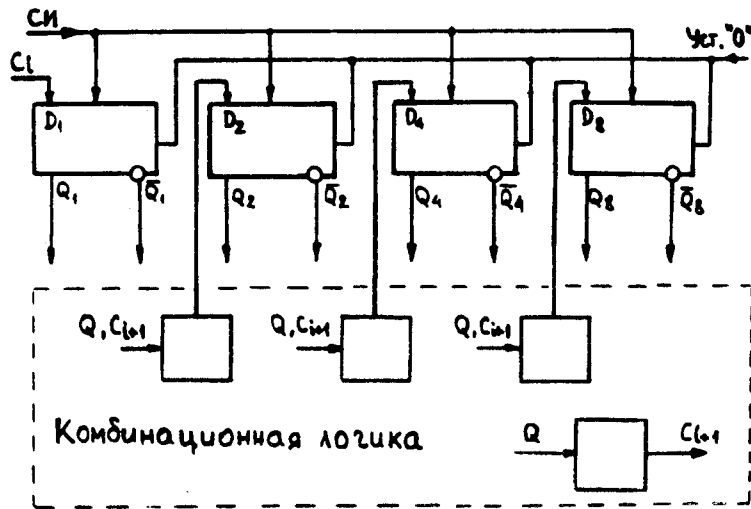


Рис. 1. Функциональная схема тетрады.

С приходом синхриимпульса /СИ/ осуществляются удвоение содержимого тетрады, причем:

а/ если предыдущая тетрада содержит число $K \geq 5$, а $C_i = 1$, то к результату удвоения прибавляется 1, при этом для самой младшей тетрады вместо сигнала переноса C_i поступает 1 из выходного регистра;

б/ если в результате удвоения в предыдущей тетраде образуется число $K > 9$, то в следующую тетраду поступает сигнал переноса $C_{i+1} = 1$, а значение содержимого предыдущей тетрады уменьшается на 10_{10} .

В табл. 1 приведены состояния выходов Q тетрады и необходимые значения сигналов D, осуществляющих этот принцип преобразования. Обозначения n и n+1 соответствуют состояниям тетрады до и после прихода СИ.

Из табл. 1 следует, что D_2, D_4, D_8 и C_{i+1} не зависят от C_i . Заметим, что, согласно рис. 1, $D_1 = C_i$.

3. Схемная реализация тетрады

Синтез схем комбинационной логики сводится к определению формул для входов D триггеров тетрады /рис. 1/. Приведем два варианта реализации тетрады.

3.1. Вариант 1

Из табл. 1 входы D можно определить как:

$$\begin{aligned} D_1 &= C_i \\ D_2 &= C_{i+1} \bar{Q}_1 + \bar{C}_{i+1} Q_1 \\ D_4 &= C_{i+1} \bar{Q}_1 \bar{Q}_2 + Q_1 Q_2 + \bar{C}_{i+1} Q_2 \\ D_8 &= \bar{C}_{i+1} Q_4 + Q_1 Q_8 \\ C_{i+1} &= Q_1 Q_4 + Q_2 Q_4 + Q_8 \end{aligned} \quad /1/$$

Принципиальная схема тетрады, осуществленная на основе формул /1/, представлена на рис. 2. Количество интегральных схем составляет $5 \frac{3}{4}$ корпуса на тетраду.

3.2. Вариант 2

При выводе формул предполагалось, что СИ устанавливает соответствующий триггер в единичное состояние при $D = 1$ и в нулевое состояние - при $D = 0$. Сброс содержимого тетрады происходит при этом по входам "установка в нуль" триггеров.

Таблица I

к	n								n+1							
	$C_i = 0$				$C_i = 1$				$C_i = 0$				$C_i = 1$			
	Q_8	Q_4	Q_2	Q_1	Q_8	Q_4	Q_2	Q_1	C_{i+1}	Q_8	Q_4	Q_2	Q_1	C_{i+1}	Q_8	D_4
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	1	0	0	1	0	0	0	0	1	1	0	0	1
2	0	0	1	0	0	1	0	0	0	0	1	0	1	0	0	1
3	0	0	1	1	0	1	1	0	0	0	1	1	1	0	1	1
4	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0	0
5	0	1	0	1	0	0	0	1	0	0	0	1	1	0	0	0
6	0	1	1	0	0	1	0	1	0	1	0	1	1	0	0	1
7	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	0
8	1	0	0	0	0	1	1	0	1	0	1	1	1	0	1	1
9	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	0

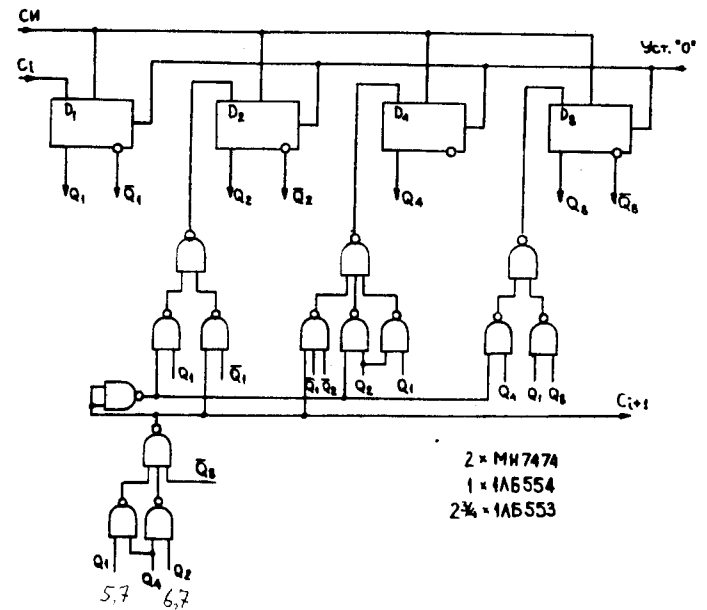


Рис. 2. Принципиальная схема первого варианта тетрады.

Если отвлечься от того, что выход Q триггера принято считать прямым, а \bar{Q} - инверсным, и принять противоположную концепцию, т.е. считать прямым выходом \bar{Q} , а инверсным - Q , то установка триггера в единичное состояние должен происходить при $D=0$, а в нулевое - при $D=1$. Естественно, сброс содержимого тетрады при этом происходит по входам установка в единицу.

Оказалось, что такая концепция позволяет более экономно осуществить синтез схем комбинационной логики тетрады.

В табл. 2 приведены состояния выходов тетрады и соответствующие им значения сигналов D , которые должны быть сформированы к приходу очередного СИ.

Принципиальная схема этого варианта представлена на рис. 3. Входы D и перенос C_{i+1} определяются по формулам:

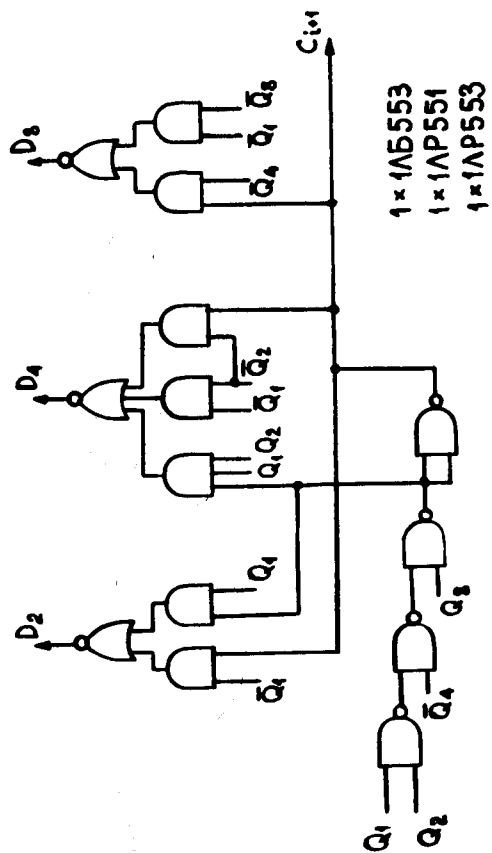


Рис. 3. Принципиальная схема комбинационной логики второго варианта тетрады.

$$D_1 = C_i \quad C_{i+1} = Q_1 Q_2 Q_8 + Q_4 Q_8$$

$$D_2 = C_{i+1} \bar{Q}_1 + \bar{C}_{i+1} Q_1$$

$$D_4 = \bar{Q}_1 \bar{Q}_2 + C_{i+1} \bar{Q}_2 + \bar{C}_{i+1} Q_1 Q_2$$

$$D_8 = C_{i+1} \bar{Q}_4 + \bar{Q}_1 \bar{Q}_8$$

/2/

Количество интегральных схем составляет 5 корпусов на тетраду.

Таблица 2

K	\bar{Q}_8	\bar{Q}_4	\bar{Q}_2	\bar{Q}_1	D_8	D_4	D_2	C_{i+1}
0	0	0	0	0	1	1	1	1
1	0	0	0	1	1	1	0	1
2	0	0	1	0	1	0	1	1
3	0	0	1	1	1	0	0	1
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	1	1	0
6	0	1	1	0	1	1	0	0
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	0	0
9	1	0	0	1	0	1	1	0

4. Описание блок-схема преобразователя

Блок-схема преобразователя представлена на рис.4. В зависимости от используемой комплектности преобразователя двоичный код, занесенный во входной сдвиговый регистр, подлежит, соответственно, 12-ти или 24-м сдвигам и коррекциям.

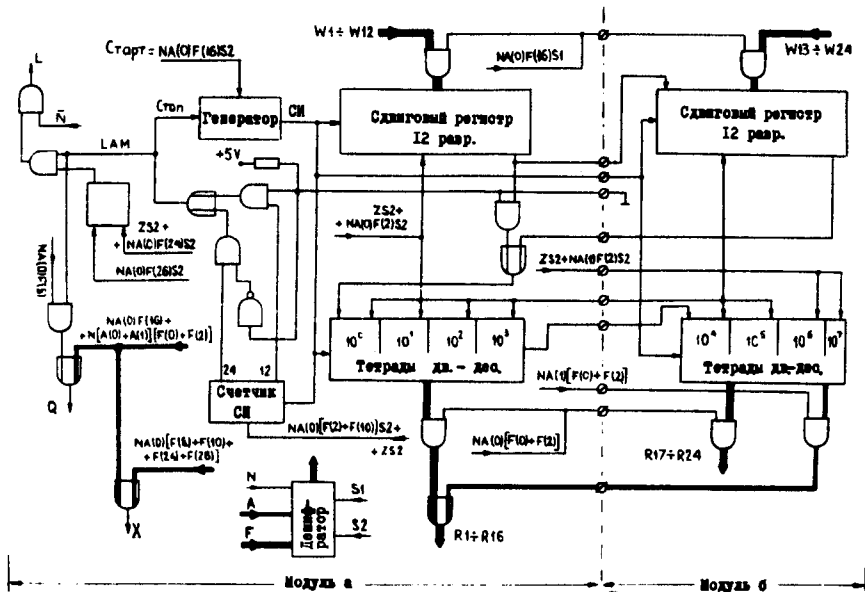


Рис. 4. Блок-схема преобразователя.

Преобразователь содержит следующие основные блоки:

1. Сдвиговые двоичные регистры /два по 12 разрядов/, в которые записывается по $NA(0)F(16)S1$ преобразуемый код. Сброс производится по $ZS2$ или $NA(0)F(2)S2$. После преобразования кода содержимое регистров равно нулю.

2. Генератор 5 МГц, запускаемый по $NA(0)F(16)S2$.

3. 5-разрядный счетчик СИ, формирующий пакчи по 12 или 24 СИ. Состояние счетчика, соответствующее 12 или 24 отсчитанным СИ, является сигналом для генерации LAM и останова генератора, т.е. концом преобразования. Сброс счетчика производится по $ZS2$, $NA(0)F(2)S2$ или $NA(0)F(10)S2$.

4. Выходные регистры /двоично-десятичные тетрады/. 4 тетрады размещены в модуле /а/ и 3 1/4 - в модуле /б/. Чтение 24 младших разрядов преобразованного кода производится по шинам R1-R24 по командам

$NA(0)F(0)$ или $NA(0)F(2)$, а 25-29 разрядов - по шинам R1-R5 по $NA(1)F(0)$ или $NA(1)F(2)$.

Преобразованный код можно непосредственно считать через разъем на передней панели модуля /а/ /на рис. 4 не показано/.

5. Дешифратор, предназначенный для дешифровки всех команд и сигналов, используемых преобразователем. Сброс содержимого всех тетрад происходит по $ZS2$, тетрады $10^0 - 10^5$ сбрасываются по $NA(0)F(2)S2$, а тетрады $10^6 - 10^7$ - по $NA(1)F(2)S2$.

Сигнал запроса L на обслуживание модуля образуется сигналом LAM и управляется триггером разрешения/запрета. Разрешение происходит по $NA(0)F(26)S2$, а запрет - по $ZS2$ или $NA(0)F(24)S2$.

Сигнал ответа Q служит для проверки по команде $NA(0)F(8)$ состояния сигнала L. Кроме того, $Q=1$ в случае приема модулем команд записи и чтения.

Сигнал $X=1$ вырабатывается в случае правильной дешифровки любой из вышеперечисленных команд.

5. Проверка работы

Правильность функционирования преобразователя была проверена с помощью малой ЭВМ TPA 1001-i. Блок-схема программы проверки представлена на рис. 5. Цикл машины TPA 1001-i составляет 1,5 мксек. Таким образом, время записи в преобразователь получается равным 19,9 мксек, а время чтения - 14,2 мксек. Отсюда видно, что длительность цикла преобразования в блоке заметно меньше времени, затрачиваемого на обслуживание блока. Время преобразования двоичного кода в двоично-десятичный программным путем составляет несколько миллисекунд.

6. Конструкция

Преобразователь выполнен в виде двух стандартных модулей КАМАК единичной ширины, внешний вид которых показан на рис. 6. На передней панели основного моду-

ля /а/ размещены разъем для непосредственного считывания преобразованного кода и две лампы для индикации сигналов N и L.

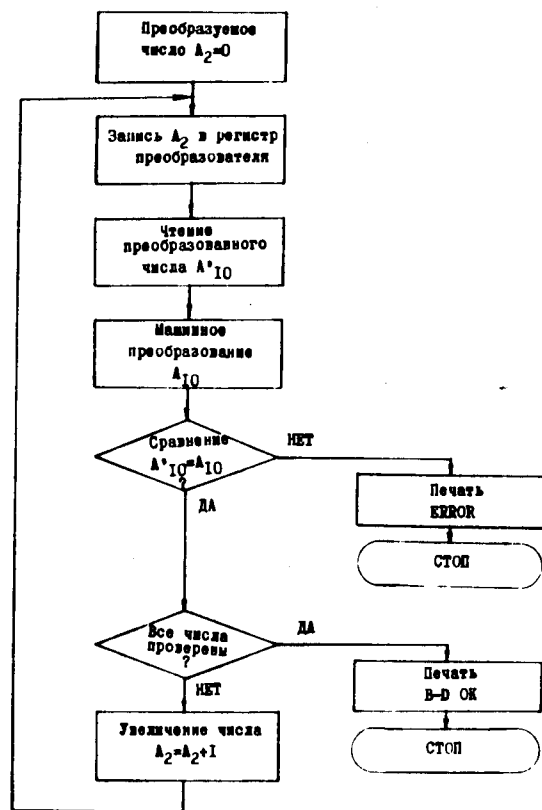


Рис. 5. Блок-схема программы проверки.

На задней панели модуля размещен разъем для связи с модулем-расширителем /б/.

Среднее потребление тока от источника 6В модулем /а/ - 0,6 А, а модулем /б/ - 0,4 А.

Вес каждого модуля - 0,6 кг.

Рабочий диапазон температуры - +10° ÷ 45°С.

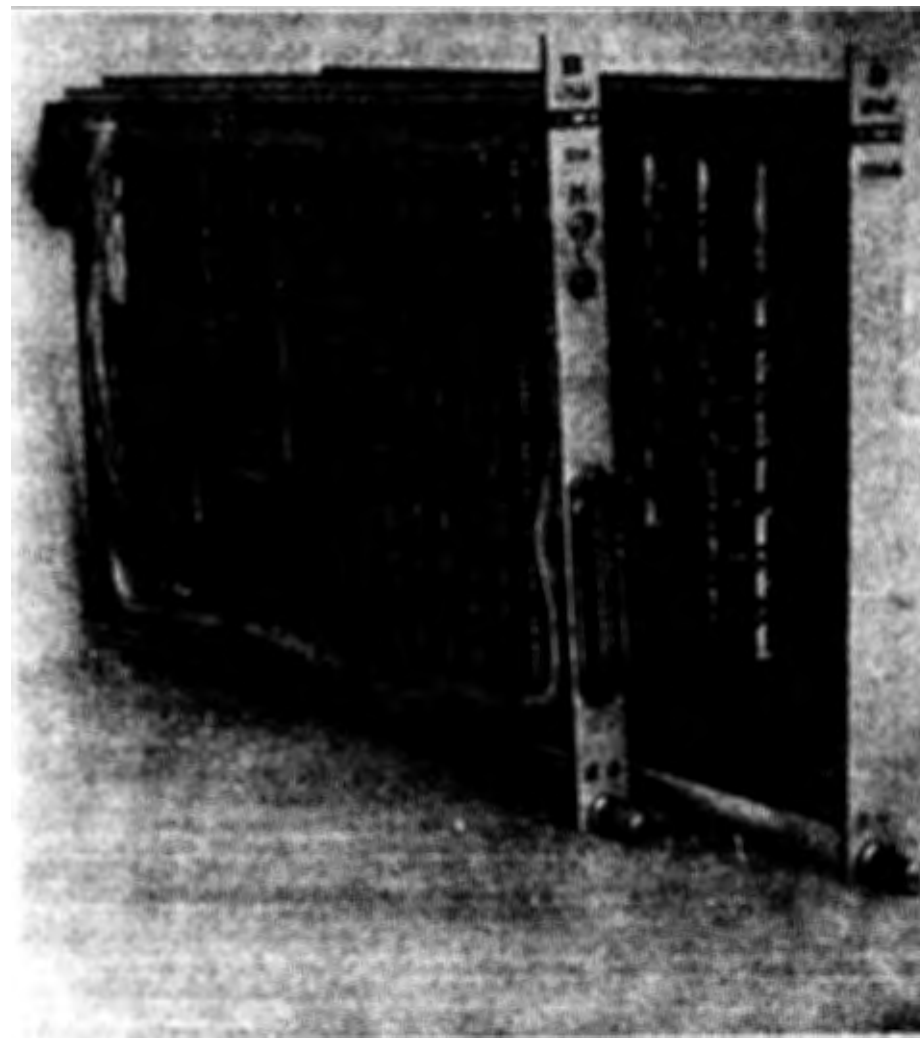


Рис. 6. Внешний вид модулей.

В заключение авторы считают своим приятным долгом поблагодарить Е.Хмелевского за полезные обсуждения, В.В.Саратовского за изготовление монтажных схем, В.Г.Купцова и Л.Д.Белякову за монтаж модулей.

Литература

1. *V.T.Rhyme. Serial Binary-to-Decimal and Decimal-to-Binary Conversion. IEEE Trans. Comput. 19, No. 9, 808-812, 1970.*
2. *EUR 4100e. CAMAC a Modular Instrumentation System for Data Handling. Revised version 1972 EURATOM, ESONE Committee.*
3. *И.Ф.Колпаков, Н.М.Никитюк, Л.А.Урманова. Преобразователь кодов из двоичной системы в двоично-десятичную в стандарте КАМАК. Препринт ОИЯИ, Р11-7005, Дубна, 1973.*

*Рукопись поступила в издательский отдел
27 мая 1974 года.*