

F-788

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна



10-4056

ЛАБОРАТОРИЯ ВЫСОКИХ ЭНЕРГИЙ

А.Г.Грачев

СЕЛЕКТОРЫ ИНФОРМАЦИИ

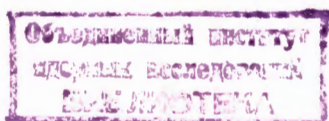
1968

10-4056

А.Г.Грчев

СЕЛЕКТОРЫ ИНФОРМАЦИИ

Направлено в ПТЭ



7516/3 чр.

В в е д е н и е

Успешное схемное решение вопроса вывода информации из проводочных искровых камер в значительной степени связано с разработкой специальных регистров с прямым выбором информации ^{/2/} - селекторов ^{/1/}. Эти селекторы информации позволили в огромных массивах ферритовой памяти искровых камер емкостью несколько десятков тысяч бит осуществить поиск и вывод данных за время, меньшее мертвого времени самих камер. Давая возможность прямого поиска информации, селекторы привлекли к себе особое внимание, и в начале 1966 г. было разработано несколько вариантов селекторов как на транзисторах ^{/2,3/}, так и на ферротранзисторных ячейках ^{/4/}. Первые селекторы информации по способу подачи входных сигналов на их разряды можно разделить на селекторы параллельного и последовательного типа. И те, и другие имеют одинаковые временные характеристики, которые могут быть в несколько раз улучшены, если использовать их в смешанной параллельно-последовательной компоновке. Ниже подробно рассматриваются принципиальные схемы и временные возможности селекторов всех упомянутых типов.

Селекторы параллельного типа

Функциональная схема селектора параллельного типа на транзисторах приведена на рис.1. В этой схеме входной сигнал подается параллельно и одновременно на входы всех его разрядов. Однако логика селектора обеспечивает последовательное обращение входных импульсов только к тем его разрядам, которые содержат информацию, т.е. находятся в состоянии "1". Для выполнения этой логической программы с единичных плеч триггеров (2) через диоды (3) и эмиттерные повторители (4) снимается потенциал запрета на базы ключевых триодов (6) со сдвигом вправо на 1 разряд. При наличии единицы в любом предыдущем (считая слева) разряде селектора с помощью диодов (7) накладывается запрет на прохождение входных сигналов через ключевые триоды всех последующих разрядов. Ключевой триод первого слева разряда, находящегося в состоянии "1", будет деблокирован, поэтому он пропустит входной сигнал на вход усилителя (9) своего разряда. В результате этого импульсом усилителя триггер вернется в исходное состояние, заблокирует свой ключ потенциалом с нулевого плеча через сопротивление (10) и снимет потенциал блокировки с диодной цепочки (7) до следующего триггера, находящегося в состоянии "1". Таким образом, для очередного тактового импульса будет деблокирован ключ следующего (слева направо) триггера, находящегося в состоянии "1", и т.д.

Число разрядов селектора, объединяемых цепочкой из диодов (7), ограничено, т.к. на диодах происходит постепенное снижение потенциала блокировки, подаваемого на последующие ключи. В приведенной схеме (рис.1) на каждом переходном диоде (7) происходит падение напряжения до 0,2 в. Для надежной работы всех ключей, объединенных общей диодной цепочкой, сопротивление (5) выбирается с учетом допустимой нагрузки эмиттерного повторителя (4) и максимально допустимого тока базы ключевого триода (6). При желании увеличить число разрядов се-

лектора можно воспользоваться двухкаскадным фазоинверторным восстановителем потерь потенциала блокировки (управления). Ранее отмечалось /2/, что селектор этого типа, работающий без элементов задержки после усилителя (9), критичен к длительности входного импульса. Если для сброса триггера разряда использовать задний выброс импульса трансформаторного усилителя (9), то схема перестает быть критичной к длительности входного импульса.

К принципиальному недостатку схемы параллельного селектора следует отнести наличие задержки снятия потенциала блокировки с управляющей диодной цепочки. Измерения показали, что в селекторе, изготовленном на транзисторах типа П416, эта задержка примерно равна 15 нсек на разряд. Она ограничивает максимальную частоту работы селектора. Минимальный период его тактовой частоты при длительности входных импульсов t_n может быть определен из суммы

$$T = t_n + 0,015n \text{ мксек,}$$

где n — число разрядов селектора. При $t_n = 0,5$ мксек и $n = 32$ получим: $T = 0,5 + 0,48 = 0,98$ мксек, т.е. предельная частота работы селектора близка к 1 Мгц. Достоинством схемы является ее простота и отсутствие задержки для выходных импульсов. Это особенно выгодно при необходимости стробирования выходного сигнала.

В качестве простейшего аналога этой схемы на рис.2 приведена схема четырехразрядного ферротранзисторного селектора. Информация заносится в селектор по обмоткам $W1$. Одновременный опрос всех колец (сердечников) происходит током транзистора $T1$ по обмоткам $W2$. Поочередный, слева направо, выбор единичных позиций селектора обеспечивается в схеме запретом, накладываемым на считывание последующих колец выходными сигналами обмоток $W3$ предыдущих колец, пода-

ваемыми на базы транзисторов запрета Т2. Коллекторы транзисторов запрета Т2 с этой целью поочередно подключены к обмоткам запрета W4 так, чтобы обеспечить заданную программу запрета. Информация выводится с селектора по выходным обмоткам W5.

Эта схема, несмотря на свою элементарность, не имеет задержек, свойственных селекторам другого типа. Однако элементы селектора требуют тщательного отбора, а схема в целом трудоемка в наладке.

Селекторы информации последовательного типа

Функциональная схема двух разрядов селектора информации последовательного типа, составленного из стандартных полупроводниковых элементов вычислительной машины БЭСМ-3М, приведена на рис.3. Как видно из этого рисунка, каждый разряд этого селектора имеет по два усилителя типа ВН-2 с диодно-трансформаторными ключами на входе. Диодно-трансформаторные ключи усилителей подсоединены к плечам триггера так, что при наличии "1" в нем открыт левый усилитель ВН-2, а при наличии "0" - правый. Выход каждого правого усилителя соединен с входами обоих усилителей соседнего (правого) разряда селектора. Такое соединение усилителей при нулевых состояниях всех триггеров селектора обеспечивает последовательное прохождение входного сигнала через все правые усилители ВН-2. Последовательное прохождение входного сигнала по правым усилителям может быть прервано разрядом селектора, находящимся в состоянии "1", т.к. у этого разряда будет открыт левый усилитель и закрыт правый. При этом входной сигнал пройдет через левый усилитель и задержку в цепи сброса, опрокинет в нулевое состояние свой триггер, который и деблокирует для следующего тактового импульса правый усилитель и обеспечит условия для поиска следующего вправо разряда, находящегося в состоянии "1".

Для надежной работы селектора необходимо, чтобы задержка в цепи сброса была больше длительности импульса на входах усилителей ВН-2, в противном случае при сбросе рассматриваемого разряда будет наблюдаться частичное прохождение импульса через правый усилитель, а это может привести к сбою селектора. При соблюдении этого условия (если элементы схемы исправны) селектор практически не требует наладки и надежно работает на всех частотах до предельной для элементов БЭСМ-3М.

К принципиальным недостаткам схемы селектора последовательного типа следует отнести наличие поразрядной задержки, которая получается при прохождении входного импульса по цепи последовательно соединенных правых усилителей. Каждый усилитель этой цепи, собранный на транзисторе П416, дает задержку, равную задержке снятия потенциала управления в селекторах параллельного типа, т.е. 15 нсек на каскад. Таким образом, селекторы параллельного и последовательного типов имеют одинаковые частотные возможности. Однако у последних исключена возможность стробирования выходных сигналов из-за их временного разброса вызываемого задержками входных сигналов между разрядами.

Селектор последовательного типа легко выполняется и на ферротранзисторных элементах ^{14/} (рис.4). Каждый разряд ферротранзисторного селектора состоит из двух сердечников с прямоугольной петлей гистерезиса и из двух транзисторов. Нижний сердечник разряда предназначен для запоминания селектируемой информации, а верхний - для выполнения логической функции задержки и передачи сигнала на вход соседнего разряда, когда нижний свободен от информации. Селектируемая информация заносится в нижние кольца селектора по обмоткам VII .

Тактовые импульсы опроса селектора подаются на базу транзистора Т1. Коллекторный ток транзистора Т1 подан одновременно на нижнее и верхнее кольца разряда.

Нижнее кольцо током коллектора Т1 по обмотке (1) или возвращается в состояние "0" из состояния "1", или остается в нулевом состоянии.

При переключении из "1" в "0" нижнее кольцо с выходной обмотки у дает выходной импульс запрета на базу транзистора запрета Т2. При отсутствии "1" отсутствует и импульс запрета.

В связи с этим верхнее кольцо имеет две возможности: при наличии в транзисторе Т2 тока запрета в обмотке VI оно не переключается, т.к. ампервитки обмоток II и VI взаимно компенсируют друг друга; если ток запрета отсутствует, то ток обмотки II переключает верхнее кольцо в состояние, противоположное тому, в котором его постоянно держит ток смещения обмотки VIII. С окончанием импульса тока транзистора Т1 верхнее кольцо под действием ампервитков смещения возвращается в исходное состояние и генерирует в выходной обмотке III задержанный импульс переноса заданной полярности на вход следующего разряда селектора. Аналогично работают и все последующие разряды. Информация о считывании единиц снимается с выходных обмоток IV.

В сравнении с транзисторной схемой эта схема экономичнее, но имеет меньшую скорость работы и значительно капризнее в наладке. Так, например, при использовании ферритовых колец марки 0,16ВТ размерами $2 \times 14 \times 1$ мм³ и транзисторов 1Т308А селектор способен работать от импульсов длительностью 0,2 мксек и дает задержку переноса импульса около 100 нсек на разряд ^{1/2}. При этих данных максимально возможная частота работы 32-разрядного селектора порядка 260 кгц.

Селектор параллельно-последовательного типа

Рассмотренные выше селекторы имеют значительную суммарную задержку работы логики, не позволяющую использовать их при тактовой

частоте, большей одного мегагерца. Однако при смешанной параллельно-последовательной компоновке частота работы селектора может быть увеличена в несколько раз.

Функциональная схема селектора в этой компоновке приведена на рис.5. Первые шесть разрядов его составлены по схеме параллельного селектора, выход потенциала управления которого после двойного инвертирования подан на управление усилителем с диодно-трансформаторным ключом, как это сделано в селекторе последовательного типа. Соединяя последовательно друг с другом такие секции, можно составить селектор любой разрядности. При этом выходной усилитель изображенной на рисунке секции будет являться входным усилителем следующей секции и т.д.

Допустим, что нам необходим 36-разрядный селектор. Тогда он должен состоять из шести таких секций. Теперь допустим, что искомая единичная информация будет находиться в первом разряде первой секции селектора. В этом случае первый тактовый импульс опросит и вернет в нулевое состояние первый разряд селектора. Так как потенциал блокировки этого разряда подавался только до входа усилителя следующей секции, то задержка его снятия получается от шести разрядов и двух инверторов. Следующие секции свободны от управляющих потенциалов, поэтому входные сигналы будут проходить насквозь через все 5 деблокированных усилителей следующих пяти секций. Поскольку всего секций шесть, то и вклад в задержки будет внесен от шести усилителей. Таким образом, суммарная задержка будет равна задержке от 14 разрядов (вместо 36), а это более чем в два с половиной раза меньше задержки селекторов последовательного или параллельного типов той же разрядности. В таком же отношении может быть увеличена и тактовая частота этого селектора в сравнении с предыдущими. Увеличение тактовой частоты селекторов существенно при составлении схем быстрых кодировщиков информации.

Л и т е р а т у р а

1. F.Kriennen, Organization of Triggered wire spark chambers by F.Kriennen, Geneva, Zern, 23 okt. 1964.
2. А.Г.Грачев. Препринт ОИЯИ, 2659, Дубна, 1966; ПТЭ, №2, 208 (1967).
3. Л.С.Барабаш, А.Г.Грачев, В.Кондрашов, Л.В.Комогорова. Препринт ОИЯИ, 10-3890, Дубна, 1968.
4. Н.М.Никитюк. ПТЭ, №3, 194 (1967).

Рукопись поступила в издательский отдел
27 августа 1968 года.

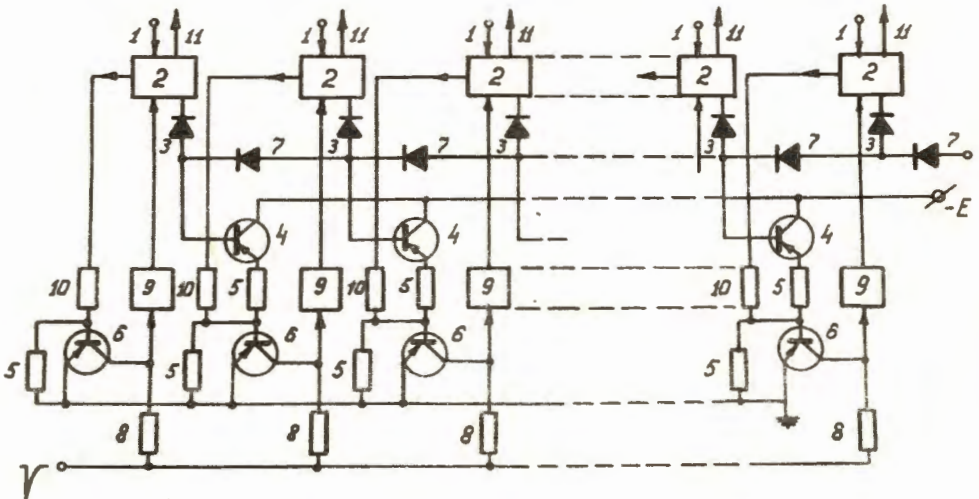


Рис.1. Селектор параллельного типа на транзисторах.

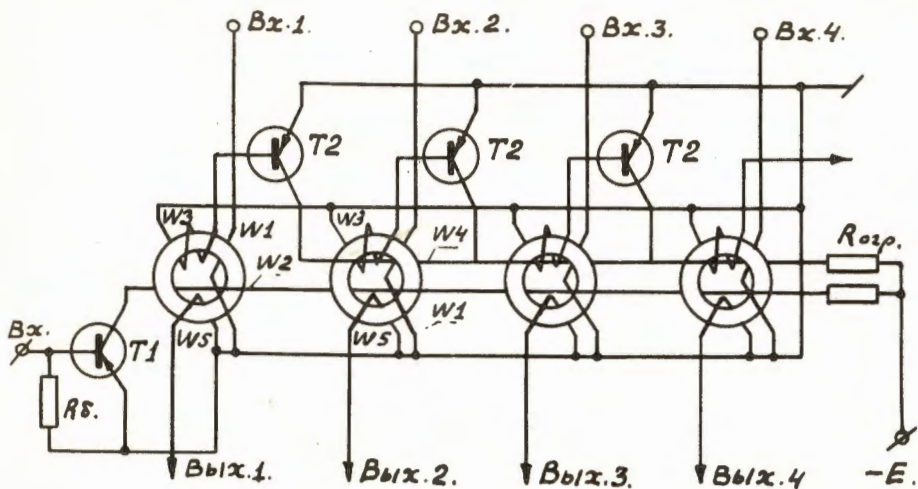


Рис.2. Ферротранзисторный селектор параллельного типа.

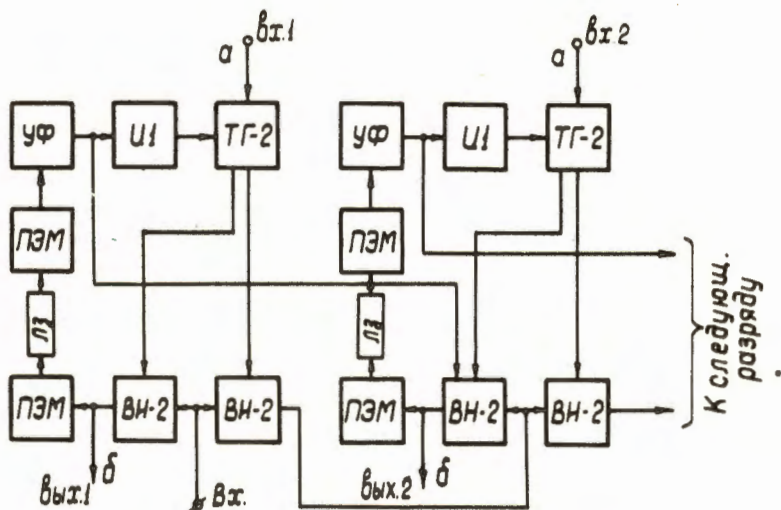


Рис.3. Селектор последовательного типа на транзисторах.

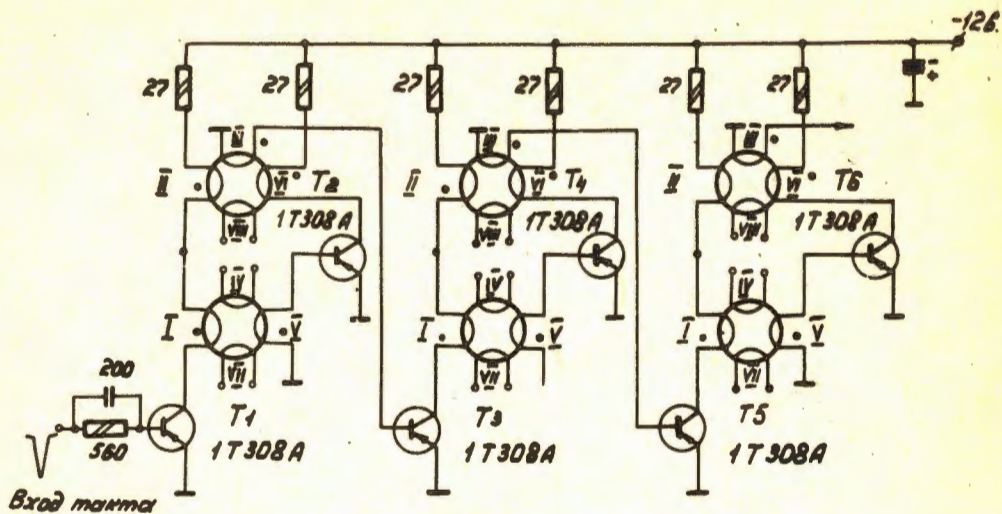


Рис.4. Ферротранзисторный селектор последовательного типа.

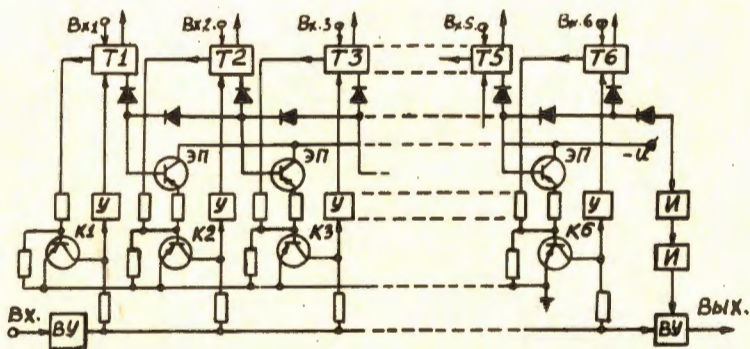


Рис.5. Селектор смешанного типа на транзисторах.