

A-695

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна



10 - 3369 - 1

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

В.Н. Аносов, Ю.Н. Денисов, В.И. Прилипко,
Ю.И. Сусов, П.Т. Шишлянников

БЛОК ПАМЯТИ
АНАЛИЗАТОРА ГАРМОНИК МАГНИТНОГО ПОЛЯ

1967.

10 - 3369 - 1

В.Н. Аносов, Ю.Н. Денисов, В.И. Приляпко,
Ю.И. Сусов, П.Т. Шишлянников

**БЛОК ПАМЯТИ
АНАЛИЗАТОРА ГАРМОНИК МАГНИТНОГО ПОЛЯ**

ОБЪЕДИНЕННЫЙ ИНСТИТУТ
ЯДЕРНОЙ ФИЗИКИ И МАТЕМАТИКИ
БИБЛИОТЕКА

5078/3 зр.

В работе рассматриваются два основных запоминающих устройства цифрового анализатора гармоник^{/1/}:

- а) магнитное оперативное запоминающее устройство (МОЗУ),
- б) постоянное запоминающее устройство (ПЗУ).

МОЗУ анализатора гармоник построено на основе двух кассет ферритовой памяти z -типа, используемых в вычислительных машинах М-20, БЭСМ-2. Функциональная схема МОЗУ приведена на рис. 1.

ПЗУ анализатора - диодного типа (рис. 7).

Выборка чисел из МОЗУ и ПЗУ производится с помощью общего дешифратора адреса (ДШ ад.), построенного по ступенчатому признаку (рис. 1). Каждая ступень дешифрации: ДШ₁, ДШ₂, ДШ₃, ДШ₄, ДШ₅, ДШ₆, ДШ₇ представляет собой совокупность диодных схем совпадения. ДШ ад. опирается на 8-разрядный регистр адреса (РА). 16 выходов ступени ДШ₅ и 11 выходов ступени ДШ₆ используются для выборки 176-ти чисел из МОЗУ, тогда как 192 выхода ДШ₇ служат для выборки чисел из ПЗУ. Считывание одного числа из МОЗУ либо из ПЗУ должно происходить за время, равное одному такту работы анализатора, что составляет ~ 50 мксек^{/1/}.

Импульс обращения к блоку памяти приходит из блока центрального управления анализатора (БЦУ) на устройство управления запоминающим устройством (УУЗУ), (рис.1, 12), задачей которого является создание из этого импульса последовательности импульсов, необходимых для нормальной работы блока памяти. Так, например, для выборки числа из МОЗУ необходимо подать

импульс на формирователи Φ_x , Φ_y , создающие полуточки выборки для ферритовой кассеты, затем через некоторое время подать стробирующий импульс на усилители считывания выходного сигнала с кассеты (Ус.сч.) и после того как считанный код числа зафиксирован на регистре числа (РЧ) произвести перезапись этого кода, подав запускающий импульс на усилители записи - Φ_x .

Для считывания числа из ПЗУ требуется лишь один управляющий импульс, который запускает усилители выборки (ус.в.).

Рассмотрим характеристики элементов блока памяти.

Формирователи полуточек выборки числа из кассеты Φ_x и Φ_y построены по схеме двухкаскадного усиления (рис. 2). Первый каскад выполнен в виде усилителя напряжения с трансформаторным выходом, что позволяет обеспечить сигнал требуемой полярности и мощности для оконечного каскада. Оконечный каскад формирователя выборки выполнен по схеме составного усилителя на двух триодах типа П605. Нагрузка включена в коллектор последовательно с сопротивлением 1 ом, служащим для измерения амплитуды полуточек выборки. Параллельно нагрузке включена цепочка, состоящая из последовательно включенных диода типа Д9К и сопротивления в несколько ом. Эта цепочка в основном влияет на формирование заднего фронта импульса тока выборки, длительность которого, в свою очередь, определяет амплитуду и длительность полуволны тока записи в координатном трансформаторе. Длительность переднего фронта импульса тока выборки $\tau_{\Phi+} \approx 0,8$ мксек, длительность заднего фронта - $\tau_{\Phi-} \approx 1,5$ мксек, амплитуда импульса I выб./2=2,6-2,8 а.

Формирователь записи - Φ_x (рис. 3) выдает на выходе импульсы тока двух полярностей (запись "1" - положительный сигнал, запись "0" - отрицательный сигнал). Амплитуда импульса тока записи: I зап. ≈ 330 ма. Это достигается за счет того, что на каждом из входов двухтактного усилителя записи стоит диодно-трансформаторная схема совпадения, управляемая по потенциальному входу от схемы преобразования кода (рис. 9). Сигналы, проходящие со схемы управления памятью на вх.₁ и вх.₂ формирователя Φ_x , проходят в зависимости от наличия разрешения на одном из потенциальных входов на соответствующий усилитель двухтактной схемы.

Схема преобразования кодов служит для того, чтобы в случае встречного включения обмоток считывания двух кассет МОЗУ (что желательно для уменьшения суммарной помехи от подувбранных сердечников) с одной из кассет

считался бы на регистр числа (РЧ) вместо прямого обратный код, который необходимо преобразовать снова в прямой код для правильной перезаписи и правильной выдачи в арифметическое устройство (АУ) анализатора. Это осуществляется следующим образом. В РЧ введен 24-ый разряд, плечи триггера которого управляют группами вентиля В_о и В_п. Усилитель записи 24-го разряда не имеет потенциального управления от РЧ, он постоянно записывает "1" в МОЗУ. Поэтому при считывании с 24-го разряда МОЗУ в зависимости от того, с какой кассеты идет сигнал считывания, он будет фиксироваться 24-м разрядом РЧ либо как "0", либо как "1" и соответственно разрешение будет либо на группе вентиля В_о, либо В_п. Таким образом, если с одной из кассет МОЗУ на РЧ считается обратный код, то в перезаписи и передаче на АУ анализатора примет участие прямой код с выхода схемы преобразования кода.

Усилитель сигнала, считываемого с МОЗУ (амплитуда сигнала считывания $U_{сч.} = 150 - 400$ мв длительность $\tau_{сч.} \approx 0,2$ мксек), состоит из двух каскадов (рис. 4). Первый каскад на триоде П401 с трансформаторным выходом раскачивает сигнал считывания до величины в несколько вольт. Второй каскад, выполненный на триоде П16А, является расширителем импульса, ибо работает в сильно насыщенном режиме. Импульс, получаемый на выходе каскада расширителя длительностью 3 мксек, используется для разрешения прохождения стробирующего импульса длительность $\approx 1,5$ мксек через диодно-трансформаторную схему совпадения. Строб, прошедший через схему совпадения, усиливается трансформаторным усилителем на триоде П16А и направляется на вход соответствующего разряда РЧ.

Разработанное МОЗУ к моменту написания данной работы проработало без сбоев ≈ 700 часов.

Л и т е р а т у р а

1. В.Н. Аносов, Ю.Н. Денисов и др. Препринт ОИЯИ 10-3002,-1, Дубна 1986.

Рукопись поступила в издательский отдел
30 мая 1987 года.

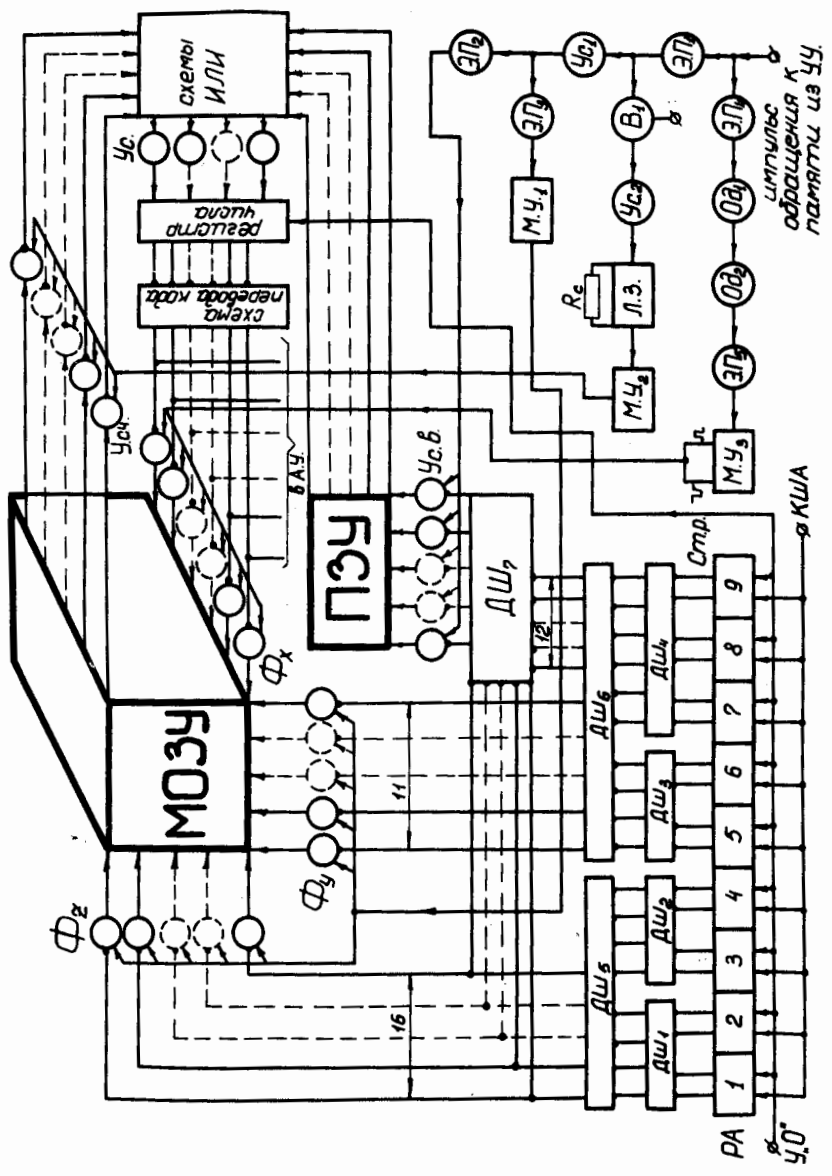


Рис. 1. Функциональная схема МОЗУ и ПЗУ.

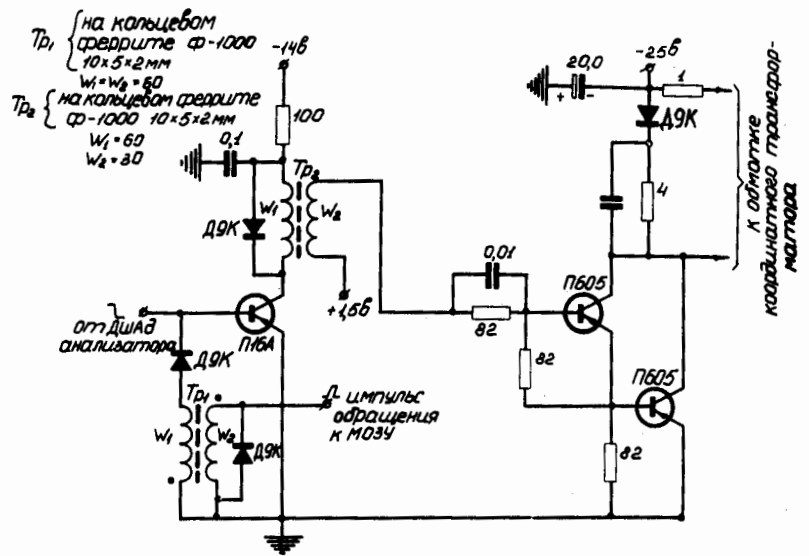


Рис. 2. Усилитель выборки числа из МОЗУ.

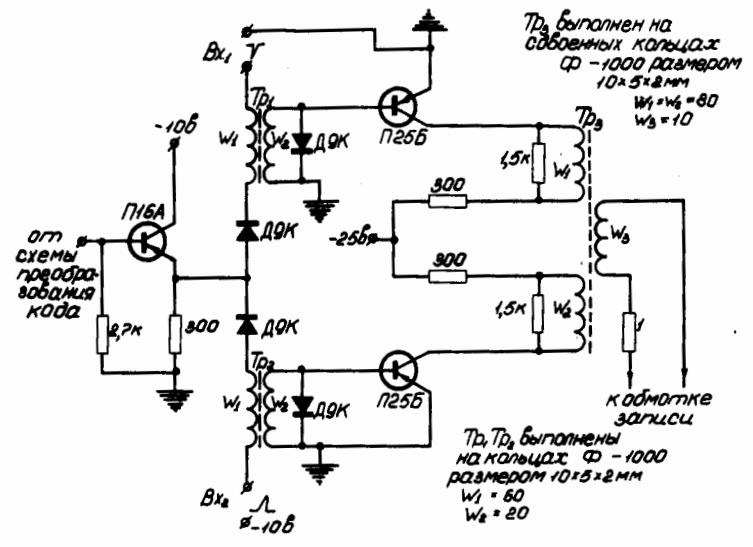


Рис. 3. Усилитель записи МОЗУ.

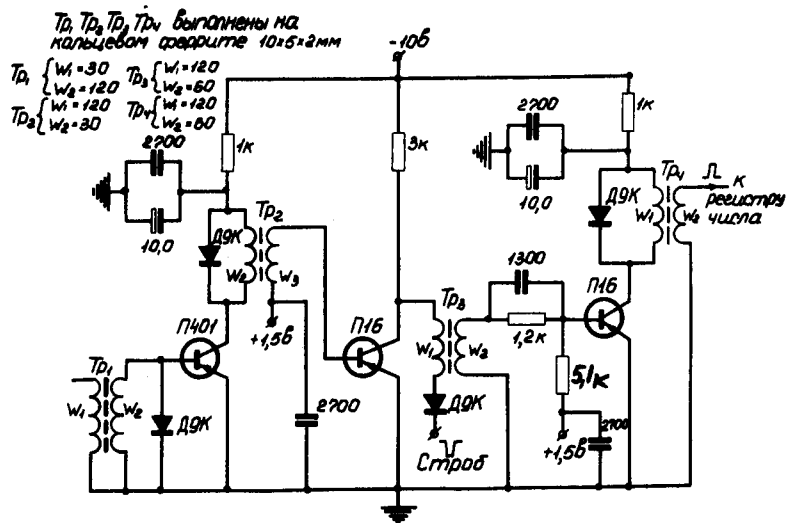


Рис. 4. Усилитель сигнала считывания с МОЗУ.

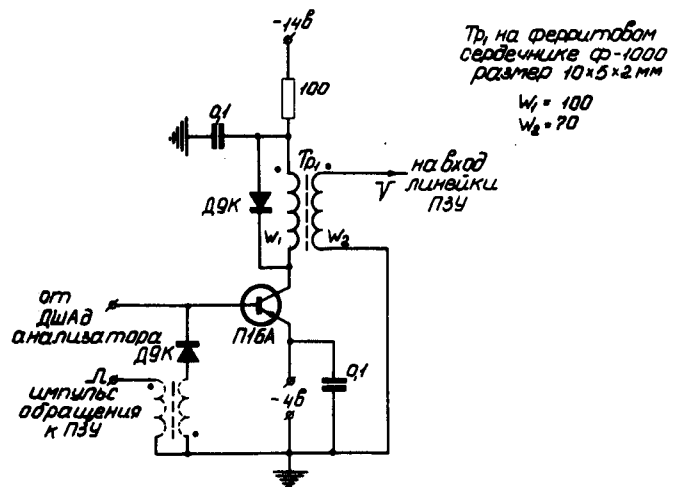


Рис. 5. Усилитель выборки числа из ПЗУ.

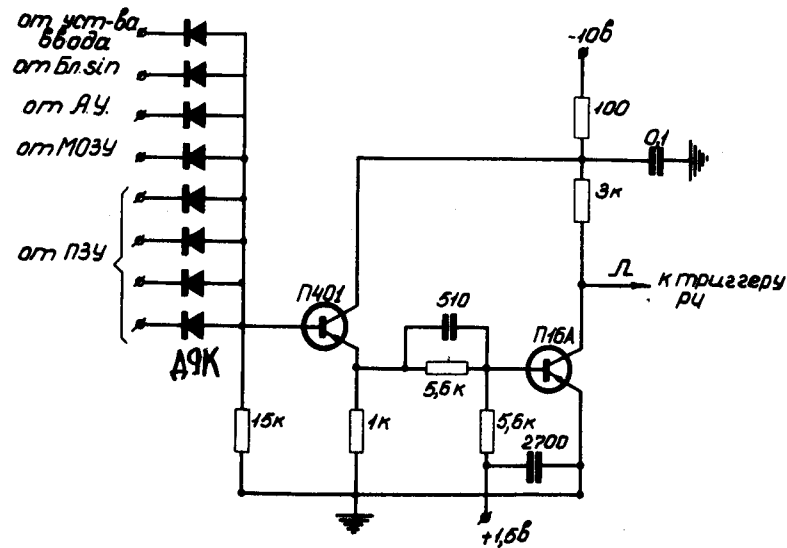


Рис. 6. Усилитель сигналов, считываемых из ПЗУ.

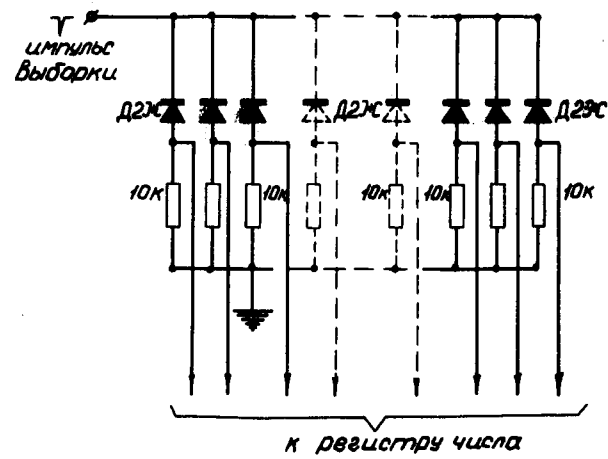


Рис. 7. Схема одной линейки ПЗУ.

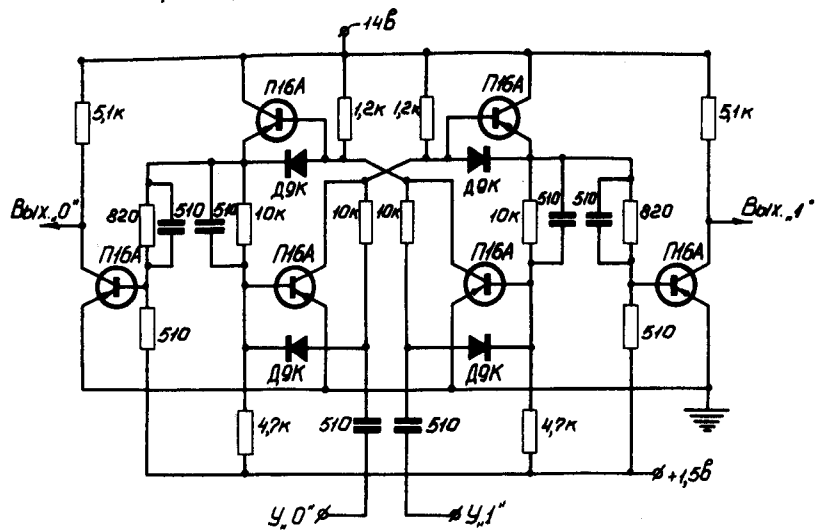


Рис. 8. Разряд РА.

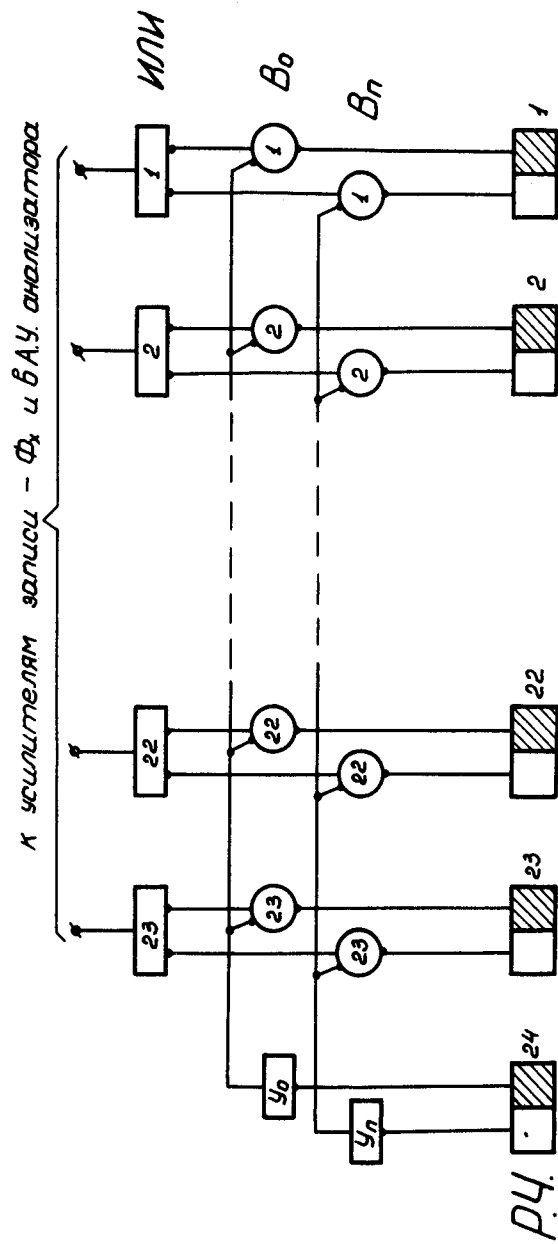


Рис. 9. Функциональная схема устройства преобразования кодов при считывании из разных кассет МОЗУ.

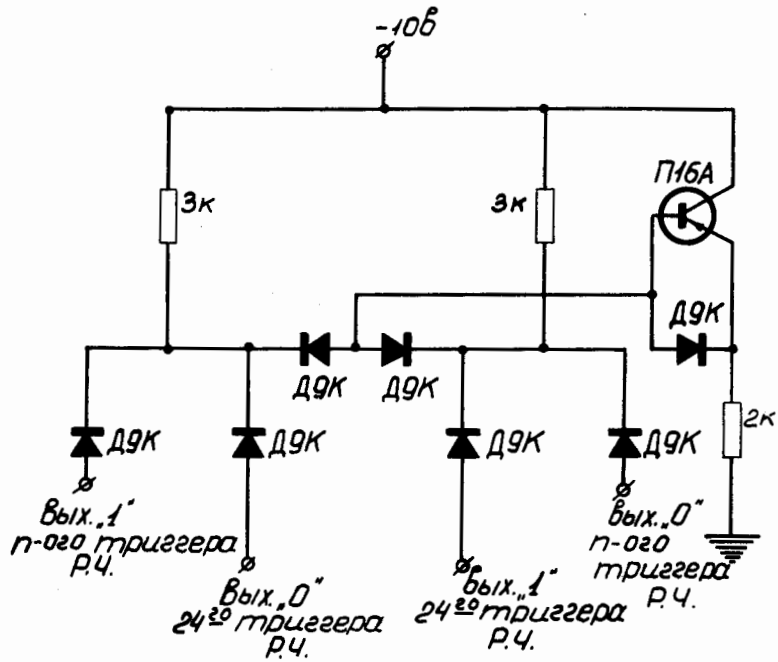


Рис. 10. Схема одного разряда устройства преобразования кодов.

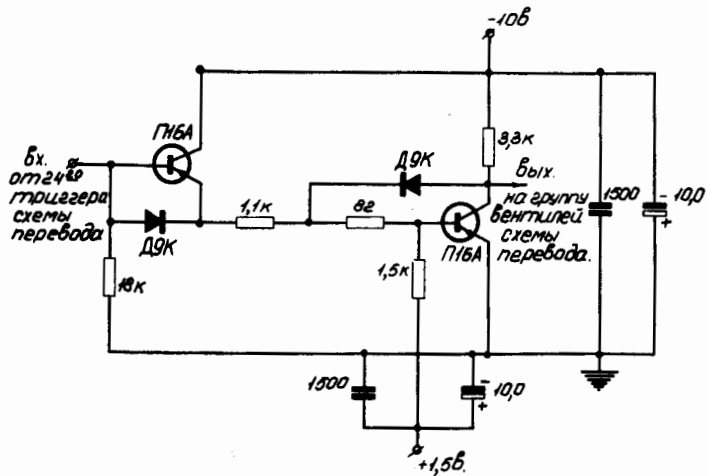


Рис. 11. Усилители 24-го разряда устройства преобразования.

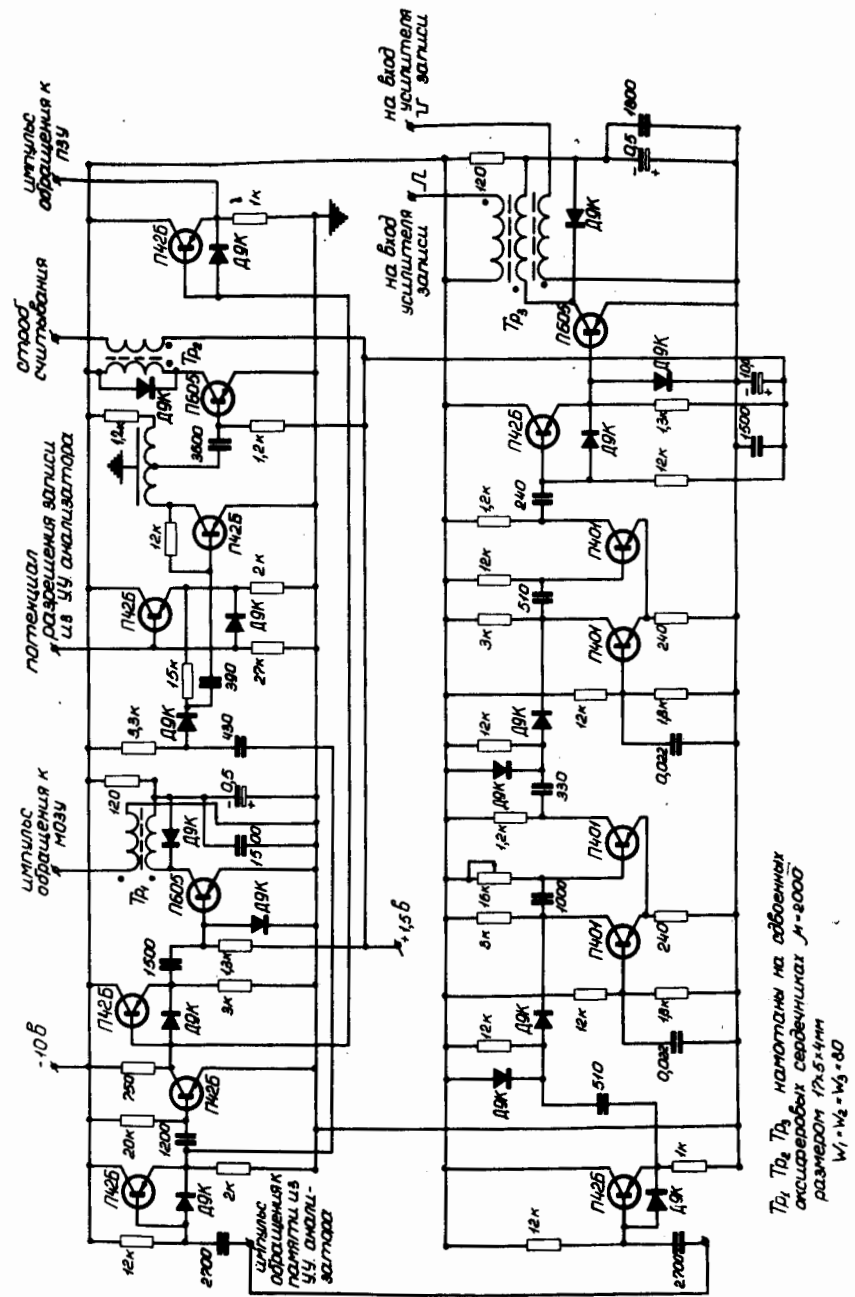


Рис. 12. Схема управления МОЗУ и ПЗУ.