

Ц 84 + с 345 е 4

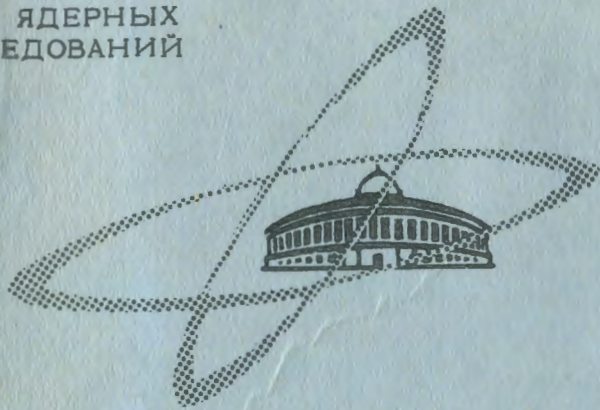
5/v-622

Д-332

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

10 · 3238 · 1



Ю.Н. Денисов, Н.И. Дьяков, В.И. Прилипко

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО
СПЕЦИАЛИЗИРОВАННОЙ
ВЫЧИСЛИТЕЛЬНОЙ МАШИНЫ

1967.

10 - 3238 - 1

Ю.Н. Денисов, Н.И. Дьяков, В.И. Прилипко

АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО
СПЕЦИАЛИЗИРОВАННОЙ
ВЫЧИСЛИТЕЛЬНОЙ МАШИНЫ

Объединенный институт
ядерных исследований
БИБЛИОТЕКА

4943/1 чф.

Разработанное арифметическое устройство (АУ) для специализированной вычислительной машины (СВМ)^{/1/} является устройством параллельного типа, которое оперирует с числами, представленными в виде правильных дробей с запятой, фиксированной после знакового разряда. Числа 20-разрядные двоичные, 21-ый разряд знаковый. Такой способ представления чисел значительно облегчает построение АУ и устройства управления СВМ. В памяти машины все числа хранятся в прямом коде с соответствующим знаком. Положительные числа имеют в знаковом разряде код "0", а отрицательные - "1". В процессе вычисления отрицательные числа представляются в обратном коде. Это преобразование производится в АУ.

При разработке функциональной схемы АУ учитывалось то, что машина должна решать поставленную задачу с точностью до младшего разряда числа. Обоснование выбранной методики выполнения операций приведено в^{/2/}.

Построение логической схемы АУ зависит в основном от выбранной методики выполнения операции умножения. Способ выполнения операции деления обычно приспособляется к уже определившемуся логическому построению АУ. После сопоставления различных методов умножения был выбран метод, при котором умножение начинается со старших разрядов множителя^{/3/}, хранящегося в регистре Р2 (см. рис. 1). При этом сумма частных произведений, накапливающихся в сумматоре (Σ) и освобождающихся ячейках регистра Р2, сдвигается влево после каждого такта суммирования. Множимое, находящееся в регистре Р1, неподвижно.

По окончании операции умножения 20 старших разрядов произведения оказываются в регистре Р2, а 20 младших - в сумматоре.

Деление выполняется методом, не требующим восстановления остатка^{/4/}.

Делимое помещается в сумматор, а делитель — в регистр P1. Делитель вычитается из делимого, и в случае получения отрицательного остатка прежнее значение остатка не восстанавливается. Полученная разность сдвигается влево на один разряд, и после этого делитель уже не вычитается, а прибавляется. Положительный знак остатка после каждого цикла деления означает, что очередная цифра частного "1", а отрицательный соответствует "0".

Операция извлечения корня производится по так называемому "школьному" методу^{/5/}, позволяющему достаточно просто получить значение корня с точностью до младшего разряда числа.

Таким образом, для выполнения основных операций арифметическое устройство должно состоять из двух регистров (P1 и P2) и сумматора. Прием кода числа из блока памяти СВМ в регистры P1 и P2 производится через промежуточный регистр числа (P4). Выдача кода в регистр P4 из сумматора производится с учетом знака, из регистра P2 — прямым кодом.

Регистр P1 состоит из 23 разрядов, один из которых знаковый. Регистр имеет цепь сдвига влево, цепи установки нуля всего регистра и, отдельно, знакового разряда. Входы P1 связаны с регистром числа. Передача кода из P1 в сумматор может производиться с учетом знака числа и без учета знака. Передача кода с учетом знака (ПК с уч. зн.) означает, что положительное число передается в прямом коде, а отрицательные — в обратном. Передача прямого (ППК) или обратного (ПОК) кодов может производиться и без анализа знака числа. Каждая из этих задач требует соответствующих цепей для импульсов переноса: импульса переноса прямого кода (ИППК), импульса переноса обратного кода (ИПОК), импульса переноса с учетом знака числа (ИП с уч. зн.).

Регистр P2 состоит из 22 разрядов, причём один из них — знаковый. В P2 есть цепь сдвига влево, цепь сквозного переноса и цепь установки нуля всего регистра.

В АУ используется 23-разрядный сумматор накопительного типа с коммутированным импульсом переноса^{/6/}. Сложение кодов происходит за два такта. Импульс сложения проходит на группу вентилях, осуществляющих передачу кода слагаемого на счётные входы сумматора. Затем, в следующем такте, подается импульс переноса. Сумматор имеет цепь сквозного переноса, цепь сдвига влево, цепи установки "0" всех разрядов и, отдельно, установки

"0" и "1" знакового разряда. Для осуществления циклического переноса имеется связь знакового разряда с младшим разрядом сумматора.

Кроме основных, перечисленных выше цепей, в арифметическом устройстве имеется еще ряд дополнительных, управляющих вентилях, осуществляющих необходимое взаимодействие цепей при выполнении операций.

Арифметическое устройство построено из элементов импульсно-потенциального типа. При выборе принципиальных схем элементов стремились свести к минимуму использование импульсных трансформаторов, поскольку при лабораторном изготовлении АУ они являются наиболее трудоемкой и недостаточно надежной деталью. Рассмотрим выбранные элементы.

Триггер (см. рис. 2а) построен на транзисторах типа П18. Триоды в состоянии "включено" работают в режиме насыщения, что облегчает согласование триггера с другими элементами АУ. Запуск триггера производится через диодные управляемые вентили. Схема вентиля (см. рис. 2б) отличается малой потребляемой мощностью и наличием задержки в нарастании управляющего напряжения в точке А, обусловленного интегрирующим действием RC-цепочки. Это свойство вентиля было использовано при построении АУ и позволило упростить построение функциональной схемы для выполнения сложения и сдвига. Сдвиг кодов, хранящихся в регистрах и сумматоре АУ, производится за один рабочий такт. В качестве формирующего усилителя используется обычный трансформаторный каскад (см. рис. 2в), позволяющий легко производить согласование входных и выходных характеристик всех элементов арифметического устройства. На рис. 3 приведена принципиальная схема одного разряда сумматора, построенного из рассмотренных элементов. Сумматор надежно работал при частоте тактовых импульсов до 100 Кгц (длительность импульсов $1,5 \div 2$ мксек, амплитуда 7 в). Данная система элементов может с успехом использоваться и на более высоких частотах, сохраняя при этом основное свое достоинство — простоту. Так, сумматор из таких элементов, отличающийся только незначительными изменениями в величинах сопротивлений и конденсаторов и использованием в усилителе сквозного переноса высокочастотного триода П401, работал при частоте тактовых импульсов до 250 Кгц.

Разработанное арифметическое устройство надежно работало при частоте тактовых сигналов до 75 Кгц, причём этот предел был обусловлен недостаточным быстродействием цепей управления. Сбоев в работе АУ на рабочей

частоте 50 Кгц и при изменении напряжения питания на $\pm 30\%$ не наблюдалось. Используемые в арифметическом устройстве триоды специально не отбирались. Достаточным условием их годности являлось удовлетворение ТУ для данного типа триода.

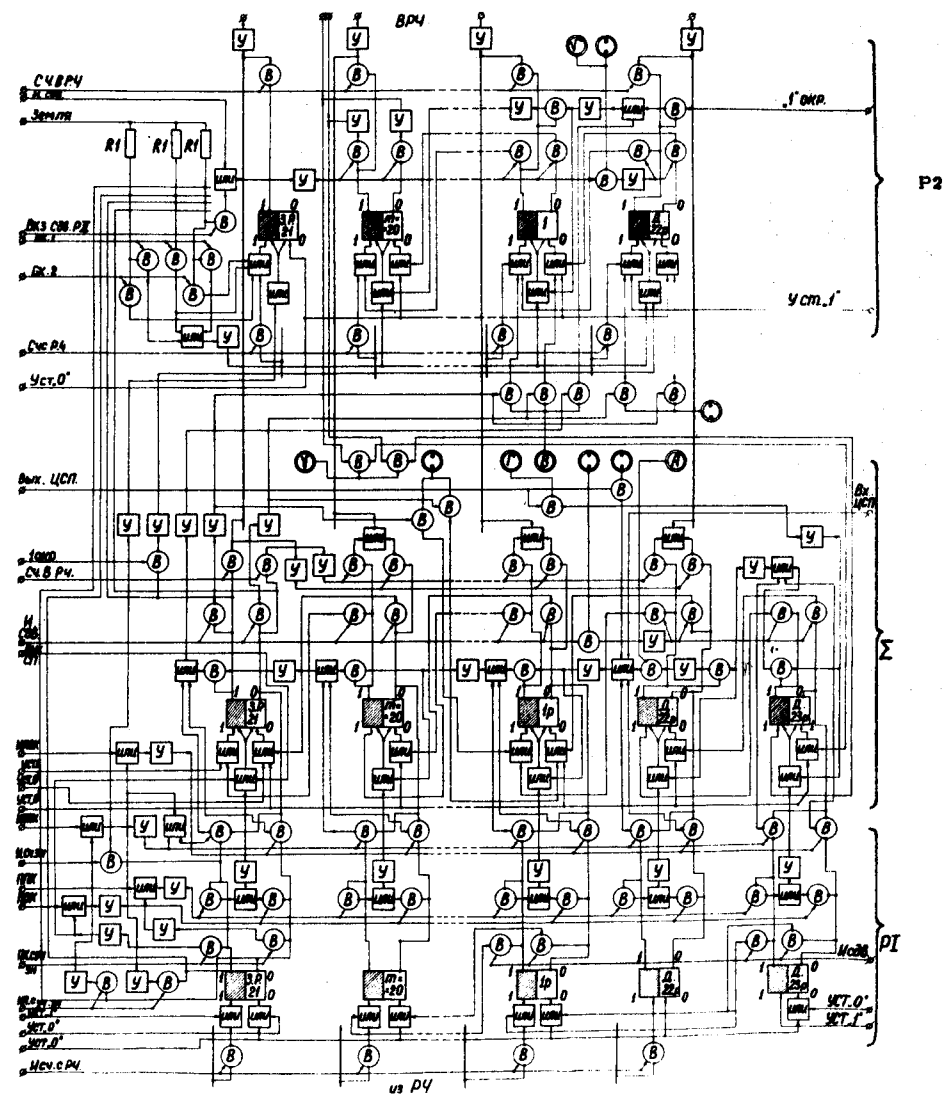
Разработанное арифметическое устройство длительное время эксплуатируется в качестве блока специализированной вычислительной машины-анализатора гармоник магнитного поля циклических ускорителей. В первые 500 часов работы после настройки устройства было зарегистрировано несколько отказов в работе АУ, причём отказы наблюдались только в работе триггеров. Анализ причин отказов показал, что все они были обусловлены сильным изменением коэффициента усиления по току β у триодов П18, работавших в этих триггерах.

В заключение авторы считают своим приятным долгом выразить благодарность З.Н.Шишлияниковой и М.С.Крыловой за помощь, оказанную ими при изготовлении устройства.

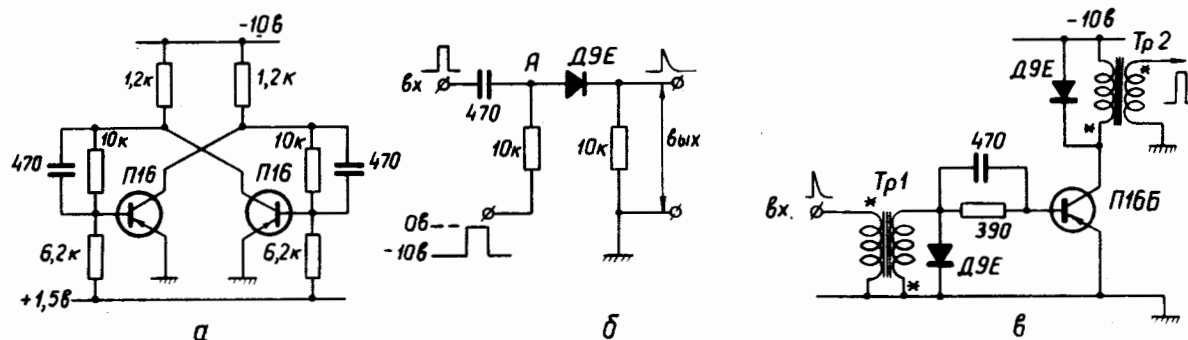
Рукопись поступила в издательский отдел
21 марта 1967г.

Л и т е р а т у р а

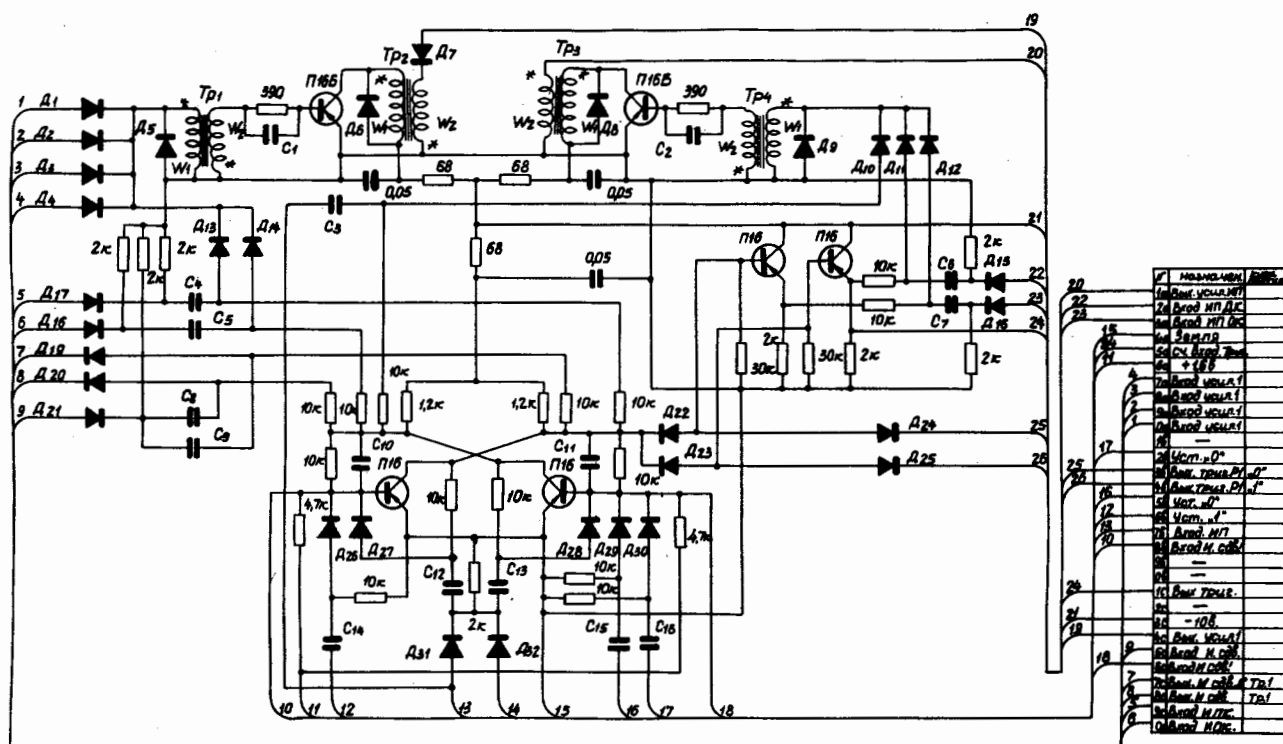
1. В.Н.Аносов, Ю.Н.Денисов, Н.И.Дьяков, В.И.Прилипко, Ю.И.Сусов, П.Т.Шишлияников. Анализатор гармоник магнитного поля циклических ускорителей. Препринт ОИЯИ, 10-3002-1, Дубна, 1966.
2. В.Н.Аносов, Ю.Н.Денисов. Программа цифрового анализатора гармоник магнитного поля. Препринт ОИЯИ, 10-3183-1, Дубна, 1967г.
3. М.А.Карцев. Арифметические устройства электронных цифровых машин. Физматгиз, 1958.
4. П.П.Головистиков, А.Н.Зимарев, К.С.Неслуховский. Арифметическое устройство и устройство управления БЭСМ. Физматгиз, 1960.
5. Ю.Е.Авалиани, Ю.Н.Алексеев, Ю.Н.Глухов, Н.А.Дорохова, Г.И.Танетов. Арифметическое устройство специализированной машины. Сборник №3, Цифровая техника и вычислительные устройства, Изд. АН СССР, 1962.
6. Я.А.Хетагуров. Арифметические устройства вычислительных машин дискретного действия. Госатомиздат, 1961г.



Р и с. 1. Функциональная схема АУ.



Р и с. 2. Основные элементы АУ.



Р и с. 3. Принципиальная схема разряда сумматора. Д₁₋₃₂ - Д9Е, Тр₁₋₄ - сердечник β -1000, 10x8x5 мм, W₁ - 70 втк., W₂ - 50 втк., C₁₋₁₆ - 470 пф.