

10269

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

ДУБНА



10269

10 - 10269

ЭКЗ ЧИТ ЗАЛА

Г.Н.Зимин, В.П.Перелыгин, С.П.Перелыгин

ПРЕОБРАЗОВАТЕЛИ ДВОИЧНЫХ
И ДВОИЧНО-ДЕСЯТИЧНЫХ КОДОВ

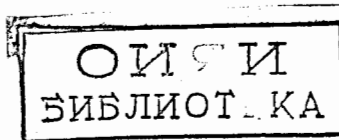
1976

10 - 10269

Г.Н.Зимин, В.П.Перелыгин, С.П.Перелыгин

ПРЕОБРАЗОВАТЕЛИ ДВОИЧНЫХ
И ДВОИЧНО-ДЕСЯТИЧНЫХ КОДОВ

Направлено в ПТЭ



Зимин Г.Н., Перельгин В.П., Перельгин С.П.

10 - 10269

Преобразователи двоичных и двоично-десятичных кодов

Представлены две схемы преобразователя двоичного кода в двоично-десятичный и одна схема преобразователя двоично-десятичного кода в двоичный. Схемы состоят из элементов И-НЕ и D-триггеров, отличаются от известных увеличенным быстродействием и меньшим количеством элементов.

Работа выполнена в Лаборатории вычислительной техники и автоматизации ОИЯИ.

Препринт Объединенного института ядерных исследований

Дубна 1976

Введение

В некоторых цифровых устройствах, используемых при проведении физических экспериментов, реализуется операция преобразования чисел из одной системы счисления в другую. Особенно часто встречается операция преобразования двоичных чисел в десятичные и десятичных в двоичные. В зависимости от постановки задачи эту операцию можно осуществить параллельным или последовательным способом. Соответственно существуют параллельные и последовательные преобразователи. Устройство преобразования содержит двоичный регистр, двоично-десятичный регистр, разделенный на тетрады, и управляющие логические элементы.

В работе представлены схемы тетрад преобразователей последовательного типа, в которых операция преобразования осуществляется методом сдвига и коррекции. Процесс преобразования синхронизируется тактовыми импульсами, число которых совпадает с числом разрядов двоичного регистра. Предлагаемые схемы отличаются от известных^{/1-3/} более высоким быстродействием и меньшим количеством элементов.

Описание принципиальных схем

Схема тетрады преобразователя двоичного кода в двоично-десятичный, представленная на рис. 1, состоит из четырех D-триггеров и двенадцати элементов И-НЕ,

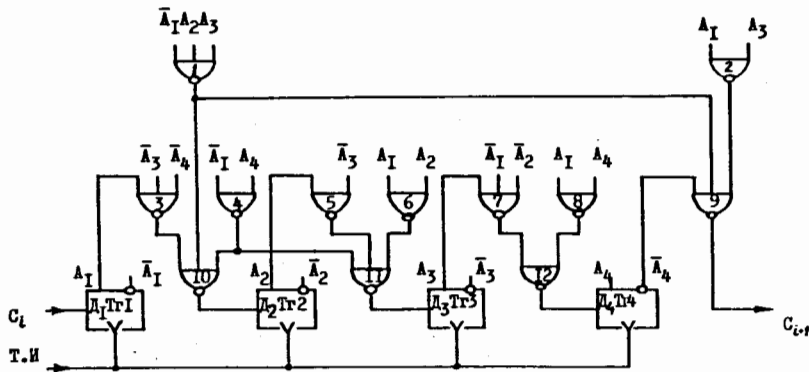


Рис. 1. Тетрада преобразователя двоичного кода в двоично-десятичный.

при помощи которых осуществляется коррекция кода и перенос. На D-вход триггера младшего разряда Tr1 последовательно поступает входная информация. Если состояние тетрады соответствует кодам от нуля до четырех, то по очередному тактовому импульсу происходит сдвиг этого кода на один разряд вправо, то есть удвоение. Если состояние тетрады соответствует кодам от пяти до девяти, то на D-входы триггеров Tr2-Tr4 поступает код коррекции, организованный элементами 1,3-8, 10-12. При этом на выходе тетрады с помощью элементов 1,2,9 и Tr4 устанавливается логический уровень переноса в старшую тетраду. По очередному тактовому импульсу код коррекции и перенос записываются на соответствующие триггеры.

Логические состояния D-входов Tr1-Tr4 и переноса в старшую тетраду определяются следующими функциями:

$$D_1 = C_i$$

$$D_2 = \bar{A}_1 \bar{A}_2 A_3 + A_1 \bar{A}_3 \bar{A}_4 + \bar{A}_1 A_4$$

$$D_3 = A_1 A_2 + A_2 \bar{A}_3 + \bar{A}_1 A_4$$

$$D_4 = \bar{A}_1 \bar{A}_2 A_3 + A_1 A_4$$

$$C_{i+1} = \bar{A}_1 \bar{A}_2 A_3 + A_1 A_3 + \bar{A}_4^3.$$

Устройство, построенное по предложенной схеме, преобразует двоичные коды на частоте тактовых импульсов не менее

$$F = \frac{1}{\tau_{ТГ} + 2\tau_{И-НЕ}},$$

где $\tau_{ТГ}$ - задержка сигнала в цепях D-триггера, $\tau_{И-НЕ}$ - задержка сигнала в цепях элемента И-НЕ.

Время преобразования 8-разрядного двоичного кода в преобразователе, построенном на интегральных микросхемах 155-й серии, - не более 0,8 мкс.

Второй вариант более экономичной схемы с минимальным временем преобразования 8-разрядного двоичного кода - не более 1 мкс, представлен на рис. 2. Частота тактовых импульсов для этой схемы не менее

$$F = \frac{1}{\tau_{ТГ} + 3\tau_{И-НЕ}}.$$

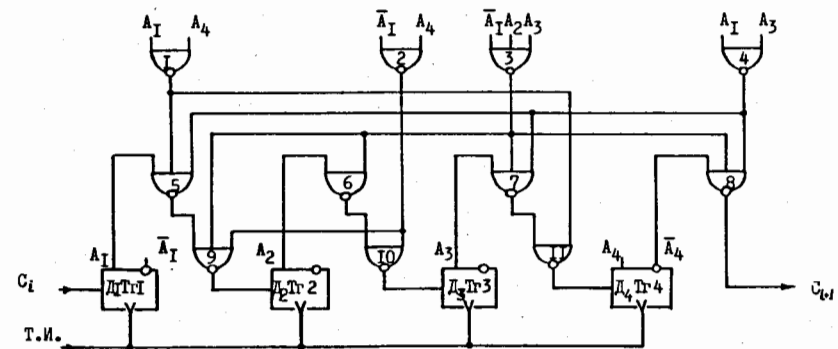


Рис. 2. Тетрада преобразователя двоичного кода в двоично-десятичный.

Здесь логические состояния D-входов Тг1-Тг4 и переноса в старшую тетраду определяются следующими функциями:

$$D_1 = C_i$$

$$D_2 = \bar{A}_1 A_4 + \bar{A}_1 A_2 A_3 + A_1 (\bar{A}_1 A_4) (\bar{A}_1 A_3)$$

$$D_3 = \bar{A}_1 A_4 + A_2 (\bar{A}_1 A_2 A_3)$$

$$D_4 = A_1 A_4 + A_3 (\bar{A}_1 A_2 A_3) (\bar{A}_1 A_3)$$

$$C_{i+1} = A_1 A_3 + \bar{A}_1 A_2 A_3 + \bar{A}_4$$

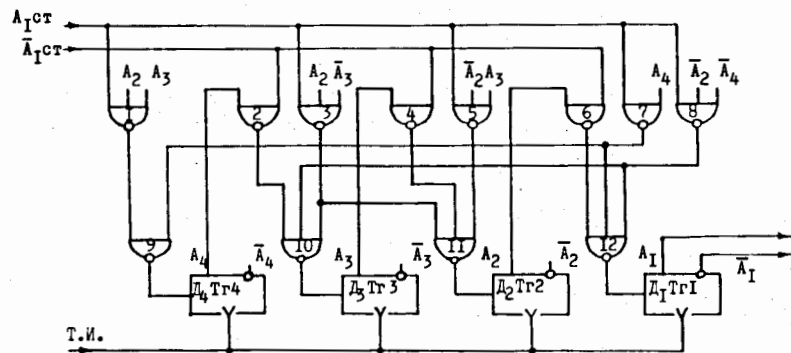


Рис. 3. Тетрада преобразователя двоично-десятичного кода в двоичный.

Схема, представленная на рис. 3, позволяет организовать преобразователь двоично-десятичного кода в двоичный. Схема одной тетрады состоит из элементов И-НЕ 1-12, выполняющих функцию коррекции и D-триггеров Тг1-Тг4. Выход триггера младшего разряда /Тг1/ организует перенос в младшую тетраду.

Логические состояния D-входов Тг1-Тг4 определяются следующими функциями:

$$D_1 = A_{1\text{ст}} A_2 A_3 + A_{1\text{ст}} A_4$$

$$D_2 = A_{1\text{ст}} A_2 \bar{A}_3 + A_{1\text{ст}} \bar{A}_2 \bar{A}_4 + A_{1\text{ст}} A_4$$

$$D_3 = A_{1\text{ст}} A_2 \bar{A}_3 + A_{1\text{ст}} \bar{A}_2 A_3 + \bar{A}_{1\text{ст}} A_3$$

$$D_4 = A_{1\text{ст}} \bar{A}_2 \bar{A}_4 + A_{1\text{ст}} A_4 + \bar{A}_{1\text{ст}} A_2$$

На счетные входы триггеров Тг1-Тг4 подаются тактовые импульсы, частота которых должна быть не менее

$$F = \frac{1}{\tau_{\text{Тг}} + 2\tau_{\text{И-НЕ}}}$$

В тетраде преобразователя, выполненной на микросхемах 155-й серии, время преобразования в 8-разрядный двоичный код - не более 0,8 мкс.

В заключение авторы считают своим долгом поблагодарить кандидата технических наук Л.П.Челнокова и кандидата технических наук В.И.Приходько за полезные обсуждения.

Литература

1. В.Н.Замрий. ОИЯИ, 2084, Дубна, 1965.
2. И.Ф.Колпаков, Н.М.Никитюк, Л.А.Урманова. ОИЯИ, Р11-7005, Дубна, 1973.
3. Е.Браньковски и др. ОИЯИ, 10-7983, Дубна, 1974.

Рукопись поступила в издательский отдел
1 декабря 1976 года.