

с 344.3

Б-242

ш
1



**ЛЕКЦИИ
ДЛЯ МОЛОДЫХ
УЧЕНЫХ**

С. Г. БАСИЛАДЗЕ

**Электронная регистрирующая
аппаратура
физического эксперимента
(обзор)**

ДУБНА

Выпуск 20

РЕДАКЦИОННЫЙ СОВЕТ

Д. В. Ширков - председатель
А. Т. Филиппов - зам. председателя
А. Н. Сисакян - ученый секретарь
О. А. Займидорога
А. А. Карлов
В. А. Никитин
Ю. П. Попов
В. Р. Саранцева
Н. Б. Скачков



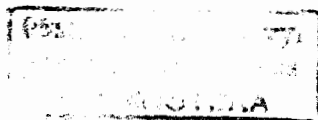
ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ

P13 - 12151

С.Г.Басиладзе

С.344.3
Б-272

109685
ЭЛЕКТРОННАЯ РЕГИСТРИРУЮЩАЯ АППАРАТУРА
ФИЗИЧЕСКОГО ЭКСПЕРИМЕНТА
(обзор)



Дубна 1979

Басиладзе С.Г.

P13 - 12151

Электронная регистрирующая аппаратура физического эксперимента (обзор).

Освещаются основные направления развития электронной регистрирующей аппаратуры современных установок для экспериментов в ядерной физике. Повышенное внимание уделено вопросам разработок специализированных гибридных интегральных схем, специализированным процессорам для селекции событий, использованию интегральных схем ЗУ в блоках регистрации, аналого-цифровым преобразователям, а также перспективам развития стандартов ядерной электроники.

Работа выполнена в Лаборатории высоких энергий ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна 1979

Basiladze S.G.

P13 - 12151

Detecting Nuclear Electronics for Physical Experiments. (Review)

The main directions of the development of present counter electronics for experiments in nuclear physics is described. The basic attention is paid to the problems of designing special hybrid circuits, fast processors for trigger selection, semiconductor memory utilization for the nanosecond logic modules, the analog to digital converters and the future of nuclear electronic standards.

The investigation has been performed at the Laboratory of High Energy Physics, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna 1979

Целью настоящего обзора является освещение основных направлений развития электронной регистрирующей аппаратуры современных крупных автоматизированных установок для экспериментов в ядерной физике. Типичными для этих установок являются следующие электронные системы (рис. 1). Выделение событий, искомым в процессе эксперимента, производится системами запуска установки. Электроника запуска, как правило, двухступенчатая - (рис. 1, а). Имеется система предварительного отбора событий, в основном по критерию одновременности срабатывания определенным образом расположенных быстродействующих детекторов. Эта система собирается из "традиционных" блоков наносекундной электроники (Т - рис. 1, б). Она дает строб-импульс записи исходных данных в быстродействующий специализированный цифровой процессор, который производит отбор событий по более сложным критериям. С выхода процессора снимается сигнал запуска (либо запрета сброса) систем регистрации энергий и координат частиц, обслуживающих основное число датчиков (выходов детекторов) установки. В представленной электронике можно условно выделить схемы съема информации с детекторов (часто разделенные пространственно с основной электроникой) и схемы считывания данных (на магистраль КАМАК). Важное место в сложных установках занимают системы контроля и управления режимами работы.

Основой достигнутого в настоящее время уровня аппаратуры явилось применение быстродействующих интегральных схем с эмиттерной связью[§], интегральных схем ТТЛ средней степени интеграции и, в

[§] См., например, обзор /1/.

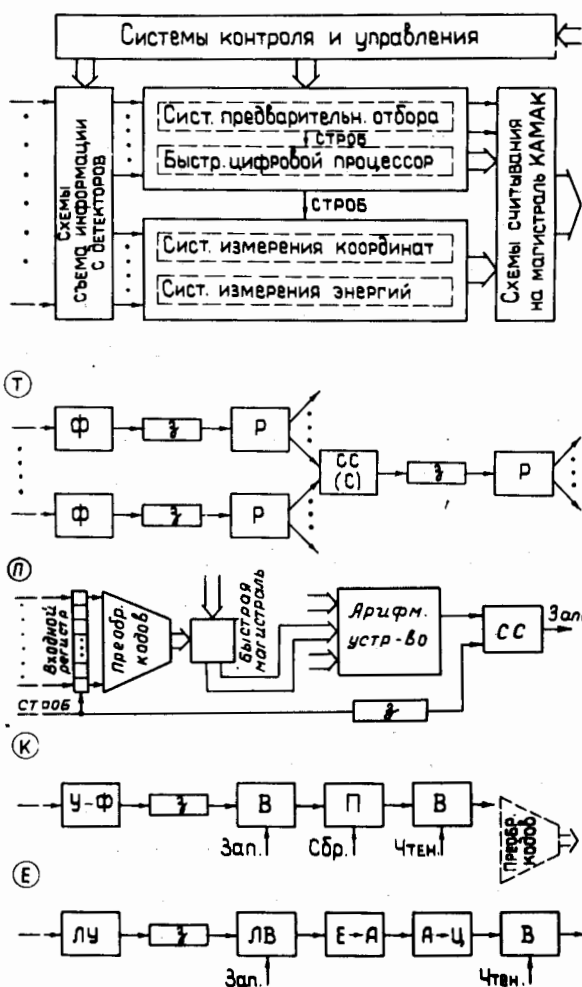


Рис. I. Основные системы электроники регистрации современных крупных экспериментальных установок - а); б) - структурные схемы каналов предварительного отбора событий (Т), быстрых цифровых процессоров (П), каналов координатных детекторов (К) и каналов детекторов для измерения энергии (Е).

особенности, специализированных гибридных интегральных схем. Последним, с учетом их определяющего вклада в перспективу развития электроники регистрации, посвящается отдельный раздел сборника. В остальных разделах описана аппаратура в стандарте КАМАК ("Вектор") для указанных выше систем современной электроники регистрации.

Специализированные интегральные схемы

Исторически потребность в специализированных интегральных схемах была ранее всего осознана для электроники регистрации сигналов с пропорциональных камер (ПК) /2 + 6/. В силу исключительной простоты этих детекторов вопрос о массовом применении их в установках являлся, в значительной мере, вопросом создания компактной, надежной и недорогой электроники регистрации. Поскольку "дискретные" интегральные схемы широкого применения не давали кардинального решения вопроса, были созданы специализированные большие интегральные схемы. Следующим этапом внедрения специализированных интегральных схем явилась микроминиатюризация аналого-цифровых преобразователей многоканальных телескопических систем (наборы сцинтилляционных, черенковских детекторов, дрейфовые камеры - ДК, детекторы на основе жидкого аргона). И наконец, развившаяся технологическая база дала возможность разрабатывать специализированные схемы, выпуск которых диктовался уже не масштабами производства аппаратуры, а достижением более высоких электрических характеристик (например, быстродействия, из-за меньших паразитных емкостей). В табл. I приводятся примеры специализированных интегральных схем, выпускаемых различными фирмами.

Данные таблицы свидетельствуют о том, что номенклатура выпускаемых в настоящее время специализированных интегральных схем

Таблица I

Назначение схемы	Тип	Применение
<u>Фирма Le Croy /7 + II/</u>		
Усилитель сигналов с ФЭУ	VV 100	Поставляется отдельно
Быстрый усилитель	VV 101	— " —
Широкополосный малощумящий предусилитель	TRA 510	— " —
Усилитель-формирователь для ПК	LD 604	— " —
Сдвоенный усилитель-формирователь для ПК	PC200	— " —
Сдвоенный усилитель-формирователь для ДК	ДС201	— " —
Сдвоенный канал регистрации сигналов с ПК	PC700	В системе PCOS-II
Усилитель-дискриминатор для формирования по переднему фронту	LD601	В формах т.621+623.
Преобразователь заряд-время	QT 100	В бл. ЗЦП т.2248+2250.
Преобразователь амплитуда-время	VT 100	В бл. АЦП т.2259.
Сдвоенные 5+II разрядные быстрые счетчики	SC 100, 103, 200	В ЗЦП т.2249+2251, в сч-ках т.2250+2252.
Сдвоенный преобразователь время-цифра	ТД300	В кодир. ДК т.2770.
Счетверенный регистр	RL100	В кодир. ПК т.2720.
Сдвоенный преобразователь заряд-цифра	QC200	В ЗЦП т.2282.
<u>Фирма ORTIC /I2 + I5/</u>		
Операционный усилитель		Л. /I2/.
Усилитель-дискриминатор для формирователя по переднему фронту	HEU200	В форм-ле т.928.
Схема constant fraction для формирования точной временной отметки		В ФСП т.934 /I5/.
Схема формирования выходного сигнала в наносекундных блоках	НИУ106	В форм-ле т.928.

14-канальный аналоговый мульти- L. /14/.
плексор

Фирма CIT Alcatel /16,17/

Сдвоенный малозумящий предусилитель II49 L. /16/.

Сдвоенный быстрый предусилитель 7369

Усилитель-формирователь для ПК 7379

Канал регистрации сигналов с ПК 732I

Фирма EFCIS /18 + 20/

8-канальная схема регистрации сигнала- FILAS L. /19/.
лов с ПК

Сдвоенный быстрый усилитель для ПК RBA L. /18/.

8-канальная схема: сдвоенная задержка- RBB L. /18/.
память, для ПК

Преобразователь время-цифра (2 x 4) IGT
для ДК

весьма обширна и охватывает практически все типы узлов, характерных для ядерной электроники. Отметим, что стоимость схем находится в пределах 30 + 80 долл. (в зависимости от сложности). Среди советских специализированных схем следует отметить серийно выпускаемые усилитель-формирователь K243AГI/2I/ и сдвоенный канал регистрации сигналов с ПК K405XIII /22/. Имеются и другие разработки /23/.

В цели настоящего обзора не входит описание промышленно выпускаемых интегральных схем. Однако, по-видимому, целесообразно кратко остановиться на сравнительно новом классе интегральных схем - приборах с зарядовой связью (ПЗС) /24,25/, открывающих принципиально новые возможности построения регистрирующей аппаратуры.

ПЗС-структуры представляют собой линейную последовательность МДП-конденсаторов (рис. 2,а), способных под действием тактовых импульсов перемещать с ничтожными потерями определен-

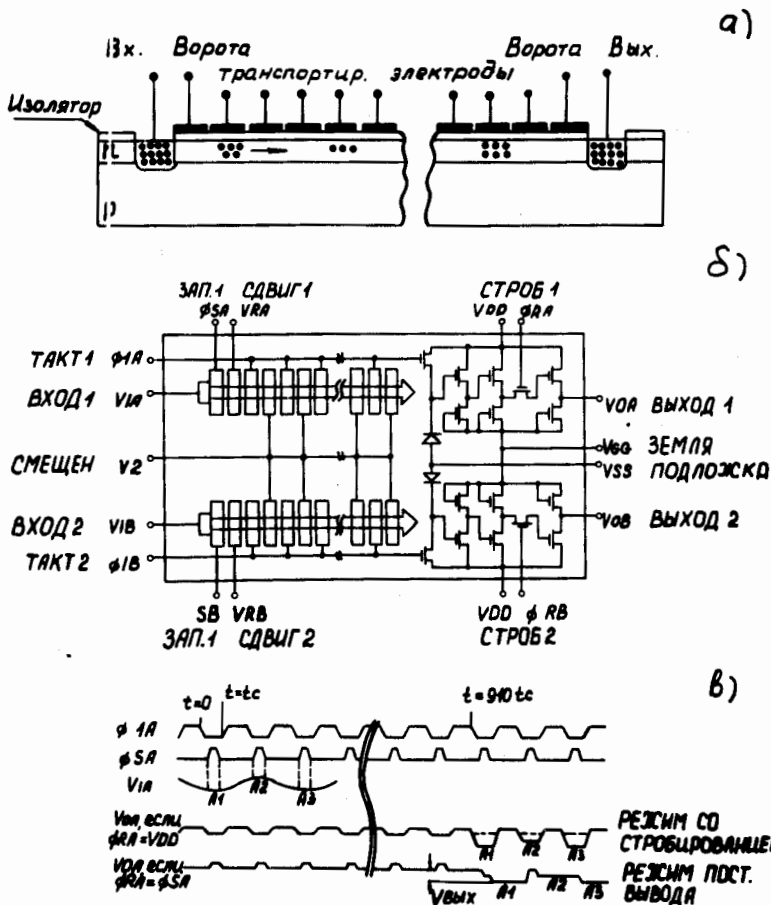


Рис. 2. Схематическое изображение ПЗС-структуры - а); схема ПЗС-ИС типа ССД 321 Fairchild - б); временные диаграммы сигналов в её узловых точках - в).

ную величину заряда, введенного на вход линии, а в отсутствие тактовых импульсов — длительное время сохранять заряд независимо в каждой ячейке. Величину транспортируемого заряда можно варьировать сотни раз, т.е. ПЭС — структура является аналоговым сдвиговым регистром. Для схемы ССД 32I Fairchild тактовую частоту сдвига можно менять в пределах от 20 МГц до 20 кГц, что соответствует верхней полосе пропускания не менее 5 МГц и задержке (на 455 ячеек) от 25 мкс до 50 мс /26/.

Одно из предлагаемых применений ПЭС-ИС /27/ — запоминание амплитудно-пространственно-временного образа события с многопроводочных детекторов (рис. 3, а). В нормальном режиме ПЭС-ИС, подключенные к каждой из проволок, постоянно опрашивают детекторы с наивысшей тактовой частотой. В случае выработки импульса запуска установки (отстающего от события на время, затраченное на селекцию) схемы переводятся в режим чтения содержащейся в их ячейках информации. Частота тактовых импульсов понижается до величины $k \cdot t_{пр}$, где k — количество выходов детектора, а $t_{пр}$ — время преобразования АЦП. Таким образом, в память заносится цифровой эквивалент амплитуды сигналов с выходов детектора, а порядковый номер записанного слова отражает номер выхода и с высокой степенью точности (50 ± 100 нс) — момент появления на нем сигнала.

В работе /28/ предложено использовать ПЭС-структуры с фотовводом сигналов /24,25/ для съема информации с набора голоскопических ФЭУ (рис. 3, б). Сигналы со 100 ФЭУ через стробируемые преобразователи заряд-время подаются на светодиоды, расположенные с определенным шагом. Вспышки светодиодов фокусируются на ПЭС — интегральную схему типа ССД110F (Fairchild). Электрические сигналы с неё поочередно выводятся на АЦП с временем

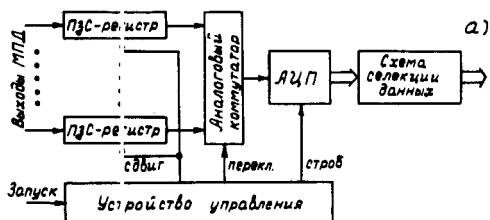


Рис. 3. Предлагаемые применения ПЗС-ИС:

а) - блок-схема считывания с многопроводного детектора; б) блок-схема считывания данных с системы годоскопических ФЭУ.

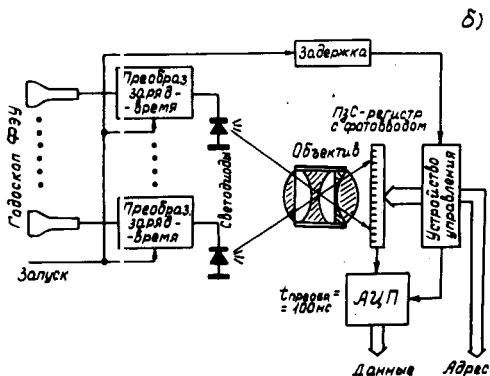


Табл. 2. Разработки наносекундных блоков в стандарте КАМАК (Вектор) для систем предварительного отбора событий.

КАМАК	Литерат.	Разработка	Усилители	Формирователи	Блоки задержки	Разветвители смесители	Схемы совпадения	Элемент. база	Год разработ.
Блоки с ручным управл.	А.38-А.41	ЛВЗ ОЦЯЦ	4УС1	4Ф1,2ФСТ	БЗ1	Р1, С1	СС4, 2СС4, 4СС3	Тромб	1971
	А.42	СНИИП(Вектор)	БУЦ2-92	БТЭ2-90	БЗА2-90	БКР2-90	БСВ2-90	И-И	1974
	А.43	ПОЛОМ, ПНР	1501	1401		1504	1402	И-И	1975
	А.44	ЛВЗ ОЦЯЦ		ФФ3,4ФСТ2	2БЗ2	Р3, С3	МСС4,4СС7	УС	1975
	А.45	Nucf. Entech				9050		И-И	1976
	А.47	Schumberger		ЭДР10	ЭНД10		ЭДС10	И-И	1976
	А.48	ЦИФЦ, ВНР					САМ.В.05-2	И-И	1977
А.9	Le Стоу		2Б23				ГЦС	1977	
Прогр.-управл. бл.	А.51-А.53	ЛВЗ ОЦЯЦ	4УС1+ЦАП	4Ф2	2БЗУ		УЛБ	УС	1974
	А.54	ЛАН ОЦЯЦ			КАЛОС, КЛАСОБ	КЛОО1	КЛ201	И-И	1975
	А.55	SEN Electe.		2065	2048		2062	И-И	1976
	А.46	ЦИФЦ, ВАН				САМ.В.12 САМ.В.03		И-И	1977
	А.55	NES					РЛУ	И-И	1977
	А.56	ЛЦЯФ		ФЛУ			ПМС	И-И	1977

преобразования 100 нс. Ожидаемая линейность лучше 1%, а динамический диапазон не менее 100. В числе преимуществ авторы отмечают низкую стоимость системы и стойкость к помехам.

Испытания ПЭС-структур /26, 27/ показали, что их применение сопряжено с рядом трудностей:

- 1) наличием сдвига уровня выходного сигнала, вызываемого током утечек, и зависящего от тактовой частоты и температуры;
- 2) проблемой создания специальных схем наносекундных тактовых импульсов большой амплитуды /29, 30/;
- 3) прохождением определенной части тактового импульса на выход (рис. 2,б,в);
- 4) зависимостью величины выходного сигнала от амплитуды тактового импульса (18% на 6%),

что, однако, не уменьшает привлекательности данных приборов для современной ядерной электроники. Описано применение логических /25/ ПЭС-ИС, содержащих 16К ячеек сдвига в схемах цифровой памяти для хранения массивов данных /31/.

Среди других типов промышленных интегральных схем, создающих новые возможности построения регистрирующей аппаратуры, следует упомянуть также о БМС памяти /32/ и, в частности, буферных ЗУ типа FIFO /33/ (см. ниже).

Электроника систем предварительного отбора событий

Следствием широкого распространения стандарта КАМАК явился перевод в его конструктивы "традиционных" блоков наносекундной электроники, не имеющих связи с магистралью. Более высокая стоимость ячейки КАМАК нейтрализуется высокой плотностью размещения модулей в блоке*, а единство конструктивов обеспечивает определенные системные преимущества. Применение специализированных * по крайней мере, по сравнению со стандартом "Вишня" /34, 35/ ,

интегральных схем позволило добиться более высоких электрических характеристик, например, собственное "гуляние" /36/ формирователей снижено до 1 нс /9, 37/. В табл. 2 приведены примеры разработок наносекундных логических блоков в конструктивах КАМАК.

Следующим этапом явилось введение цифрового управления основными параметрами наносекундных блоков со стороны магистрали КАМАК. Программное управление параметрами и структурой систем предварительного отбора событий позволяет /49/:

- а) ускорить и улучшить качество отладки блоков и установок в целом;
 - б) стабилизировать режим работы установок;
 - в) производить одновременные измерения по нескольким каналам изучаемых реакций;
 - г) производить оперативные переключения (в том числе дистанционно);
 - д) автоматизировать рутинные операции (подбор задержек, напряжений питания и проч.),
- т.е., в-целом, создавать более сложные и высокопроизводительные установки. Поскольку наносекундные блоки с цифровым управлением сложнее своих аналогов с ручным управлением, целесообразно применять их в тех важнейших узлах, которые оказывают решающее влияние на параметры установки в целом. В табл. 2 приведен ряд разработанных к настоящему времени блоков наносекундной логики с цифровым управлением.

Идея программного управления нашла свою реализацию и в блоках наносекундной электроники, выполненных в стандарте NIM /57/. Фирмой SEN разработана последовательная управляющая система SATAN на 256 16-разрядных каналах управления. Она включает интерфейсный блок КАМАК, дублирующее устройство ручного управле-

ния (модификация калькулятора) и промежуточные управляющие модули группы, на основе микропроцессоров Fairchild F8 /58/.

В работе /59/ описана система электронных блоков для предварительного отбора событий, реализованная на предложенном в /60/ принципе аппаратурного разделения функций совпадения сигналов во времени и проверки определенных логических соотношений между ними. Основу её составляет быстрый стробируемый регистр, для выделения сигналов во времени, и коммутируемый блок логики, на котором набираются необходимые логические операции. Преимуществами такого решения являются снижение числа промежуточных разъемов в устройстве отбора и его упрощение, ввиду отсутствия промежуточных узлов стандартизации сигналов (между модулями) в уровне NIM. Однако существенным недостатком является значительное (на порядок) увеличение мертвого времени^{*}, понижающее коэффициент отбора /61/. Кроме того, очевидна незамкнутость такой системы, т.к. строб-сигнал записи в быстрый регистр все равно должен вырабатываться традиционными блоками наносекундной электроники.

Специализированные процессоры

Фактически системы отбора упомянутого выше типа /59, 60, 61/ являются переходными ко второму уровню, т.е. к быстрым спецпроцессорам. Они запускаются от модулей отбора первого уровня, имеют схемы запоминания исходных данных и простейшее логическое устройство.

Принципиальным отличием быстрых спецпроцессоров является работа со значительно большим числом датчиков сигналов (сотни

^{*} В "обычных" системах предварительного отбора допустимый период повторения сигналов значительно меньше времени отбора (задержки), здесь же эти величины равны.

и тысячи*) по сравнению с используемыми в системах предварительного отбора (5 + 15 датчиков) и способность реализовать существенно более сложный алгоритм отбора, нежели простейший набор операций И, ИИ, НЕ. Специализированные процессоры, как правило, не работают непосредственно с сигналами с датчиков, поскольку представление данных в линейном позиционном коде, содержащемся в запоминающем регистре, неудобно (требует большого объема оборудования) для выполнения арифметических операций. Поэтому специализированные процессоры имеют (см. рис. 1) устройства преобразования кодов из линейного позиционного в двоичный. При большом количестве исходной информации о событии необходима, естественно, быстрая магистраль для последовательной передачи двоичных кодов в арифметическое устройство.

В настоящее время разработан довольно широкий спектр специализированных процессоров различного назначения, сложности и быстродействия /63 + 65/. Однако цель их построения, в сущности, одна — значительно снизить величину потока данных, накапливаемых он-лайн ЭВМ в процессе эксперимента, за счет производства вычислений, делавшихся ранее при офф-лайн обработке. Процессоры, предназначенные для селекции событий, можно условно разделить на два класса.

1. Быстрые специализированные процессоры — сравнительно простые устройства, основное назначение которых — поднять коэффициент отбора установки настолько, чтобы обеспечить её экспонирование при существенно больших интенсивностях пучка частиц.

2. Сложные спецпроцессоры, время решения которых доходит до миллисекунд, создаваемые для снижения объема данных, выводимых в он-лайн ЭВМ. На циклических ускорителях такие процессоры обеспечи-

* что соответствует количеству информации 8 + 12 бит.

вают выигрыш и в скорости набора статистики, если используется промежуточная буферная память (~ 100 Кслов), а перезапись в ЭММ ведется в паузах между выводами пучка.

Со сходной целью создаются не производящие селекцию спец-процессоры* для сжатия объема передаваемых данных о событии, за счет вычисления его обобщенных параметров. Например, вместо записи нескольких координат можно вычислить и передать только кризису траектории частицы, либо производить гистограммирование событий, а затем передавать параметры гистограммы /66, 67/.

Процессоры второго и третьего типа зачастую имеют память, содержащую программу, или (и) сочленяются с мини- (или микро-) ЭММ.

Быстрые спецпроцессоры. Наиболее часто для быстрых процессоров используется информация с координатных детекторов, как не требующая времени на преобразование в цифровую форму, однако может быть привлечена и амплитудно-временная информация (с выходов аналого-цифровых преобразователей).

Простейшими алгоритмами отбора событий являются те, которые обеспечивают селекцию по соотношениям количеств частиц, прошедших регистрирующие плоскости. В работе /68/ описан быстрый спецпроцессор, созданный для подавления случаев неэффективного срабатывания координатных детекторов (рейфовые камеры). В эксперименте использовались 4 блока ДК, содержащих по 4 регистрирующих плоскости, составляемых десятью сигнальными проволочками (по одной координате и столько же по второй). Процессор выделяет случаи регистрации частицы по крайней мере тремя плоскостями каждого блока, при условии, что общее количество проволочек, сработавших в блоке, не превышает 6 (что необходимо для подавления случаев перекрестных наводок между проволочками). В силу простоты

* Их можно считать спецпроцессорами 3-го типа.

логики, промежуточное кодирование данных не производится. Собственное время решения процессора ~ 30 нс (серия МЕСЛ 10.000) /1/.

Быстрый процессор, отбирающий события по разности чисел частиц, прошедших через две регистрирующие плоскости (пропорциональные камеры), описан в работе /69/. Он состоит из 32-канальных блоков регистрации /70/ и преобразования количества сработавших каналов в плоскости в двоичный код /71/ и арифметического блока, реализующего алгоритм: $A < N_2 - N_1 \leq B$, где N_1, N_2 - количество зарегистрированных в момент запуска частиц в ПК₁ и ПК₂, A, B - константы, задаваемые с переключателей на передней панели ($0 \leq A \leq 7, 0 \leq B \leq 15$). Общее количество входных каналов в процессоре - 96 (32 + 64, в принципе, может быть неограниченно расширено), время решения 180 нс (серия К138 /72, 1/). Процессор позволяет выделять случаи рождения определенного количества частиц (распада налетающей частицы) в объеме, ограниченном регистрирующими плоскостями, на фоне сквозных треков через обе ПК.

Следующим процессором, работающим с кодами количеств, является /73/. Он вычисляет за 2,5 мкс (ТГЛ-Шоттки /74/) координату и энергию прошедшей частицы в протяженном позиционно-чувствительном детекторе (пропорциональный счетчик), т.е. в том, в котором выделенный заряд разделяется к противоположным торцам (q_A и q_B) в соотношении, определяемом местом попадания частицы. Информация в процессор поступает с выходов двух аналого-цифровых преобразователей. Он вычисляет сумму - ($q_A + q_B$), дающую величину энергии, и отношение - $q_A / (q_A + q_B)$, соответствующее координате прохождения частицы. Автором блок использован для обработки данных (найденные величины гистограммируются), ясно, оц-

нако, что с помощью обычных схем сравнения кодов выходные данные могут использоваться для выделения событий по энергии, либо координате (углу выхода из мишени) заряженной частицы.

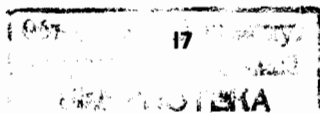
Более сложными, но достаточно распространенными являются процессоры, выделяющие события на основе определенных геометрических соотношений. Наибольшее число разработок приходится на долю быстрых спецпроцессоров, определяющих угол рассеяния частиц в мишени /75 + 81/. Примером процессора такого типа может служить устройство /81/, блок-схема которого показана на рис. 4. Он состоит из 32-канальных блоков регистрации и шифровки номеров сработавших проволочек ПК₁ + ПК₃ в двоичные коды ПШ-92I /82/ и арифметического блока ЦП-93I /83/, реализующего алгоритм:

$$/A \cdot X_1 - B \cdot X_2 + C \cdot X_3 - D / > e_x,$$

где X₁, X₂, X₃ - коды координат прохождения частицей ПК₁, ПК₂, ПК₃, A, B, C, D - двоичные константы, варьируемые в зависимости от геометрии опыта, e_x - задаваемый минимальный угол рассеяния.

Дополнительным условием отбора является наличие только одной сработавшей проволочки в каждой ПК. При общем числе входных каналов ~ 400 время решения составляет 300 нс (серии ПЗ8, МЕСЛ II /I/).

Следует отметить, что ранее, по причине отсутствия быстрых ИС повышенной интеграции, существовала тенденция реализации быстрых спецпроцессоров аналоговыми методами /63, 84/, так же, как и мажоритарных совпадений /85 + 87/ (в отличие от цифровых МСС /71, 88, 89/). Аналоговые блоки привлекали сравнительной простотой, поэтому разработки аналоговых процессоров встречаются и в настоящее время /90, 91/. Однако, учитывая присущие аналоговым вычислительным схемам нестабильности в работе, ограничивающие достижи-



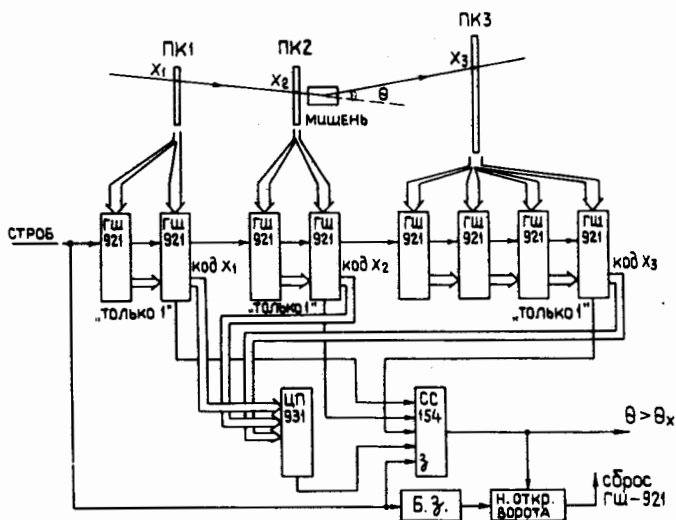


Рис. 4. Блок-схема быстрого специализированного процессора для отбора событий по углу рассеяния частиц в мишени.

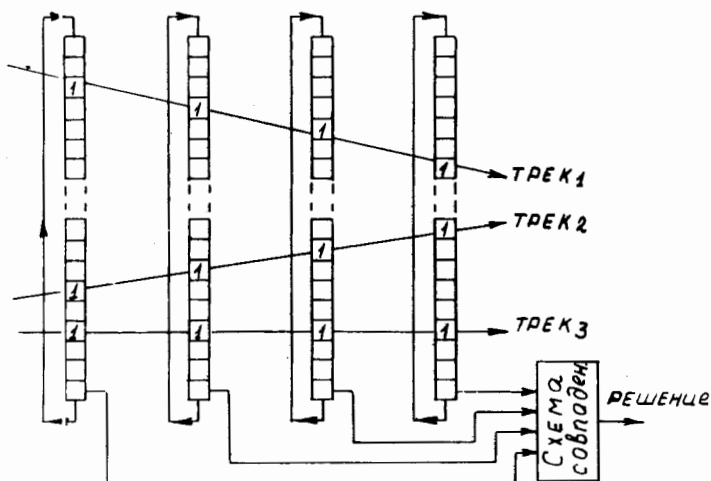


Рис. 5. Схематическое изображение процессора на основе сдвиговых регистров для выделения прямых треков.

мый коэффициент отбора, их вряд ли следует считать перспективными.

Если арифметические блоки быстрых процессоров отличаются большим многообразием и сейчас, по-видимому, допускают унификацию только на уровне узлов, блоки подготовки данных можно и целесообразно* стандартизировать. В работе /92/ описан унифицированный блок регистрации и шифровки данных для быстрых процессорных систем. По специализированной последовательной магистрали (разъём на передней панели) выдаются коды количества частиц, зарегистрированных в плоскости, и поочередно — коды их координат. Скорость кодирования и передачи данных доведена до 25 нс/слово (серия К500 /93/).

Процессоры повышенной сложности. Весьма распространённой задачей является проведение прямых треков через точки прохождения частицами ряда последовательных плоскостей. Эта задача сопряжена с перебором значительного количества комбинаций и решается последовательными методами. Простейший принцип решения состоит (рис.5) /94/ в использовании сдвиговых регистров и схем совпадений, выделяющих "горизонтальные" треки. Для выделения наклонных треков применяется начальный пропорциональный сдвиг данных в регистрах. Как видим, данный процессор работает непосредственно с линейными позиционными кодами с выходов детекторов. Недостаток метода — большое время решения, связанное с многократным "прокручиванием" данных для проверки диапазона углов.

Процессор другого типа для этой задачи описан в работах /63, 64/. По очереди перебираются комбинации точек на крайних плоскостях (X_I и X_m) и проверяется условие нахождения точек с внутренних плоскостей на прямой I - m :

* поскольку эти блоки составляют до 80% по объёму аппаратуры в быстрых процессорах.

$$\lambda_i = X_1 + \beta_i \cdot (X_m - X_1).$$

В целях ускорения, вычисления для всех внутренних плоскостей - $i = 2, \dots, (m - 1)$ ведутся параллельно.

Более сложная задача выделения криволинейных траекторий требует /95/ вычисления выражений вида:

$$E_k = \sum_{i=1}^m \bar{W}_{ki} \cdot X_i + \bar{W}'_{ki} \cdot Y_i; \quad k = 0', \dots, 2m.$$

Общее число перебираемых комбинаций, при среднем числе точек на регистрирующей плоскости - n , равно n^{2m} . Для небольших величин $n \leq 4$, $m \leq 5$ удается построить процессор с временем решения ~ 1 мс /96/. Создан процессор для определения криволинейных траекторий* в многослойных детекторах цилиндрической геометрии /97/, время решения которого доведено до 34 мкс, а принцип работы аналогичен /94/ (сдвиги с частотой 10 МГц).

В крупных установках используются процессоры, отбирающие события по нескольким критериям. Так, в 50.000 - канальной системе ЦЕРН /98/ процессор (провода для него объединены в группы по 32) выделяет события по количеству частиц, наличию их в конусе рассеяния и по нахождению прямых треков. За счет параллельной обработки время решения сокращено до 1 мкс (схемы ТТЛ).

Наиболее сложным по алгоритму является отбор событий по компланарности траекторий частицы, вошедшей в мишень, и двух вылетевших из неё в результате взаимодействия. Процессор, реализованный для этих целей /99/, производит дополнительный отбор и по углу разлета частиц. Он состоит из трех основных частей. Первой является препроцессор, производящий необходимые начальные преобразования координат и отбор событий по количеству частиц. Вторая часть производит предварительный отбор траекторий в со-

* В проекции на плоскость сечения цилиндров.

ответствии с данными запускающего годоскопа. Третья ступень проверяет все комбинации прямых треков ($\sim n^4$) на соответствие алгоритму. Для $n = 4$ вычисления занимают ~ 100 мкс.

Программируемые спецпроцессоры. Простейшим применением памяти в спецпроцессорах является хранение констант, связанных с конкретными условиями, например, геометрией эксперимента /79/. Более эффективно использование памяти для хранения программ вычислений, что несколько замедляет их темп, но существенно понижает объём оборудования.

Примером такой быстродействующей специализированной ЭВМ может служить разработка /100/, построенная на схемах месь 10.000. Процессор производит быстрый анализ треков мюонной пары и определяет эффективную массу и поперечный импульс по координатам треков в двух ДС:

$$M^2 = \frac{k^2[(A_1 \Delta x_2 - B_1 \Delta x_1)^2 + (A_2 \Delta y_2 - B_2 \Delta y_1)^2]}{(A_3 y_2 - B_3 y_1) \cdot (A_3 \bar{y}_2 - B_3 \bar{y}_1)} ;$$

$$p_{\perp}^2 = \frac{k^2[(A_1 x_2 - B_1 x_1)^2 + (A_2 y_2 - B_2 y_1)^2]}{(A_3 y_2 - B_3 y_1)^2} .$$

Время решения ~ 2 мкс.

Быстрая специализированная ЭВМ создается в ИЯФ СОАИ /101/ для нахождения и анализа траекторий частиц в магнитном поле, в установке, содержащей 15000 каналов ПК. Процессор имеет быструю магистраль (согласованные линии - уровни ЭСЛ) с временем цикла 30 нс. Вычисление алгоритма требует 230 операций суммирования, 190 операций сравнения, 100 - умножения, 20 - деления и 30 операций извлечения корня, либо нахождения тригонометрических функций.

Ряд процессоров построен на основе синтеза с миниЭВМ, например, процессоры для определения прямых траекторий /64, 102/. Созданы процессоры и на основе микропроцессоров /65, 103 +105/. Отмечаются /65/ преимущества микропроцессоров типа "bit-slice"

для рассматриваемых целей, ввиду их лучших характеристик по быстродействию и достаточной гибкости для построения вычислительных устройств специальной архитектуры.

Использование ЗУ для реализации логических операций. Как известно, ЗУ может заменить любую комбинационную логическую схему, если в него записать таблицу состояний этой схемы. Как показано в /106/, ЗУ может также выполнять функции последовательно-временных логических схем, если завести обратные связи с выходов на часть адресных входов. Значительные успехи в создании интегральных схем ПЗУ и ОЗУ емкостью соответственно выше 16 К и 1 К позволяют замещать ими логические и арифметические устройства до 14 входов с жесткой и до 10 входов с программируемой структурой.

Использование ЗУ в схемах отбора привлекает своим быстродействием, поскольку за один цикл обращения получается нужное "решение". Так, авторами /107/ были использованы две быстродействующие схемы памяти ЭСД. Первая, емкостью 16×4 , выполняла функции 4-входного универсального логического блока предварительного отбора с быстродействием до 100 МГц ; а вторая емкостью 1024×1 , работала как программно-управляемое 10-входное логическое устройство. В работе /108/ описана схема совпадений пороговой логики, построенная на ПЗУ.

Для построения специализированных процессоров на этом же принципе количества входов (емкости) даже ПЗУ оказывается явно недостаточным. Например, для проведения трека, как минимум, необходимы три координаты, и если в каждой регистрирующей плоскости содержится ~ 1000 проволочек, то "код трека" /65/ будет записываться 30-разрядным словом, т.е. требуется память объемом $\sim 10^9$ бит. Поэтому прибегают к различным способам сокраще-

ния объема памяти. Простейшим является получение на первой ступени приближенного решения, например, для полос, представляющих объединения проволочек в группы. Точные соотношения проверяются на втором этапе "обычным" арифметическим блоком /109, 110/, перебирающим уже значительно меньшее число комбинаций. Если "область решений" содержит ряд повторяющихся зон, то на обоих этапах может быть использовано ПЗУ, первое - для нахождения соответствия зоне, второе - для точной проверки по единому алгоритму (входному коду) для зон. Третья возможность сокращения объема ЗУ состоит в учете того факта, что область положительных решений, как правило, занимает малую часть от всего "поля возможностей". Простым решением, учитывающим малую долю значащих комбинаций, является запись кодов положительных решений в ассоциативное ЗУ /110/, однако степень интеграции в схемах памяти этого типа существенно ниже.

Интересно применение ОЗУ без дешифраторов адреса как матрицы совпадений, работающей непосредственно с линейными позиционными кодами с выходов детекторов /111/.

Аналого-цифровые преобразователи

Разработки аналого-цифровых преобразователей ведутся по двум направлениям. С одной стороны, создаются амплитудно-цифровые преобразователи повышенной точности на $12 + 14$ разрядов. В преобразователях, работающих по принципу Вилкинсона (схемы с высокой дифференциальной линейностью - для полупроводниковых детекторов) частота серии доведена до $100 + 200\text{ МГц}$. Блоки для измерения параметров электрофизических установок выполняют с дифференциальным либо изолированным входом (для нейтрализации действия наводок), преобразование ведется по принципу поразрядного уравнивания. Параметры ряда точных АЦП приведены в

ния объёма памяти. Простейшим является получение на первой ступени приближенного решения, например, для полос, представляющих объединения проволочек в группы. Точные соотношения проверяются на втором этапе "обычным" арифметическим блоком /I09, I10/, перебирающим уже значительно меньшее число комбинаций. Если "область решений" содержит ряд повторяющихся зон, то на своих этапах может быть использовано ПЗУ, первое - для нахождения соответствия зоне, второе - для точной проверки по единому алгоритму (входному коду) для зон. Третья возможность сокращения объёма ЗУ состоит в учете того факта, что область положительных решений, как правило, занимает малую часть от всего "поля возможностей". Простым решением, учитывающим малую долю значащих комбинаций, является запись кодов положительных решений в ассоциативное ЗУ /I10/, однако степень интеграции в схемах памяти этого типа существенно ниже.

Интересно применение ОЗУ без дешифраторов адреса как матрицы совпадений, работающей непосредственно с линейными позиционными кодами с выходов детекторов /III/.

Аналого-цифровые преобразователи

Разработки аналого-цифровых преобразователей ведутся по двум направлениям. С одной стороны, создаются амплитудно-цифровые преобразователи повышенной точности на I2 + I4 разрядов. В преобразователях, работающих по принципу Вилкинсона (схемы с высокой дифференциальной линейностью - для полупроводниковых детекторов) частота серии доведена до 100 + 200 МГц. Блоки для измерения параметров электрофизических установок выполняют с дифференциальным либо изолированным входом (для нейтрализации действия наводок), преобразование ведется по принципу поразрядного уравнивания. Параметры ряда точных АЦП приведены в

табл. 3. Успехи в технологии гибридных ИС позволили фирме Le Croy создать ЧУТ-анализатор, размещаемый в двух блоках (стандарт: NIM) /9/.

Вторым направлением является создание многоканальных преобразователей средней точности (9 + II разрядов). Разработаны многоканальные измерители амплитуд, либо быстродействующие (по входу) измерители зарядов (энергетические измерения с выходов ФЭУ), или временных интервалов (для время-координатных сцинтилляционных детекторов, либо ДК. Применение гибридных интегральных схем позволяет размещать в одном блоке КАМАК единичной ширины I2+I6 измерительных каналов /9, I22/. Параметры ряда таких преобразователей приведены в табл. 3. Всего известно не менее 50 коммерчески доступных зарубежных разработок импульсных аналого-цифровых преобразователей в стандарте КАМАК /I24, I25/. Цена их колеблется от 1500 до 2500 долл. за блок. Характерно появление преобразователей с нелинейной шкалой (логарифмической /I23/, либо вида \sqrt{A} /9/), позволяющей расширить динамический диапазон измеряемых сигналов.

Измерители зарядов и временных интервалов применяют, как правило, в многоканальных годоскопических системах, которым присущи следующие особенности: общая загрузка всей годоскопической регистрирующей поверхности может быть довольно значительной, причем частицы поступают случайным образом как во времени, так и по площади годоскопа; с другой стороны, количество частиц, регистрируемое в каждом случае запуска установки, невелико и обычно ограничено величиной 2 + 4. Поэтому многоканальные измерители характерны следующим.

I. Они имеют схемы "быстрого сброса", производящие за I + + 2 мкс полный разряд конденсатора, с помощью которого произво-

Табл. 3. Основные характеристики разработок точных АЦП и многоканальных АЦП, ЭЦП и ВЦП в стандарте КАМАК.

КАМАК	ЛИТЕРАТ.	Разработка	Тип	Диапазон измерений	Разрешение, бит	Время преобр., мкс	Быстрые сброс, мкс	Кол-во каналов	Год	Примечания
Амплитудно-цифровые преобразователи	Л.47	Schlumberger	УСАН2	+10	14	85	-	1/6	1973	Fпр = 200 мгц
	Л.112	ЛЯР ОИЯИ	АЦП-Ц	+10	13	80	-	1	1975	Fпр = 170 мгц
	Л.113	ЛЯР ОИЯИ	КА206	+5	13	80	-	1/2	1977	" - "
	Л.54	SEN Electr.	2068	±10	12	5	-	1	1974	(t _{вкл}) _{мин} = 100 мс
	Л.54	" - "	2069	±10	12	80	-	1/2	1975	С изолир. входом и прог. чип. к перед
	Л.114	Kinet. Syst	3553	±10	12	25	-	1	1976	С изолир. входом и прог. чип. к-том п
	Л.114	" - "	3552	+10	12	25	-	1/2	1977	С изолир. входом и прог. чип. к-том п
	Л.115	ЛВЭ ОИЯИ	АЦП3	±10	12	40	-	1	1978	С цифр. входом
	Л.46	Nucl Enterp	9060	±5	12	20	-	1	1974	Fпр = 80 мгц
	Л.48	Цифр. ВНР	САМ405	±5	12	30	-	1/2	1973	Паразитн. управн.
	Л.37	ORTEC	АДВ11	+2	11	80	0,5	8	1975	(t _{вкл}) _{мин} = 50 мс
Л.9	Le Croy	2259A	-2	11	106	2	12	1976		
Л.116	" - "	2281	+4	12	1200	0,8	48	1977	со спец. контролл	
Заряд-цифр преобр.	Л.37	ORTEC	QD410	н.к.уп. 256	10	20	-	4	1974	(t _{вкл}) _{мин} = 5 нс
	Л.37	" - "	QD808	127	8	6	-	8	1974	(t _{вкл}) _{мин} = 10 нс
	Л.117	ЛВЭ ОИЯИ	ВЗЦП	100	8	25	-	6	1974	
	Л.8	Le Croy	2249A	256	10	60	2	12	1975	
	Л.9	" - "	2250Q	256	9	9	1	12	1976	шкала ~√Q, FIFO в 2-м канале
	Л.116	" - "	2282	1000	12	1200	0,8	48	1977	со спец. контролл
Время-цифр. преобр.	Л.37	ORTEC	ТД104	мкс 0,2	10	26	-	4	1974	Общ. старт
	Л.118	ЛВЭ ОИЯИ	ВВЦП	0,1-0,5	9	25	-	6	1976	" - "
	Л.37	ORTEC	ТД811	0,2	11	90	-	8	1975	" - "
	Л.119	CERN	ТДС174	25	8	25	-	16	1975	
	Л.120	Le Croy	2228A	0,1-0,5	11	100	1,4	8	1977	Общ. старт, стоп
	Л.121	SEN Electron	2086	2	9	2	-	16/2	1977	Спец. эл. ДК

дится преобразование аналог-время. Это усовершенствование позволяет вводить сигналы с годоскопической плоскости по строб-импульсу с систем предварительного отбора событий (имеющих малую задержку селекции) и производить быструю очистку блоков в случае отрицательного решения спецпроцессора. Отсутствие быстрого сброса вынуждает использовать значительное количество кабелей для задержки сигналов с выходов годоскопа на время решения спецпроцессора. Помимо большого расхода кабеля (его общая длина в многоканальных системах может достигать десятков километров), значительная задержка приводит к затягиванию сигналов с годоскопов, что вынуждает расширять строб-импульс записи и ухудшает разрешающее время установки. Отметим, что сейчас эта проблема может быть эффективно решена (по крайней мере, для измерения зарядов-амплитуд) использованием ПЭС - сдвиговых регистров.

2. Между выходными регистрами измерителей и схемами вывода на магистраль КАМАК начинают устанавливать буферную память типа FIFO (первым вошел - первым вышел) /126, 127/. Применение такого буфера обеспечивает:

- а) считывание только значащей информации, поскольку "нулевые" слова* с выходов не сработавших каналов фильтруются перед буфером;
- б) асинхронный режим считывания - в произвольный момент времени, относительно импульсов запуска установки**;

* Строго говоря, при отсутствии сигнала на входе канала в выходном регистре оказывается не нулевое значение, а величина "пьедестала" передаточной характеристики, поэтому в каналы встраивают специальные пороговые схемы генерации запроса L .

** Отметим, что это обстоятельство накладывает жесткие ограничения на величину наводок со стороны цифровой части блока на аналоговую, чего достаточно трудно избежать.

в) общеизвестные преимущества "разравнивания" информации /I28/.

Для более полного "разравнивания" в буферную память блока целесообразно заносить данные от нескольких импульсов запуска установки. Это условие, помимо запоминания номера сработавшего канала, требует фиксации "номера" запускающего импульса. Задача эта, насколько известно, еще не решена. Буферную память типа

FIPO применяют и в приемных блоках КАМАК систем считывания информации с ПК /I29, I30/, а также в специализированных блоках считывания информации с ДК /I31/.

3. Поскольку при каждом импульсе запуска установки срабатывает малое число каналов в годоскопе, наблюдается тенденция к обобщению небольшого числа измерителей на сравнительно большую группу выходов детекторов. Данное решение было впервые использовано в измерителях временных интервалов для дрейфовых камер /I32/. Оно отражало также специфику мультистопного режима работы измерителей по каждому из каналов этих детекторов (возможность регистрации нескольких частиц в интервале времени дрейфа). В работе /I33/ показано, что подобное обобщение и унификация измерителей возможны при высокой эффективности во всех типах годоскопических систем* при среднем числе частиц, падающих на плоскость в момент запуска - до одной на 50 детектирующих ячеек (рис. 6). Для ДК традиционная структура I6/4 /I34/ эффективна вплоть до загрузок в 5 частиц на 50 детектирующих зон. Обобщение измерителей также позволяет считывать только ненулевую информацию, поскольку данные в выходных регистрах располагаются в упорядоченном виде.

Другим принципиально отличным способом экономии количества оборудования является использование аналоговой памяти (параллельный ввод и поочередное преобразование аналоговых величин в цифровой с регистрацией аналогового сигнала.

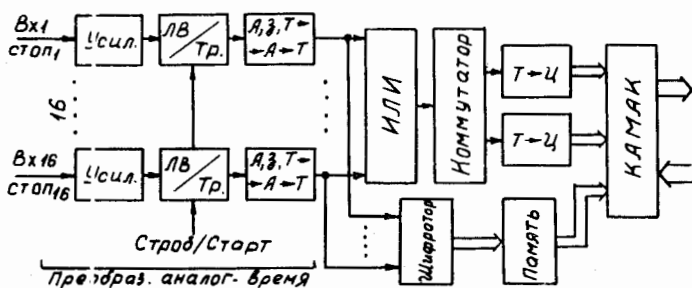


Рис. 6. Структурная схема универсального измерителя аналоговых годоскопических систем для загрузки по I частицы на 50 ичеек в момент запуска (16-канальные платы преобразования $A, Z, T \rightarrow T$ - сменные).

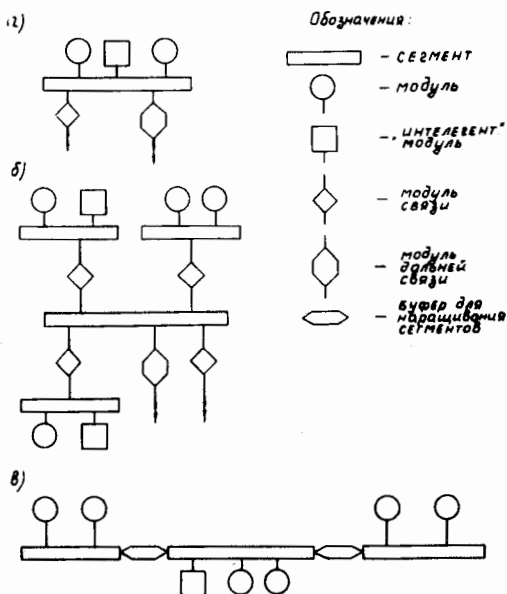


Рис. 7. Основные варианты структурной организации систем по стандарту FASTBUS .

Перспективы развития стандартов ядерной электроники

Соображения стоимости - не единственный недостаток стандарта КАМАК, отмечаемый пользователями. Следует помнить, что этот стандарт создавался более 10 лет тому назад, когда имелся опыт применения ИС только малой степени интеграции. Он был задуман, в основном, как интерфейс ЭВМ. При появлении БИС отчетливо проявился недостаток логической организации КАМАК, состоящий в обеспечении только централизованного управления крейтом (со стороны 25-й станции), выраженный в "асимметрии" разводки, т.е. наличии индивидуальных шин N и L. На современном уровне микроинтегральной крейт стал слишком крупной единицей для единственного источника управляющего воздействия.

В начале 1978 года принят стандарт EUR 6500e /I45, I46/, цель которого - обеспечить в крейте несколько источников управления. Суть его состоит в замене индивидуальной разводки шин N и L на сквозную. По шинам N' адреса передаются в двоичном коде (так же, как по шинам A и F), а запросы L' выставляются в линейном позиционном коде (5 и 24 шины соответственно). Порядок пользования магистралью задается проходящей по очереди через все блоки шиной приоритета. Сейчас трудно сказать, что воспрепятствовало принятию такой "симметричной" разводки в своё время, по-видимому, недостаток контактов на разъёме КАМАК, вызванный тем, что шины W и R были разделены. Однако очевидно, что предлагаемая навесная разводка новых шин N' и L' через дополнительный разъём на задней панели менее надежна и неудобна в эксплуатации.

Многих пользователей, особенно работающих в физике высоких энергий, не удовлетворяет большая продолжительность цикла КАМАК, в 80 раз превышающего время задержки используемых интегральных

схем. Это заставляет создавать специализированные системы с меньшим временем цикла, на основе крейта /I47/.

С 1976 года комитетом NIM (США) ведутся разработки нового стандарта FASTBUS, радикально отличающегося от стандарта КАМАК /I48/. Его изначальная цель — обеспечение создания быстродействующих систем с распределенными вычислительными мощностями, ориентированных на использование ИС IY-поколения /I49/ и микропроцессоров /I50/. Авторы /I48/, помимо указанных выше, отмечают следующие недостатки стандарта КАМАК:

- а) совершенно разную организацию магистрали и ветви, что затрудняет связь между подсистемами в установке;
- б) отсутствие специально предусмотренных мер для фильтрации нулевой информации;
- в) значительное количество шин в магистрали*.

Предполагается сохранить модульный принцип построения аппаратуры, причем подсистемы разных уровней иерархии должны строиться по единому принципу. Минимальной структурной единицей, имеющей собственную магистраль, является сегмент (рис. 7, а). Модули в сегменте равноправны. Имеется возможность связи между любыми сегментами (подсистемами) при помощи модулей связи (рис. 7, б). Это особенно удобно для построения быстрых спецпроцессоров. Магистрали сегментов могут быть объединены с помощью буферов (рис. 7, в). В соответствии с тенденциями развития современных миниЭВМ /I5I/ число шин данных (единых для записи и чтения) доведено до 32, а число адресных шин — до 28. В целях сокращения общего количества шин (50), шины данных и адресные шины объединены. По оставшимся 4 шинам во время передачи адреса выдается код команды. Предусмотрены режимы: блоч-

* С добавочной магистралью /I46/ число контактов на плате КАМАК достигает 126.

ной передачи данных, фильтрации нулевой информации, индикации сбоев. Время полного цикла на магистрали доведено до 100нс * (сигналы в уровнях ЭСЛ).

Предлагаемый стандарт находится еще в стадии проработки, ожидается его принятие к 1980 году. Со стороны создателей стандарта КАМАК /I52/ отмечается, что FASTBUS будет иметь сравнительно узкую область применения, ограниченную физикой высоких энергий. Однако не следует забывать, что стандарт КАМАК первоначально был разработан также для физики высоких энергий, но быстро распространился на другие области применений. По-видимому, все будет определяться будущим темпом нарастания вычислительных мощностей во всех областях сбора и обработки данных; до сегодняшнего дня он единодушно характеризуется всеми как фантастический.

В заключение автор считает своим долгом поблагодарить В.А.Смирнова, Е.В.Черных и В.И.Приходько за содействие работе и полезные обсуждения.

* При блочной передаче - 50 нс/слово, т.к. адреса не передаются.

Л и т е р а т у р а

1. С.Г.Басиладзе. ПТЭ, № 6, 1976, 7.
2. М.Турала. Сообщение ОИЯИ Р13-6380, Дубна, 1972.
3. J.S.Tarlé, H.Verweij. Nucl.Instr. and Meth., Vol. 102, No 1, 1972, 131.
4. R.S.Larsen, IEEE Trans. NS-20, No 1. 1973, 172.
5. М.Турала. Материалы рабочего совещания по методике проволочных камер, Дубна, Ш-1973, Издание ОИЯИ I3-7I54, Дубна, 1973, I13.
6. G.Shultz et al. Nucl. Instr. and Meth., Vol. 115, No 2, 1974, 605.
7. LRS fast-pulse instrumentation for particle physics. Catalog, USA, 1975.
8. Le Croy fast-pulse instrumentation Catalog, USA, 1976.
9. Le Croy fast-pulse instrumentation Catalog, USA, 1977.
10. CERN Courier, Vol. 18, No 3, 1978, 92.
11. CERN Courier, Vol. 18, No 4, 1978, 139.
12. T.J.Paulus, M.O.Bedwell. High speed timing electronics, Users manual, ORTEC, USA, 1977.
13. M.O.Bedwell, T.J.Paulus. IEEE Trans., NS-25, 1978, 36.
14. K.W.Remner et al. IEEE Trans., NS-25, 1978, 62.
15. CERN Courier, Vol. 18, No 4, 1978, 137.
16. CERN Courier, Vol. 17, No 4, 1977, 125.
17. CIT Alcatel. Circuits integres hybrides en couches minces, France, 1974.
18. CERN Courier, Vol. 17, No 9, 1977, 294.
19. P.Bareyre et al. Nucl. Instr. and Meth., Vol. 131, No 3, 1975, 583.
20. С.Ахелрад. Труды IX Международного симпозиума по ядерной

- электронике, Варна, У-1977 г, Издание ОИИИ ДІЗ-ІІІ82, Дубна
1978, 30.
21. С.Е.Бару, С.Г.Басиладзе и др. ПТЭ, № 4, 1975, 105.
 22. Ю.А.Афанасьев, С.Г.Басиладзе и др. Препринт ОИИИ ІЗ-І0554,
Дубна, 1977 г.
 23. А.Ф.Белов, С.Н.Федорченко. Ядерное приборостроение, в.34 +
+ 35, т. I, Атомиздат 1977, 294.
 24. П.Е.Кандиба и др. Микроэлектроника, Сб. статей п/р А.А.Ва-
сенкова, Вып. 7, Сов. радио, 1974, 55, 1974.
 25. Ф.П.Пресс, А.В.Вето. Микроэлектроника и полупроводниковые
приборы, Сб. статей, Вып. 3, Сов. радио, 1978, 3.
 26. P.Davies, B.Hallgren, H.Verweij. CERN Int. Rep.N.31, Sept.1977.
 27. E.Vazgan, F.Kirsten. IEEE Trans., NS-25, No 1, 1978, 730.
 28. S.Centro et al. Nucl.Instr. and Meth., Vol.147, No3, 1977,
559.
 29. I.Takemoto et al. IEEE JSCC, Vol. SC-9, No 6, 1974.
 30. K.L.Lee. IEEE Trans., NS-25, No 1, 1978, 704.
 31. И.Д.Ванков. Труды ІА Международного симпозиума по ядерной
электронике. Варна, У-1977. Издание ОИИИ ДІЗ-ІІІ82, Дубна,
1978 г, 17.
 32. Р.В.Смирнов. Микроэлектроника и полупроводниковые приборы.
Сб. статей. Вып. 3, Сов. Радио, 1978, 117.
 33. J.Springer. Advanced Micro Devices Application Notes, USA,
Sept. 1973.
 34. В.А.Арефьев, С.Г.Басиладзе и др. Сообщение ОИИИ ІЗ-5447,
Дубна, 1970 г.
 35. В.Ф.Борейко и др. Сообщение ОИИИ ІЗ-6396, Дубна, 1972 г.
 36. С.Г.Басиладзе. ПТЭ, № 5, 1977, 83.
 37. ORTEC, Instruments for research and industry, Catalog 1004,
USA, 1976.

38. S.G.Basiladze. Nucl. Instr. and Meth., Vol. 103, No 2, 1972, 357.
39. С.Г.Басиладзе и др. Сообщение ОИЯИ I3-6383, Дубна, 1972.
40. С.Г.Басиладзе. ПТЭ, № 6, 1972, II6.
41. С.Г.Басиладзе и др. Сообщение ОИЯИ I3-6382, Дубна, 1972.
42. П.С.Чернов и др. Ядерное приборостроение, Вып. 26, М., 1974, II6.
43. POLON Catalogue 1975 + 76, Poland.
44. С.Г.Басиладзе, В.К.Юдин. ПТЭ, № 5, 1977, II3.
45. С.Г.Басиладзе и др. Сообщение ОИЯИ I3-10017, Дубна, 1976 г.
46. Nuclear Enterprises SAMAC Catalogue, England, 1977.
47. Shlumberger SAMAC Catalogue, France, 1977.
48. KFKI SAMAC Catalog, Hungary, 1978.
49. В.Г.Аблеев, С.Г.Басиладзе и др. Сообщение ОИЯИ I3-10025, Дубна, 1976 г.
50. S.G.Basiladze et al. Nucl.Instr. and Meth., Vol. 130, No 2, 1975, 301.
51. Ф.Габриэль и др. Сообщение ОИЯИ PI3-89I3, Дубна, 1975.
52. Ф.Габриэль и др. Препринт ОИЯИ PI3-89I6, Дубна, 1975.
53. В.М.Гребенюк и др. Препринт ОИЯИ IO-9085, Дубна, 1975 г.
54. SEN SAMAC Catalogue, Geneve, 1976.
55. CERN Courier, Vol. 17, No 12, 1977, 434.
56. Н.Ф.Бондарь и др. Препринт ЛИЯФ № 389, Ленинград, 1978 г.
57. J.Bouniac et al. Integrating NIM Modules into an On-Line System, Ecole Polytechnique, LPNE 06-73, Paris, March, 1973.
58. SEN NIM Catalogue, Geneve 1977.
59. Ю.Б.Бушнин и др. Препринт ИФВЭ СЭФ-106, Серпухов, 1974.
60. W.Sippach, J.Sunderland. Rev. Scient.Instr., Vol. 39, No 2, 1968, 161.
61. С.Г.Басиладзе. Сообщение ОИЯИ IO-105I2, Дубна, 1977 г.

62. B.Friend J.Dufaurnaud. Труды Междуна.конф. по аппарат. в физ. выс.эн., Дубна, IА-1970 г. Издание ОИЯИ Д5805, Дубна, 1971, 786.
63. С.Verkerk. Proc. 1974 CERN School of Computing, Bergen, Norway, CERN 74-23, 1974, 223.
64. С.Verkerk. Материалы Международного совещания по методике проволочных камер, Дубна, УI-1975 г., Издание ОИЯИ, ДIЗ-9I64, Дубна, 1975, 232.
65. С.Verkerk. Труды IX Международного симпозиума по ядерной электронике, Варна У-1977 г., Издание ОИЯИ ДIЗ-III82, Дубна, 1978 г., 128.
66. A.M.MacLeod et al. Nucl.Instr. and Meth., Vol. 129, No3, 1975, 601.
67. I.Lehraus. Nucl.Instr. and Meth., Vol.135, No 3, 1976, 545.
68. N.A.Filatova et al. Report FNAL FN-303 7500.456, Batavia, USA, 1977.
69. С.Г.Басиладзе и др. Препринт ОИЯИ IЗ-10407, Дубна, 1977 г.
70. С.Г.Басиладзе, Ли Ван Сун. ПТЭ, № 6, 1976, 50.
71. С.Г.Басиладзе, В.Я.Гвоздев. ПТЭ, № 6, 1974, 78.
72. К.А.Валиев и др. Электронная промышленность, № 7, 1972, 56.
73. В.Е.Fisher. Nucl.Instr. and Meth., Vol.141, No 1, 1977, 173.
74. Дж.Скарлетт. ТТИ-интегральные схемы и их применение, Мир, М. 1974.
75. Ф.К. Алиев и др. Сообщение ОИЯИ IЗ-6065, Дубна, 1971 г.
76. А.А.Деревщиков и др. Препринт ИФВЭ СЭФ72-4, Серпухов 1972 г.
77. F.K.Aliev et al. IEEE Trans., NS-20, No 1, 1973, 225.
78. А.П.Кашук и др. Материалы УП Всесоюзной школы по автоматизации научных исследований, П-Ш 1974 г, Издание ЛИЯФ, Ленинград, 1974.
79. D.Aebischer et al. Nucl.Instr. and Meth., Vol.124, No 1, 1974, 131.

80. D.Aebisher et al. Nucl.Instr. and Meth., Vol.124, No 1,1975, 49.
81. В.Г.Аблеев, С.Г.Басиладзе и др. ПТЭ, № 2, 1978, 63.
82. S.G.Basiladze, Z.Guzik, Nucl.Instr. and Meth. Vol. 113, No2, 1974, 285.
83. Z.Guzik, S.G.Basiladze. Nucl. Instr. and Meth. Vol. 114, No 1, 1974, 83.
84. Z.Guzik et al. Nucl. Instr. and Meth., Vol. 104, No2, 1974, 337.
85. З.Гузик и др. Сообщение ОИЯИ I3-63I7, Дубна, 1972.
86. Ю.Б.Бушнин, А.Ф.Дунайцев. Сообщение ИВЭ СЭФ 72-12, Серпухов, 1972.
87. В.Ф.Борейко и др. Препринт ОИЯИ P13-10639, Дубна, 1977.
88. С.Г.Басиладзе и др. ПТЭ, № 3, 1974, 86.
89. В.В.Гавазов, Е.И.Рехин. Ядерное приборостроение, Вып. 38, М., Атомиздат, 1975, 106.
90. В.Я.Герб и др. Тезисы докл. I Всесоюзн. сов. по автом.научн. иссл., Киев X-1976, 206.
91. J.P.Reuter. Nucl.Instr.and Meth., Vol.140, No2, 1977, 237.
92. С.Г.Басиладзе, А.Н.Щарфенов. Препринт ОИЯИ I3-II449, Дубна, 1978 г.
93. Таблица аналогов интегральных схем СССР и зарубежных фирм. Внешторгиздат, М., № 49M29, 1977 г.
94. J.Solomon, Th.A.Nunamaker. Nucl.Instr.and Meth., Vol. 107, No 1, 1973, 15.
95. H.Grote et al. Proc.Int.Computing Symp. 1973, Davos, p.413.
96. M.Hansroul et al. Proc.Int.Conf. on Instrum. for H.En.Phys., Frascati 1973, p. 497.
97. H.Brafman et al. IEEE Trans., NS-25, No 1, 1978, 692.
98. A.Brandt et al. Nucl.Instr.and Meth., Vol. 126, No 3, 1975, 519.

99. J.Jocostene et al. CERN Int. Rep., SP Sect., Geneva 26.XI-1976.
100. T.F.Droege et al. IEEE Trans., NS-25, No 1, 1978, 698.
101. S.E.Baru et al. Препринт ИЯЭ 77-76, Новосибирск, 1977 г.
102. C.Maclean et al. Proceeding II Ispra Nucl.Electron.Symp., Stresa, Italy, Y-1975, p. 307.
103. P.E.Kunz. Nucl.Instr. and Meth., Vol. 135, No 3, 1976, 435.
104. V.Hungerbuhler et al. Nucl.Instr. and Meth., Vol. 137, No 2, 1976, 189.
105. G.Pichot et al. IEEE Trans., NS-25, No 1, 1978, 716.
106. J.Nichols. Electronics, Vol. 40, No 12, 1967, 32.
107. A.Fucci et al. Nucl. Instr. and Meth., Vol. 147, No 3, 1977, 587.
108. J.Braunfurth, K.Geske. Nucl. Instr. and Meth., Vol. 134, No 2, 1976, 379.
109. G.Fedecaro et al. CERN Int Rep. 76-07, Geneva 1976.
110. R.Braun et al. CERN NA4 Coll.Int.Rep., Geneva 1976.
111. E.D.Platter et al. Nucl.Instr. and Meth., Vol. 140, No 3, 1977, 549.
112. А.С.Трофимов, Л.А.Челноков. ПТЭ, № 2, 1976, 54.
113. Ф.Габриэль и др. Сообщение ОИИИ Р13-И1201, Дубна, 1978.
114. Kinetic Systems SAMAC Catalog, USA, 1977.
115. С.Г.Басиладзе, П.К.Маньяков. Препринт ОИИИ И3-И1680, Дубна, 1978 г.
116. CERN Courier, Vol. 18, No 3, 1978, 92.
117. С.Г.Басиладзе, П.К.Маньяков. Сообщение ОИИИ И3-8548, Дубна, 1975 г.
118. С.Г.Басиладзе, В.Тлачала. ПТЭ, № 5, 1975, 78.
119. J.Vanuxem. CERN SAMAC Note 57-00, IV-1975.
120. CERN Courier, Vol. 17, No 9, 1977, 313.
121. CERN Courier, Vol. 17, No 4, 1977, 121.

- I22. CERN Courier, Vol. 17, No 10, 1977, 344.
- I23. А.М.Балагуров и др. ИТЭ, № 2, 1977, 79.
- I24. CERN CAMAC News, No 9, 1976, 14.
- I25. CERN CAMAC News, No 11, 1976, 15.
- I26. A.Lang. CERN CAMAC Note 58-00, 1975.
- I27. C.G.Dalton et al. Nucl.Instr.and Meth.,Vol.141,№3,1977,595.
- I28. С.С.Курочкин. Многомерные статистические анализаторы, Атомиздат, М., 1968, 93.
- I29. CERN Courier, Vol.16, No7/8, 1976, 287.
- I30. P.R.Bevington,R.A.Leskoves. IEEE-Trans.,NS-25, No 1, 1978, 720.
- I31. Le Croy fast-pulse instr. Catalog 1977, Mod. 2770A, p.97.
- I32. H.Verweij. IEEE Trans., NS-22, No 1, 1975, 437.
- I33. С.Г.Басиладзе, Л.Лохоняи. Препринт ОИЯИ I3-II65I, Дубна, 1978.
- I34. M.Turala. Proceedings II Ispra Nucl.Electr.Symp., Stresa, Italy Y-1975, 365.
- I35. С.Г.Басиладзе, Ли Ван Сун. Сообщение ОИЯИ I3-I0536, Дубна, 1977.
- I36. С.Г.Басиладзе, Ли Ван Сун. Препринт ОИЯИ I3-I0826, Дубна, 1977.
- I37. E.L.Cisneros et al. IEEE-Trans.,NS-24, No1, 1977, 413.
- I38. M.Breidenbach et al. IEEE-Trans.,NS-25, No 1, 1978, 706.
- I39. R.J.Stubbs, W.D.Waddon.Nucl.Instr. and Meth., Vol. 146,№ 3, 1977, 561.
- I40. R.J.Stubbs, W.D.Waddon. Nucl.Instr. and Meth., Vol. 146, No 3, 1977, 569.
- I41. L.Holcomb, A.L.Sessoms. Nucl.Instr. and Meth., Vo.. 144, No 3, 1977, 597.

- I42. A.V.Ivakin et al. Nucl.Instr. and Meth., Vol. 120, No3, 1974.
- I43. Ю.Б.Бушнин и др. Препринт ИФВЭ ОГА 77-84, Серпухов, 1977
- I44. R.F.Althaus et al. IEEE Trans., NS-24, No 1, 1977, 408.
- I45. USERDA NIM, Committee, TID 26617, USA, 1976.
- I46. P.F.Kunz. IEEE, NS-24, No 1, 1977, 452.
- I47. J.Lindsay et al. Report CERN 74-12, Geneva, 1974.
- I48. R.S.Larsen. IEEE-Trans., NS-25, No 1, 1978, 735.
- I49. А.Н.Зубенников и др. Зарубежная радиоэлектроника, № 4, 1978, 3.
- I50. К.Д.Файдель. Зарубежная радиоэлектроника, № 4, 1978, 22.
- I51. Н.М.Никиткич, В.Ю.Лалипус. Зарубежная радиоэлектроника, № 1978, 43.
- I52. F.Ivelin. CERN SAMAC News, No 13, 1978, 2.

Рукопись поступила в издательский отдел
29 декабря 1978 года.