

С 344.3
Б- 272

9744

ш



ЛЕКЦИИ
ДЛЯ МОЛОДЫХ
УЧЕНЫХ

С.Г.Басиладзе

**Интегральные
схемы с эмиттерной связью
и их применение
в наносекундной ядерной
электронике**

ДУБНА

ЛЕКЦИИ ДЛЯ МОЛОДЫХ УЧЕНЫХ

Выпуск 9

РЕДАКЦИОННЫЙ СОВЕТ

Д. В. Ширков - председатель
А. Т. Филиппов - зам. председателя
А. Н. Сисакян - ученый секретарь
О. А. Займидорога
А. А. Карлов
В. А. Никитин
Ю. П. Попов

00
ОБЪЕДИНЕННЫЙ ИНСТИТУТ ЯДЕРНЫХ ИССЛЕДОВАНИЙ

13 - 9744

С.Г.Басиладзе

СЗ44.3
Б-272

610101
ИНТЕГРАЛЬНЫЕ СХЕМЫ С ЭМИТТЕРНОЙ СВЯЗЬЮ
И ИХ ПРИМЕНЕНИЕ В НАНОСЕКУНДНОЙ
ЯДЕРНОЙ ЭЛЕКТРОНИКЕ

(Обзор)

Направлено в ПТЭ

ИСТИНА
Дубна 1976

Интегральные логические схемы на транзисторах с эмиттерной связью /1+17/, разработанные первоначально для быстродействующих коммерческих вычислительных машин, используются в настоящее время и в ЭЕМ, работающих в реальном времени, в частотных синтезаторах, цифровых системах связи, аэрокосмической и медицинской электронике. В электронике физического эксперимента они с успехом заменили традиционную быструю электронику на транзисторах /18 + + 30/; послужили основой для развития электроники детекторов новых типов, таких, как пропорциональные /31+33/ и в особенности дрейфовые камеры /34+36/; дали толчок появлению специализированных быстрых процессоров для отбора событий в реальном времени эксперимента /37+40/.

К настоящему времени разработано достаточно много серий ЕСЛ (emitter coupled logic) интегральных схем /41+45/. Среди отечественных схем следует отметить две серии: К137 /44/ и К138 /45/. Среди зарубежных можно выделить проведенные фирмой "Motorola" в 1962, 66, 68 гг. последовательные разработки серий МЕСЛ-1, II, III с рабочей частотой соответственно 30, 80, 500 МГц /41/. В настоящее время наиболее употребимой и широко выпускаемой /46+49/ является разработанная в 1971 г. серия МЕСЛ 10.000* с рабочей частотой до 200 МГц. Позднее она была расширена двумя группами схем: МЕСЛ-10.200 с быстродействием, повышенным в 1,5 раза, и МЕСЛ-10.500 с температурным диапазоном, расширенным до $-55^{\circ}\text{C} + 125^{\circ}\text{C}$ /50/.

* Все цифровые данные, приводимые ниже без указания серии, относятся к МЕСЛ - 10.000 .

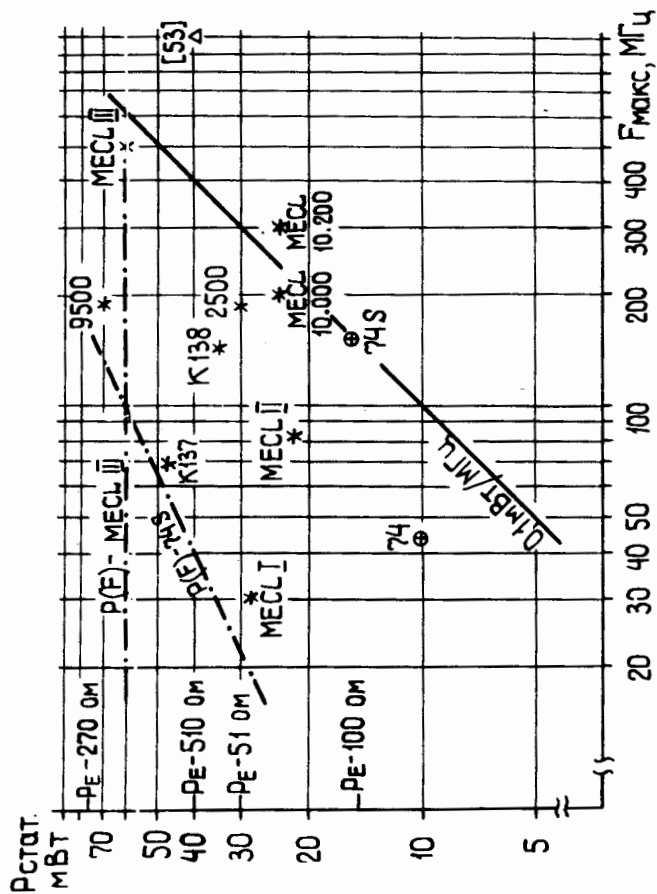


Рис. 1. Сравнительные характеристики различных серий интегральных логических схем в координатах частота-потребляемая мощность (без внешней нагрузки). Средняя мощность, потребляемая сопротивлениями нагрузки, отмечена отдельно (на оси У).

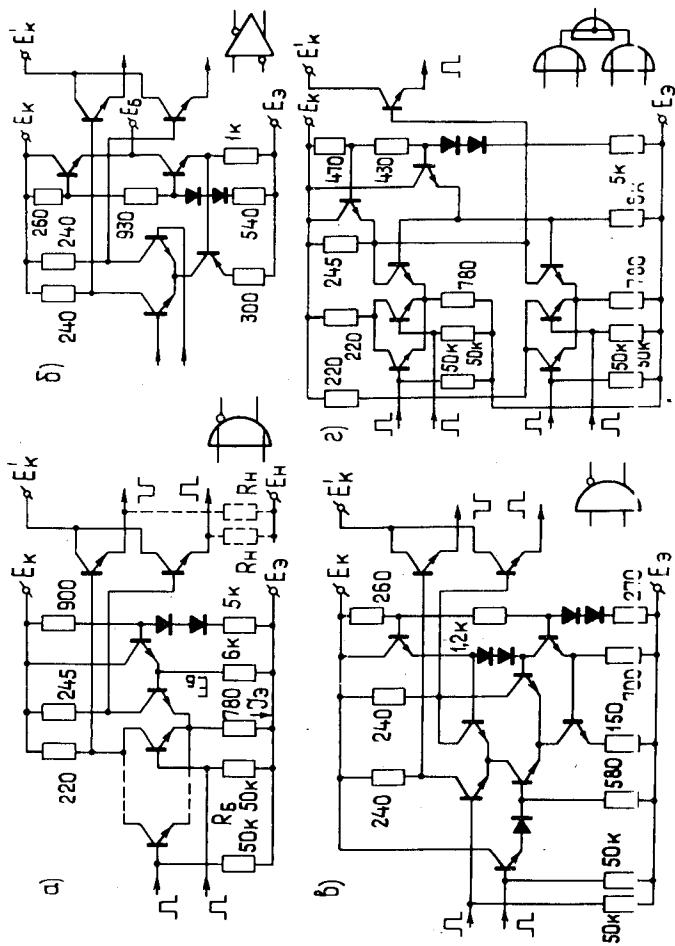


Рис. 2. Схема базового элемента ИЛИ-НЕ (а), дифференциального приемника (б), элемента И/И-НЕ (в) и элемента, выполняющего функции (А+Б) • (С+Д).

На рис.1 приведены данные различных серий ЕСЛ -интегральных схем по быстродействию - потребляемой мощности. Для сравнения указаны показатели TTL - интегральных схем серии 74 /51/ (KI55 /52/) и TTL -схем с диодами Шоттки - 74 S .

Разработаны /53/ ЕСЛ -интегральные схемы пикосекундного диапазона с задержкой до 400 пс и даже 250 пс /54/, однако они не нашли пока широкого применения и не выпускаются серийно.

1. Основные характеристики ЕСЛ -интегральных схем

Схема базового элемента ЕСЛ -интегральных схем приведена на рис.2,а. Высокие электрические характеристики достигаются путем использования высокочастотных транзисторов ($f_T \approx 1,2$ ГГц; $\beta \approx 100$) в ненасыщенном режиме. Число входных транзисторов может быть от двух до восьми. Широко применяются также "дифференциальные приемники с линии" - рис.2,б, содержащие только переключающую пару с выходными эмиттерными повторителями. Для уменьшения внутренних наводок коллекторы выходных эмиттерных повторителей выведены на отдельную ножку. С коллекторов повторителей можно также снимать TTL -сигналы (см.рис. 10,д). Сопротивления нагрузки повторителей - R_H , как правило, выполняются внешними для снижения мощности, рассеиваемой интегральной схемой (ИС), и возможности объединения большого количества выходов по "Проводному ИЛИ". Сопротивления в базах входных транзисторов устраняют "плавание" потенциалов неиспользуемых входов ИС. ЕСЛ -интегральные схемы можно применять при различных сочетаниях величин E_k и E_e (при сохранении разности между ними - 5,2 В), однако наиболее

	F_3, B	F_4, B	F_5, B	$\Delta U_0, B$	$\Delta U_1, B$	U_3, MA	R_5, KOM	% U_{bx}, MA	$R_n, KOM - \text{встр.}$	макс. U_{bx}, MA	t_2, HC	P_{CTAT}, MBT	Темп., °C	Колуч. комбинацион. схем	Колуч. ТРИСЕРИИ. схем
MECL II [41]	-5,2	0	-1,17	-1,5 -1,8	-0,7 -0,85	3	—	$2 \cdot 10^{-4}$ 0,04	1,5	20	4	22	-55 +125	40	13
MECL II [50]	-5,2	0	-1,29	-1,65 -1,85	-0,82 -0,95	10	50 (2)	0,07 0,21	—	40	1	60	0 +75	14	12
2500 [42]	-3,2	+1,32	0	-0,31 -0,42	-0,85 -0,95	6	—	10^{-3} 0,08	—	40	2,3	30	0 +75	25	3
9500 [43]	-5,2	0	-1,3	-1,62 -1,75	-0,85 -0,95	6	2	1,7 2,3	2	40	2,3	70	0 +75	25	13
K137 [44]	-5,0	0	-1,2	-1,45 -1,9	-0,7 -0,9	3	—	10^{-3} 0,04	0,6	16 (25)	6	45	-10 +70	15	2
K138 [45]	-5,0	0	-1,25	-1,66 -1,72	-0,82 -0,89	6	—	10^{-3} 0,08	—	25	2,8	35	-10 +70	9	3
MECL 10.000 [50]	-5,2	0	-1,29	-1,65 -1,85	-0,81 -0,96	4	50	0,07 0,14	—	40	2	25	-30 +85	34	14

Табл. I. Сравнительные характеристики различных серий интегральных логических схем с эмиттерной связью (номинальные параметры).

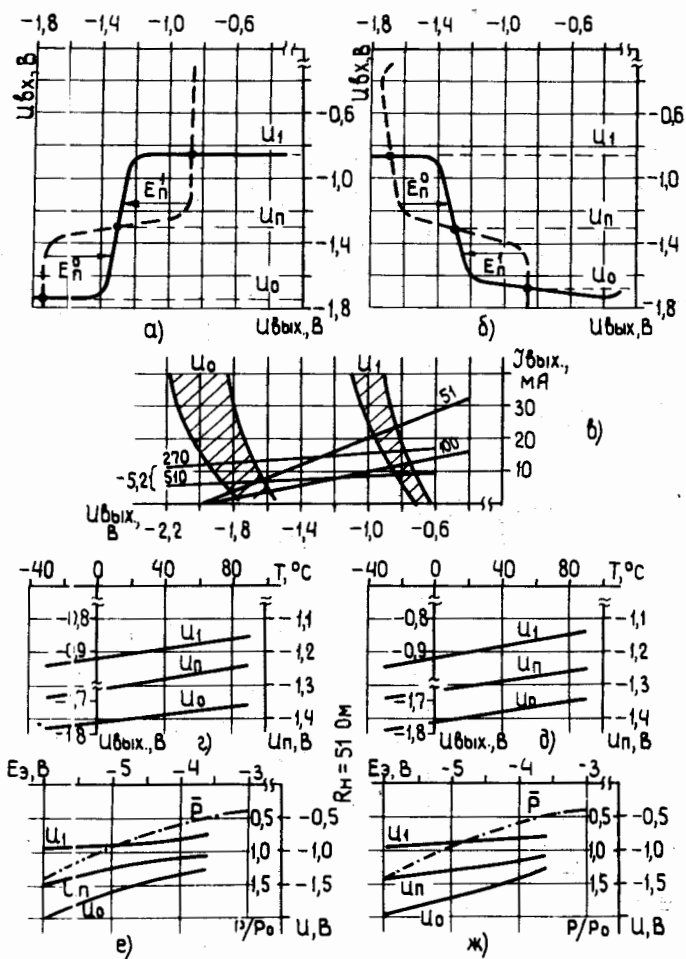


Рис. 3. Передаточная характеристика элемента ИЛИ (а), ИЛИ-НЕ (б), их нагрузочные характеристики (в), зависимость логических уровней и порогового напряжения от температуры (г) - ИЛИ, (д) - ИЛИ-НЕ и напряжения питания (е) - ИЛИ, (ж) - ИЛИ-НЕ

целесообразны с точки зрения снижения взаимных наводок величины $E_k = 0$ (земля); $E_э = -5,2$ В.

Гибкость схемной структуры этих ИС позволяет с помощью способов последовательного (многоярусного) включения переключателей тока - рис.2,в и объединения коллекторов переключающихся транзисторов - рис.2,г создавать сравнительно сложные логические схемы на малом числе компонентов, практически без увеличения потребляемой мощности и снижения быстродействия.

В табл. I даны основные параметры схем различных серий.

Статические характеристики. Передаточные характеристики

ИС - интегральных схем с прямого и инвертирующего выходов приведены соответственно на рис. 3,а и рис. 3,б. Номинальная помехоустойчивость схем равна $0,3 + 0,4$ В. На величины логических уровней, а следовательно, и помехоустойчивость оказывает влияние сопротивление нагрузки выходного эмиттерного повторителя (рис.3,в). Рекомендуемая величина этих сопротивлений: $R_H = 270 + 510$ Ом для $E_H = -5,2$ В и $R_H = 51 + 100$ Ом для $E_H = -2$ В /56/. С учетом разброса параметров, изменений напряжения питания и температуры $(E_{II}^I)_{\min} = 0,13$ В; $(E_{II}^O)_{\min} = 0,16$ В. Для повышения статической помехоустойчивости разработаны схемы /57 + 60/ с компенсацией влияния температуры и напряжения питания. Омическое сопротивление шины "земли" на печатной плате (удельное сопротивление слоя металлизации $1,5$ мм стеклотекстолита $\sim 0,5$ МОм/кв.см) должно быть настолько малым, чтобы разность потенциалов в любых точках не превышала 100 мВ.

Следствием практической симметрии схемы, малой разности величин логических уровней и сравнительно большой величины переключающего тока $I_э$ в "паре" является независимость потребляемой схемой мощности от частоты переключения. В TTL- и MOS -интегральных схемах из-за большой разности логических уровней влия-

зи максимальной рабочей частоты динамическая мощность, потребляемая на перезарядку паразитной емкости C_n на выходе интегральной схемы ($P_d = (I_I - I_O)^2 \cdot C_n \cdot F$), намного превышает статическую потребляемую мощность, а в TTL-S элементах становится сравнимой с уровнем потребления **MSCL** -III (рис. 1).

Температура ИС, определяющая уровень её характеристик и, в частности, степень надежности, связана с рассеиваемой мощностью - P простым соотношением: $T = T_{окр} + R_T \cdot P$, где $T_{окр}$ - температура окружающего воздуха, а R_T - тепловое сопротивление, равное для корпуса DIP $\sim 100^\circ\text{C}/\text{Вт}$, а для плоского корпуса $\sim 180^\circ\text{C}/\text{Вт}$. При принудительной вентиляции тепловое сопротивление корпуса DIP снижается в 1,5 раза на каждые 2,5 м/с скорости охлаждающего воздушного потока. Максимально допустимая температура **ECL** - интегральных схем составляет, как правило, $+125^\circ\text{C}$. На рис.3,г,д приведены зависимости логических уровней от температуры, зависимость этих же величин и потребляемой мощности от напряжения источника питания - на рис. 3,е,ж.

Динамические характеристики. Быстродействие схем принято характеризовать величинами установившейся задержки появления отрицательного (t_z^-) и положительного (t_z^+) перепадов выходного сигнала (на уровне 50%), а также величинами установившихся фронтов (t_{ϕ}^-, t_{ϕ}^+) в цепочке. Быстродействие схем в сильной степени зависит от резистивно-емкостной нагрузки на выходе (рис. 4,а,б. Для t_z^- и t_z^+ справедлива формула: $t_z^-, t_z^+ \approx (2 + k \cdot R_H \cdot C_n) n_s$, где $k_z = 0,1$; $k_{\phi} = 0,2$ для R_H , подключенного к шине $-5,2\text{В}$; $k_z = 0,5$; $k_{\phi} = 1,1$ для R_H , подключенного к шине -2В .

Емкостная нагрузка, создаваемая одним входом схемы, составляет ~ 5 пФ; при объединении выходов по "Проводному ИЛИ" ем-

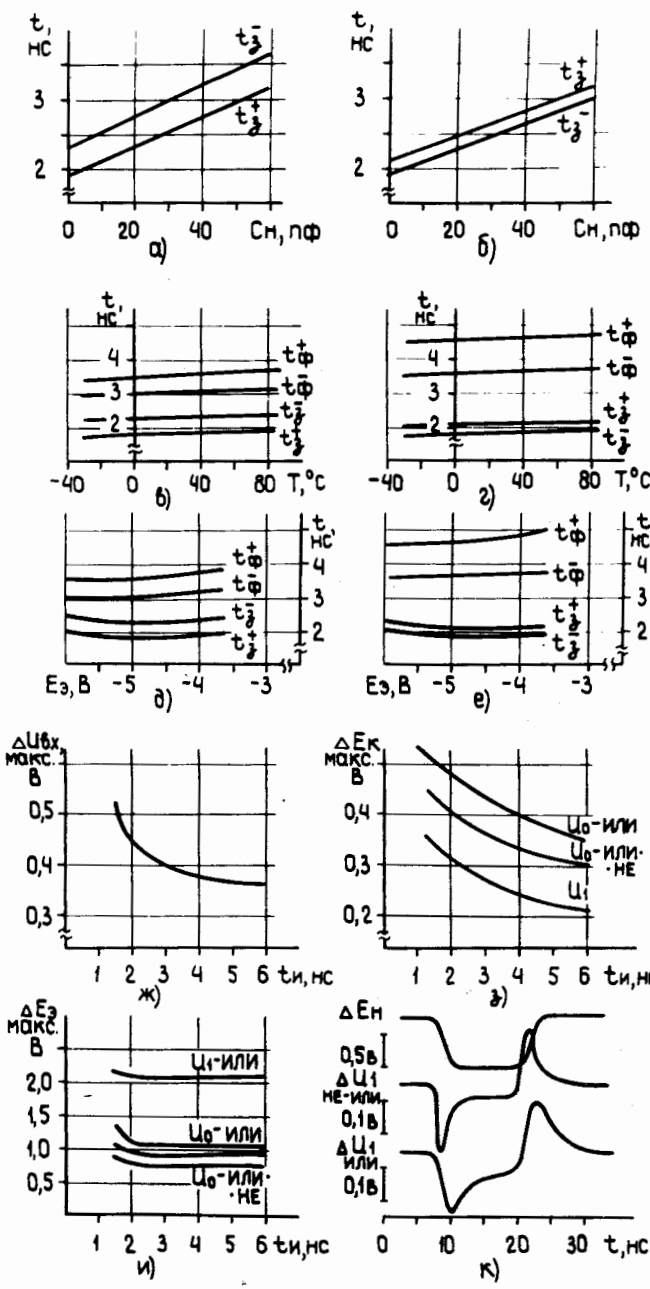


Рис. 4. Зависимости ($R_n = 50 \text{ Ом}$) задержки элементов ИЛИ (а) и ИЛИ-НЕ (б) от величины емкостной нагрузки; задержки и фронтов от температуры и напряжения питания (в-г); величин запускающих сигналов помехи от их длительности - по входу (ж), по шине "земли" (з), по шине питания (и); "пролезание" импульсной помехи с шины Бн на выход (к).

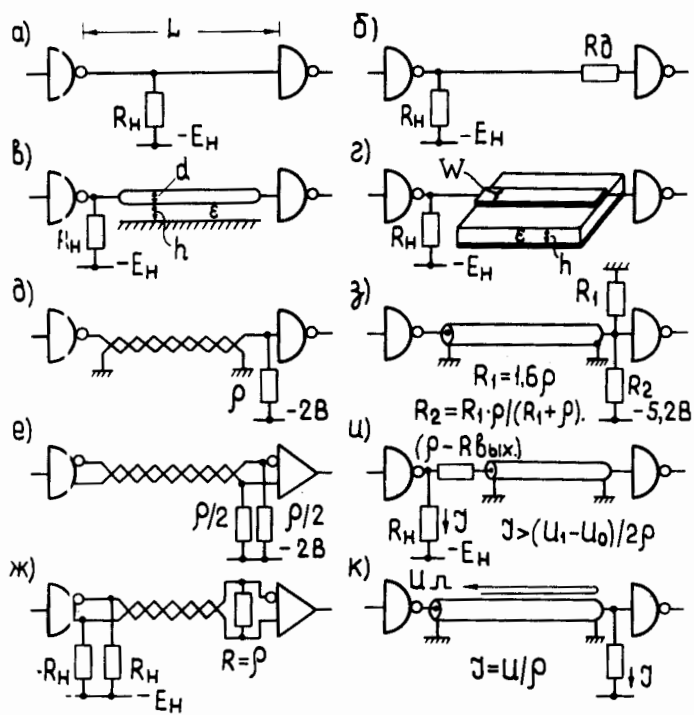


Рис. 5. Способы передачи сигналов между ECL -интегральными схемами.

костная нагрузка, вносимая эмиттером повторителя, ~ 3 пФ.

На рис. 4, в+д приведены зависимости величин установившихся задержек и фронтов от температуры и напряжения питания.

Важным параметром является динамическая помехоустойчивость логических элементов /61/. Импульсные помехи в ECL -интегральных схемах могут воздействовать по входу и шинам Еэ, Ек, Ен. Результаты измерений импульсной помехоустойчивости в этих точках приведены на рис. 4, ж+к /56/. Для снижения импульсных наводок рекомендуется устанавливать развязывающий конденсатор емкостью ≥ 1 мкФ на входе шины питания, а также по одному конденсатору емкостью $0,01 + 0,1$ мкФ на каждые 4+5 корпусов ИС. Это значительно меньше, чем в TTL -схемах, где рекомендуется ставить развязку на каждый корпус /62/.

Межсоединения и передача сигналов. Существует пять возможностей для передачи сигналов между ECL -интегральными схемами: связь посредством единичного проводника (рис.5,а), связь, осуществляемая проводом, расположенным над металлизированной плоскостью "земли" (рис.5,в); связь посредством полосковой линии (рис.5,г), образованной печатными проводниками на плате; связь с помощью кабеля из витой пары (рис.5 д+ж) либо коаксиального (рис.5, з+к). Максимально допустимая длина единичного проводника составляет ~ 10 см. При больших длинах для устранения колебательных выбросов можно использовать демпфирующие резисторы (рис.5,б)*: $R_d = 50$ Ом для $L \approx 20$ см и $R_d = 100$ Ом для $L \approx 40$ см. Допустимым уровнем выбросов является 30% - за пределы логических уровней (до границы

* Использование демпфирующих резисторов приводит к ухудшению фронтов передаваемого сигнала, длительность которых связана с периодом колебаний паразитного LC -контура.

насыщения входного транзистора) и 10% - в пределах логических уровней.

Все остальные варианты межсоединений являются линиями связи с распределенными параметрами /63+69/. Волновое сопротивление провода, расположенного над поверхностью "земли", равно:

$$\rho = \frac{60}{\sqrt{\epsilon}} \cdot \ln(4h/d), \quad (1)$$

а полосковой линии -

$$\rho \cong \frac{60}{\sqrt{\epsilon_{эфф}}} \cdot \ln(7h/W). \quad (2)$$

Обозначены даны на рис.5, в, г. Величина $\epsilon_{эфф} \approx 0,5 \epsilon_{ст} + 0,7$; где $\epsilon_{ст} \approx 4,7$ - диэлектрическая постоянная стеклотекстолита.

Волновое сопротивление кабеля из витой пары обычно близко к 110 Ом ($\epsilon_{эфф} \approx 2,2$). Скорость распространения сигнала вдоль линии, как известно, равна $c/\sqrt{\epsilon_{эфф}}$, где c - скорость света в вакууме. Полная распределенная емкость линии: $C_0 = t_3/\rho$.

Если задержка в линии связи не более $0,5 t_{эфф}$, то её можно использовать без согласования. Линии большей длины согласуются либо на выходе (параллельно - рис.5, д, з), либо на входе (последовательно - рис.5, и). Преимуществом последовательного согласования является несколько больший коэффициент передачи, возможность работы на большее число линий, меньший уровень потребления мощности, однако такую линию нельзя использовать для распределенного съёма сигналов. Параллельное согласование используется там, где требования по быстродействию являются решающими. Задержка и фронты схем слабо зависят от количества входов, подключенных распределенно вдоль линии связи. Происходит лишь замедление скорости распространения сигнала вдоль линии в $1/\sqrt{1 + C_p/C_0}$ число раз, где C_p - суммарная емкость подключенных входов.

Предельно допустимая длина линии связи ограничена затуханием

амплитуды импульсов (допустимый уровень $\sim 10\%$) ввиду затягивания их фронтов /70, 71/. Простым способом увеличения предельной длины линии связи в 3+6 раз при работе с импульсами постоянной длительности является компенсация потерь амплитуды на разомкнутом приемном конце линии с гашением импульсов отражений /72/ за счет отсечки режимного тока повторителя передающей схемы (рис.5,к).

При конструировании печатной платы /73/ соединения между интегральными схемами следует выполнять по возможности более короткими проводниками; пересечения с дорожками, расположенными по другую сторону платы, должны быть под прямым углом. Соединения выводов "земли" ИС должны соответствовать пути распространения сигнала от схемы к схеме, площадь поверхности "земли" должна быть по возможности больше (до 30%). Не менее 10% ножек на разъеме печатной платы должны быть отведены под "землю" для снижения переходного сопротивления. Вопросы перекрестных наводок освещены в работах /56, 74, 75/.

Суммируя вышесказанное, можно выделить следующие основные преимущества ЕСЛ -интегральных схем. Им свойственна высокая скорость в сочетании со сравнительно умеренным потреблением мощности; низкая величина выходного ($\sim 8 \text{ Ом}$) и высокая величина входного сопротивления, обеспечивающие, в частности, высокую нагрузочную способность и удобство работы с линиями связи. Постоянство потребляемой в обоих устойчивых состояниях мощности и независимость её от частоты переключения в сочетании со сравнительно большим отношением длительности фронтов переключения к задержке обеспечивают малый уровень взаимных наводок. Параметры схем весьма мало изменяются с температурой. Они отличаются большой логической гибкостью, выраженной в наличии дополнительных (инверсных) выводов, возможности объединения по "проводному ИЛИ", в большом числе типов

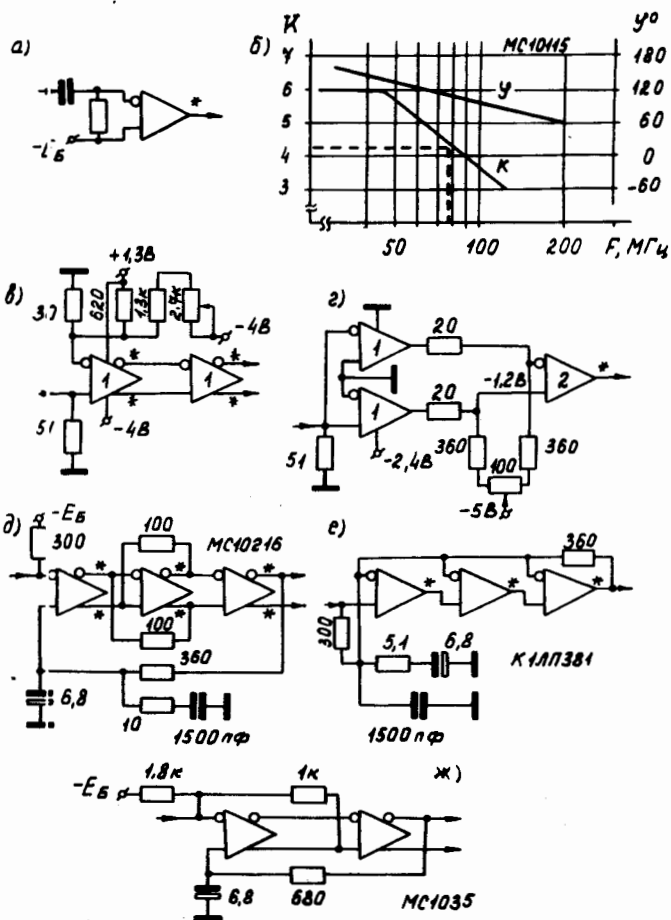


Рис. 6. Импульсные усилители на ВСЛ -интегральных схемах.

схем, благодаря использованию методов многоярусного включения и объединения по коллекторам. Последние обстоятельства широко используются в настоящее время в разработке ЕСЛ -интегральных схем с большой степенью интеграции в сочетании с понижением напряжения питания и снижением разности логических уровней /76+84/.

II. Области применения ЕСЛ -интегральных схем

В настоящее время интегральные схемы с эмиттерной связью заменяют транзисторы и туннельные диоды практически во всех узлах блоков ядерной электроники.

Усилители-ограничители. Любая комбинационная интегральная схема на участке переключения может быть использована как широкополосный усилитель. Однако наиболее удобны для подобных применений схемы дифференциальных приемников (рис.6,а) /85+100/ вследствие того, что у них выведена база второго транзистора переключающейся пары. Фактически они представляют собой неперегружающийся дифференциальный каскад, идеально подходящий для целей усиления временных сигналов в широком динамическом диапазоне. Амплитудно- и фазочастотная характеристики такого каскада приведены на рис.6,б /101/.

Симметрия схемы и интегральное исполнение позволяют включать последовательно по постоянному току два каскада (рис.6,в), дрейф "нуля" не превышает долей милливольт при $\Delta T \pm 10 \pm 20^\circ C$. В дифференциальных приемниках с однофазным выходом применяется перекрестное включение схем в первом каскаде (рис.6,г). Проблема обеспечения нулевого уровня потенциала на входе решается путем включения интегральных эмиттерных повторителей /99;102/, более предпочтителен сдвиг источников питания на +1,3В ($E_k = +1,3В$; $E_э = -4В$ - рис.6,в). Другой возможностью является понижение напряжения питания первого каскада до $E_э = -2,4В$ (рис.6,г), в этом случае транзисторные пары не входят в насыщение даже при нулевых

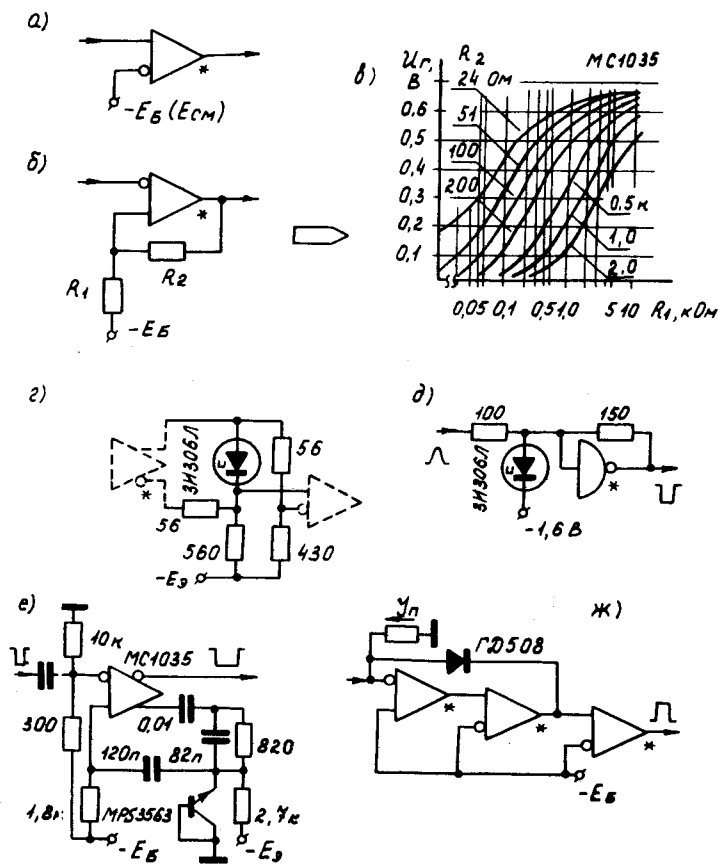


Рис. 7. Схемы дискриминаторов.

потенциалах на базах. В двухкаскадных усилителях необходимы цепи подстройки режима по постоянному току (см. рис.6,в,г).

При последовательном соединении трех дифференциальных приемников с парафазными выходами - МС1035 образуется усилитель с коэффициентом усиления ~ 800 , полосой пропускания до 40 МГц, уровнем шума ~ 35 мкВ /ЮЗ/. Трехкаскадные усилители обычно используются со стабилизирующей обратной связью по постоянному току. На схеме МС10216, применяя цепи отрицательной обратной связи и коррекцию (рис.6,д) /Ю0/, удается получить фронты усилителя в линейном режиме - 4 нс, а на схеме КЛШЗ81 (рис.6,е) - 8 нс. Одной из особенностей схемы рис.6,е является отсутствие источника смещения E_B для задания режима.

На рис.6,ж показан усилитель с токовым входом /97/, входное сопротивление снижено до 150 Ом параллельной обратной связью по току, коэффициент передачи схемы ~ 10 мВ/мкА.

Дискриминаторы. Дифференциальный приемник, выведенный за зону переключения, является интегральным дискриминатором напряжения, рис.7,а /Ю4/. Его пороговая характеристика определяется кривыми на рис.3,а,б, а зависимость переключающей амплитуды от длительности сигнала близка к данным рис.4,ж. Протяженность наклонного участка характеристики вдоль оси времени определяет величину собственного "гуляния" /Ю0/ дискриминатора (его инерционность). Изменением потенциала смещения на базе второго транзистора в паре можно обеспечить линейную зависимость порога от $E_{см}$ для импульсов вплоть до - 2,5В /98/. Для увеличения крутизны пороговой характеристики можно использовать последовательное включение дифференциальных приемников.

Регенеративным дискриминатором является триггер Шмитта /41/, легко реализуемый по классической схеме на дифференциальном приемни-

ке (рис.7,б). Ширина петли гистерезиса - $I_{г}$ определяется соотношением величин резисторов R_1, R_2 - рис.7,б. Скорость переключения триггера определяется задержкой дифференциального приемника.

Интегральные схемы с эмиттерной связью сочетаются с дискриминаторами на туннельных диодах /99, I00, I05+I07/ - рис.7,г,д. Такие дискриминаторы менее инерционны. Их выгодно применять лишь на выходе достаточно широкополосных усилителей в схемах временной привязки /I00/, в противном случае инерционность усилителя* не позволит добиться малой величины собственного "гуляния". Применение таких дискриминаторов оправдано на выходе логического элемента И для отбора совпадений. Для снижения величины гистерезиса туннельного диода используется токовая отрицательная обратная связь (рис.7д).

Регенеративными дискриминаторами являются также одновибраторы на дифференциальном приемнике. Хотя они имеют большее мертвое время, их применяют из-за большей чувствительности, благодаря отсутствию гистерезиса. В качестве примера на рис.7,е приведена схема дискриминатора с чувствительностью, повышенной до 6 мВ, что достигнуто введением нелинейной положительной обратной связи (резистор 820 Ом - транзистор) /85, I08/.

На рис.7,ж показан дискриминатор тока, величина порога задается током смещения быстрого германиевого диода. Схема использовалась для выделения временного интервала заряда-разряда емкости в аналого-временном преобразователе /I09/.

Схемы дифференцирования. Укорочение перепадов напряжения /87, 9I+93, 98 99, I05-I07, II0/ по импульсам I0+I5 нс длительности

* Вклад усилителя составляет из половины длительности фронта в линейном режиме плюс сокращения задержки на уровне 0,1 при перегрузке, равного обычно \sim четверти фронта.

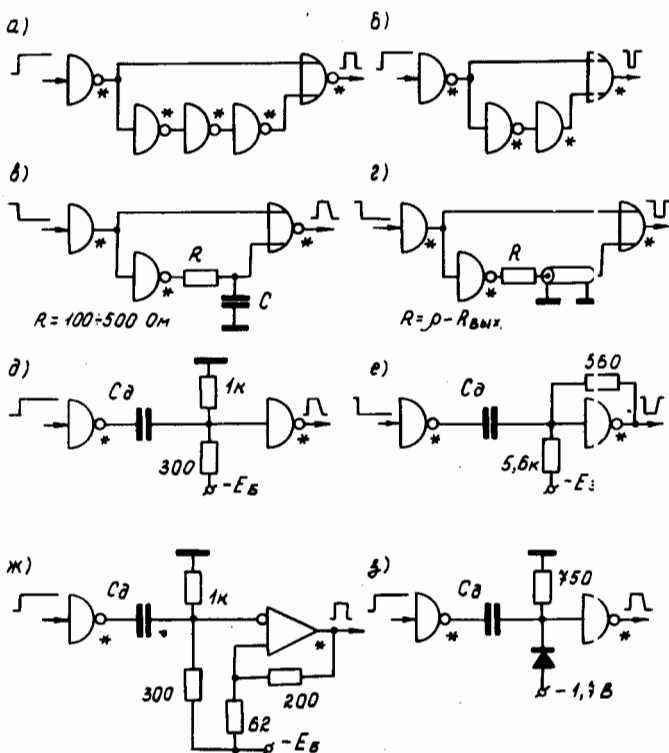


Рис. 8. Схемы "дифференцирования" импульсов.

производится обычно с помощью широкоизвестной схемы – рис.8,а. Изменение длительности сформированного импульса достигается варьированием числа логических элементов в боковой цепи задержки (рис.8,б). Применение интегрирующей RC -цепочки (рис.8,в) позволяет упростить схему дифференцирования и обеспечить плавность регулировки длительности импульса. По мере увеличения постоянной времени RC -цепочки становится заметным затягивание заднего фронта выходного импульса. Для устранения этого эффекта используют линию задержки с распределенными параметрами (рис.8,г). Для формирования импульсов свыше $10 + 20$ нс удовлетворительные результаты обеспечивают схемы укорочения на дифференцирующей RC -цепочке (рис.8,д,е). Проблема укорочения заднего фронта решается использованием триггера Шмитта (рис.8,ж), время восстановления дифференцирующей емкости может быть уменьшено восстанавливающим диодом (рис.8,з).

Для целей укорочения импульсов могут применяться также одновибраторы с потенциальным входом.

Одновибраторы. Схемы задания временных интервалов можно классифицировать по трем группам признаков.

Со схемной точки зрения одновибраторы на интегральных схемах с эмиттерной связью /56,86,III+I20/ различаются типом используемого времязадающего (реактивного) элемента и способом его включения. Широко распространено включение элемента задержки (ниже у таких одновибраторов индекс – $З$). Для задержки могут использоваться последовательно включенные логические схемы (с), кабель (к), либо интегрирующая RC -цепочка (и). Все три типа задержек схемно взаимозаменяемы. Достоинством кабельной задержки является хорошее отношение времени задержки к длительности фронта выходного импульса, что обеспечивает большую стабильность времени выдержки (t выд) и удобство формирования коротких интервалов. Задержка на интегри-

рущей AC -цепи более компактна и обеспечивает больший диапазон t вид. Элемент задержки может быть включен между входами интегральных схем, в этом случае сигнал распространяется по нему в прямом направлении (например, $Z_K^{\text{П}}$), либо задержка включается между выходом одновибратора и входом, тогда сигнал распространяется в обратном направлении (тогда $Z_K^{\text{О}}$). Используются и одновибраторы, в которых регенеративная обратная связь замыкается емкостью (Е).

По виду запуска одновибраторы разделяются на потенциальные (П), импульсные (И), либо импульсно-потенциальные (универсальные-У), у которых длительность входного сигнала допустима как меньше, так и намного больше выходного. Продолжительность перепада запускающего сигнала может быть лимитирована сверху * (Л), либо произвольна (П).

Для статистических импульсов важными характеристиками являются величина и тип мертвого времени (логика срабатывания от вторичного входного импульса, пришедшего во время выдержки одновибратора). Наиболее распространены схемы с блокировкой входа во время выдержки (Б). Для них удобнее пользоваться понятием времени восстановления (t восст.), которое условно можно разделить на три категории: среднее (С) - t восст $\approx t$ вид.; малое (М) - t восст $\leq 0,2 + 0,5 t$ вид и "нулевое" (Н). Если при появлении вторичного импульса одновибратор продлевает выходной сигнал на интервал t вид. и $t_m \ll t_{\text{выг}}$, то такие схемы целесообразно использовать в каналах антисовпадений (А) для повышения их эффективности. Если при поступлении вторичного импульса одновибратор прерывает выходной сигнал, а затем формирует заданный временной интервал $|I_2I|$, то

* Например, схемы дифференцирования рис.8 являются схемами типа Пл.

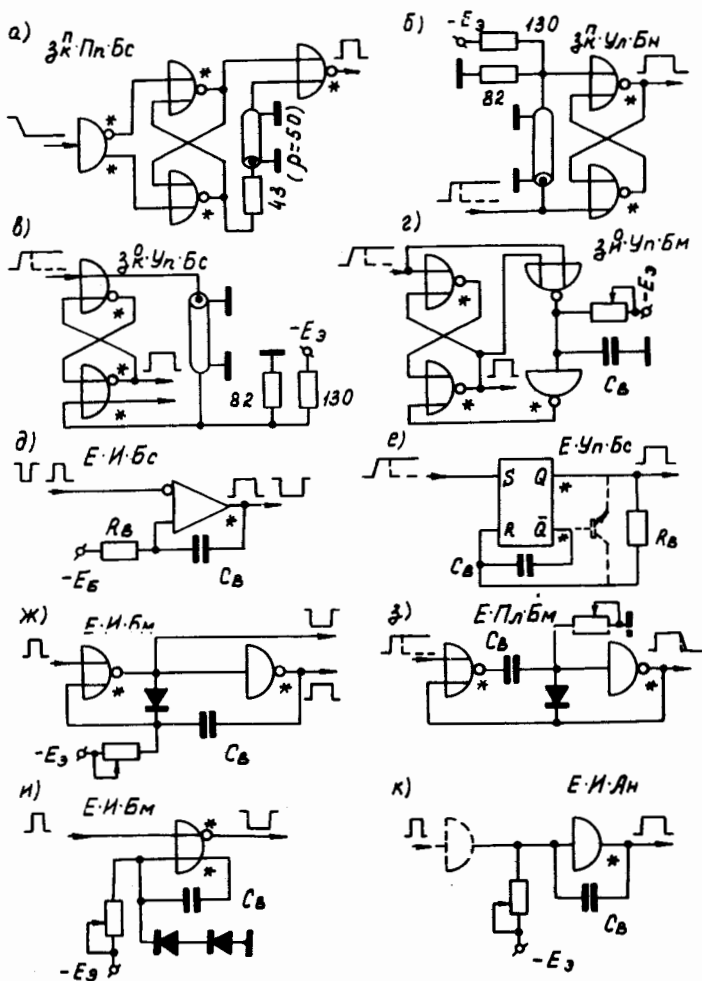


Рис. 9. Одновибраторы на интегральных схемах с эмиттерной связью.

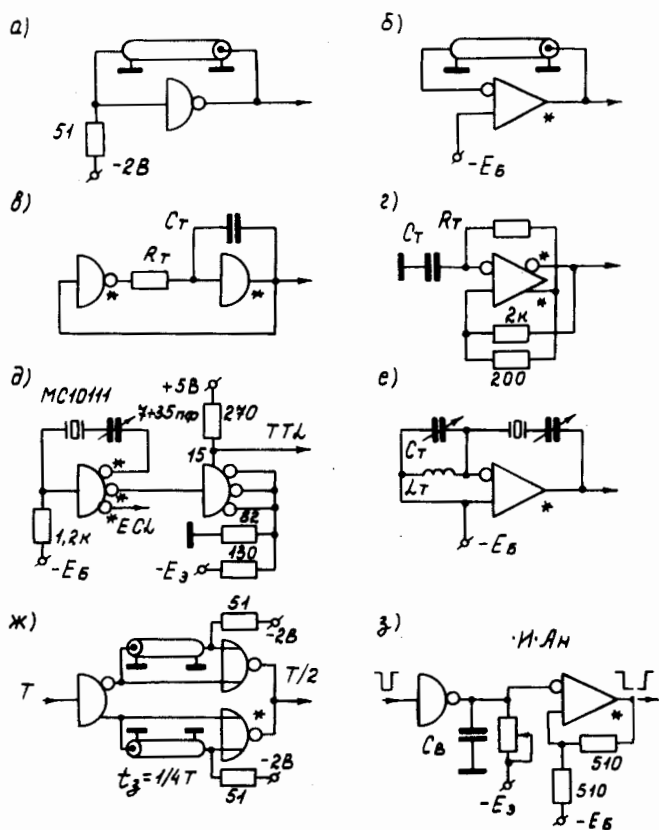


Рис. 10. Генераторы на ECL -интегральных схемах (а + е), схема удвоения частоты (ж) и схема "удлинителя" импульсов (з).

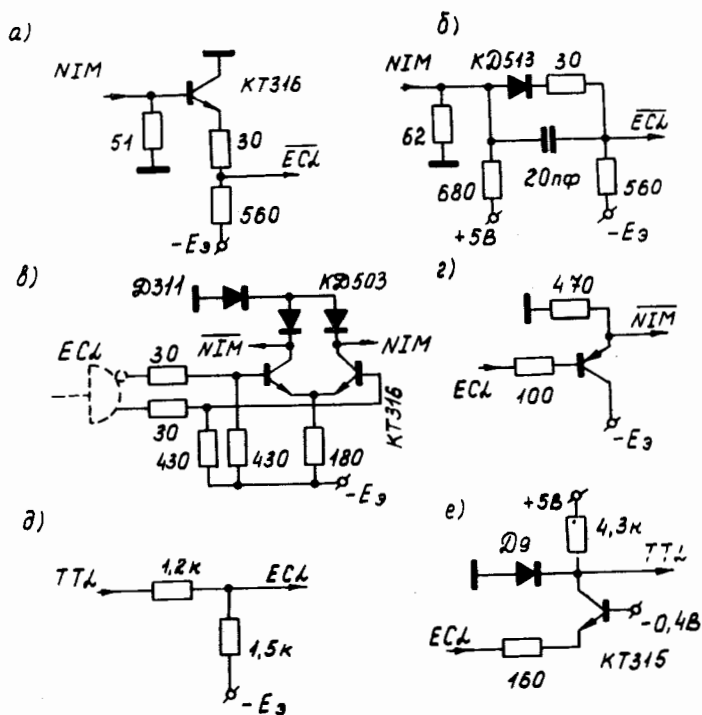


Рис. II. Переходники уровней: NIM \rightarrow ECL (а,б),
 ECL \rightarrow NIM (в,г), TTL \rightarrow ECL (д) и
 ECL \rightarrow TTL (е).

его выгодно применять для ликвидации просчетов в каналах совпадений (С).

На рис.9,а+к приведены основные схемы встречающихся одновибраторов, индексами указаны их главные отличительные признаки. Более подробно эти схемы рассмотрены в обзоре /122/. Одновибратор с логикой счетного канала приводится в /98/. В работах /99,106,107/ описаны схемы с формированием t выд по принципу учетверения временной длины кабеля.

Генераторы и переходники уровней. Схемы высокочастотной генерации реализуются, как правило, с использованием задающего кабеля задержки (рис.10,а,б) /56, 101/. В диапазоне средних частот используются генераторы с RC -задающими цепями (рис.10,з,г). На ECL -интегральных схемах относительно просто строятся генераторы с кварцевой стабилизацией на основной частоте (рис.10,д) и высших гармониках (рис.10,е).

На рис.10,ж приведена схема удвоения частоты задающего генератора. При длине кабеля, указанной на рисунке, на выходе схемы имеется "меандр", при меньших длинах - сигналы со скважностью, большей двух. На рис.10,з дана схема т.н. "расширителя" импульсов, являющегося формирователем временных интервалов с логикой продления выходного сигнала (А) и нулевым мертвым временем.

Блоки быстрой электроники на интегральных схемах с эмиттерной связью работают с сигналами по стандарту NIM /123/, вследствие чего на выходе их используются переходники уровней $NIM \rightarrow ECL$ (рис.11,а,б), а на выходах - $ECL \rightarrow NIM$ (рис.11,в,г). Сигналы внешнего управления и выдачи данных обеспечиваются обычно TTL -схемами. Переходники $TTL \rightarrow ECL$ и $ECL \rightarrow TTL$ обычно входят в состав серий ИС. На рис.11,д,е приведены простейшие дискретные варианты этих переходников.

Блоки ядерной электроники. Разработки на интегральных схемах с эмиттерной связью имеются сейчас практически во всех областях ядерной электроники наносекундного и пикосекундного диапазонов /I24/.

Имеется ряд схем формирователей импульсов с привязкой по переднему фронту /98,99,I06,I25,I26/. По сравнению с аналогичными блоками на дискретных компонентах /I8+30/ в них более чем на порядок повышена чувствительность - до нескольких милливольт, сохранено высокое быстродействие - на уровне 100 МГц и выше. Собственное "гуляние" формирователей составляет ~ 3 нс (К138), как правило, они имеют нулевое или малое время восстановления. Разработан формирователь с цифровым управлением основными параметрами через магистраль КАМАК /98/. Формирователи точной временной привязки выполняются обычно со следящим порогом /I02,I27+I30/ с величиной "гуляния" для импульсов с фронтами 2нс на уровне 0,1нс в динамическом диапазоне 50:1. В работе /I31/ описана схема временной компенсации для сцинтилляционных счетчиков большого размера.

ЕСЛ -интегральные схемы успешно используются для создания схем задержки наносекундного* и микросекундного диапазона /I33 + I36/, в том числе с цифровым управлением /I33+I35/.

Весьма просто реализуется на них схемы совпадений /I05,I07, I26,I37+I41/. Требуемое перекрытие сигналов для срабатывания схем 0,7 + 3 нс, разрешающее время доведено до 1 нс. Здесь особенно заметно стремление разработчиков добиться качественного скачка в характеристиках аппаратуры на открывшемся пути увеличения степени сложности схем. Разработаны схемы, где в одном блоке находится элемент совпадений и входные формирователи /I18,I42/, блоки с цифровым управлением /I34,I43,I44/, имеются логические блоки, реали-

* В работе /I32/ исследован дрейф задержки схем серии К138 при изменении температуры и напряжения питания.

зующие всю быструю логику запуска конкретной физической установки /I45/, широкое распространение получили схемы совпадений матричного типа с ручной коммутацией /I25, I46+I50/ и цифровым управлением /I51+I53/. Появились многоходовые мажоритарные схемы совпадений с цифровым отбором /I54+I56/. Описана первая система наносекундных логических блоков с цифровым управлением от ЭВМ в стандарте КАМАК /I57/.

Второй областью, где ЕСЛ -интегральные схемы нашли широкое применение, является техника временных измерений /I58/. Разработаны традиционные время-амплитудные конверторы /I58+I60/ и непосредственные преобразователи время-цифра /I61+I72/, временное разрешение преобразователей доведено до нескольких десятков пикосекунд. Интегральные схемы с эмиттерной связью позволили реализовать в одном блоке КАМАК единичной ширины до 6+8 каналов измерения временных интервалов /I09, I73/. Они также успешно применяются в узлах временной селекции сигналов /I74+I76/.

ЕСЛ -интегральные схемы возродили интерес к наиболее раннему методу непосредственного преобразования амплитуды сигнала в цифровой код с помощью набора разноуровневых дискриминаторов. Описаны АПЦ на 6+8 двоичных разрядов, время кодирования доведено до нескольких наносекунд /56, I77+I79/. Разработаны и цифроаналоговые преобразователи /I77, I80/.

Естественной сферой применения этих схем стали быстродействующие гетоскопические системы ворот с памятью /I48, I81, I82/ и счетчики с повышенным быстродействием /I83+I90/.

Областью, в развитие которой интегральные схемы с эмиттерной связью дали существенный вклад, является электроника пропорциональных камер, характеризующаяся большим числом (тысячи и десятки тысяч /96/) каналов регистрации наносекундных сигналов малой амплитуды

(несколько мВ). В начальный период развития этих детекторов весь тракт регистрации сигналов—усилитель, дискриминатор, одновибратор задержки и стробируемая схема памяти — выполнялся полностью на схемах с эмиттерной связью /91+94, 97, 191/. Сейчас, поскольку быстродействие этих схем для целей регистрации избыточно, заметна тенденция перевода электроники регистрации на специализированные интегральные схемы, либо схемы TTL (в целях снижения потребляемой мощности и габаритов). Схемы с эмиттерной связью в электронике пропорциональных камер широко применяются для создания специализированных быстрых процессоров, производящих отбор полезных событий в реальном времени эксперимента, по алгоритмам, которые ранее использовались при off-line — обработке на ЭВМ/37+47, 191+195/.

Развитие электроники дрейфовых камер (новых детекторов, обладающих рекордным пространственным разрешением) было бы невозможно без наличия ECL —интегральных схем. С их помощью осуществляется временная привязка к импульсам тока малой амплитуды /100, 196/, источником которых является дрейфовая камера; временное положение сигнала переводится в цифровой код с ценой деления $1 + 2$ нс /109, 197+ 200/, причем каналы измерения весьма компактны, поэтому их может быть свыше нескольких сотен на установку.

Таким образом, мы видим, что ECL —интегральные схемы позволили при сохранении высокого быстродействия, свойственного блокам быстрой электроники на дискретных компонентах, обеспечить качественный скачок в сложности электронных установок, настройке их и калибровке с помощью ЭВМ /201+203/. Они послужили базой для внедрения новых перспективных детекторов, дали существенный рост количества перерабатываемой в единицу времени информации.

В заключение автор считает своим долгом поблагодарить Ф.Габриэля, К.Андерта, В.И.Какуруну за содействие данной работе.

Л и т е р а т у р а

1. Д.Линн, Ч.Мейер, Д.Гамильтон, Анализ и расчет интегральных схем, Часть 2, М., Мир, 1969.
2. В.А.Гринкевич, Микроэлектроника, Сб. статей, Вып.3, Сов.радио, М., 1969.
3. Ю.Е.Наумов, Интегральные логические схемы, Сов.радио, М., 1970.
4. Г.Р.Мэдленд, Интегральные схемы, Сов.радио, М., 1970.
5. А.Г.Алексеев, Основы микросхемотехники, Сов. радио, М., 1971.
6. К.А.Валиев, В.Я.Контарев, Микроэлектроника, Сб. статей, вып.1, Сов. радио, М., 1973, 10.
7. Л.Штерн, Основы проектирования интегральных схем, Энергия, М., 1973.
8. И.Н.Букреев, Б.М.Мансуров, В.И.Горячев, Микроэлектронные схемы цифровых устройств, 2-е изд., Сов. радио, М., 1975.
9. В.В.Овчинников, В.Л.Дшхунян, Ю.Е.Чичерин, Проектирование быстродействующих микроэлектронных цифровых устройств, Сов.радио, М., 1975.
10. J.Rhea, *Electronic news*, September 13, 1971.
11. J.Rhea, *Electronic news*, March, 13, 1972.
12. W.Blood, *Electronics*, Vol.45, No6, 1972.
13. S.Edelman, *The Electronic Engineer*, April 1972.
14. E.A.Torrero, *Electronic Design*, V.20, No12, 1972, 50.
15. R.Blood, *EDN*, July 1, 1972.
16. P.Breedlove, *Computer Design*, August 1972.
17. J.DeLaune, *Electronic Design*, March 15, 1973, 112.
18. Ю.К.Акимов, М.Н.Дражев, И.Ф.Колпаков, В.И.Рыкалин, Быстродействующая электроника для регистрации ядерных частиц, Атомиздат, М., 1970.

19. R.M.Sugarman, W.A.Higinbotham, Proc.Intern. 1960, LRL Conf. for High En. Phys. Instrumentation, Interscience, Publishers, N.Y.-Lond., 1961, 54.
20. E.g.g. Nucl.Instr.Divis., System Catalogue, Salem, USA, 1969.
21. LRS Corp. Catalogue, New York USA, 1970.
22. Ю.Б.Бушнин и др., Сообщение ОИЯИ I3-3700, Дубна, 1968, IOI.
23. Ю.К.Акимов и др., Сообщение ОИЯИ I3-3700, Дубна, 1968, I3I.
24. В.А.Арефьев и др., Сообщение ОИЯИ I3-5447, Дубна, 1970.
25. В.Ф.Кузичев и др., Сообщение ИТЭФ №883, Москва, 1971.
26. В.М.Аульченко и др., Сообщение ИЯФ СОАН I3-7I, Новосибирск, 1971.
27. С.Г.Басиладзе и др., Сообщение ОИЯИ I3-6383, Дубна, 1972.
28. S.G.Basiladze et al., Nucl.Instr. and Meth., Vol.106, 1973, 154.
29. С.Г.Басиладзе и др., ПТЭ, №3, 1973, 88.
30. В.Ф.Борейко и др., Сообщение ОИЯИ I3-6396, Дубна, 1972.
31. И.Ф.Колпаков, Электронная аппаратура на линии с ЭВМ в физическом эксперименте, Атомиздат, М., 1974.
32. Ж. Шарпак, Успехи физ. наук, том IO8, вып.2, 1972, 339.
33. Пропорциональные камеры, Материалы рабочего совещания по методике пропорциональных камер, Дубна, 27+30.3.1973, Издание ОИЯИ I3-7I54, Дубна, 1973.
34. G.Charpak, F.Saul, Nucl.Instr. and Meth., Vol.108, 1973, 413.
35. A.Breskin et al., Nucl.Instr. and Meth., Vol.119, 1974, 9.
36. M.Atac, T.Droege, NAL Report TM-553,2562.000, Batavia USA, 1975.
37. L.J.Koester et al., Conf.Nucl.Electronics, Ispra 1969, 247.
38. D.Aebischer et al., Nucl.Instr. and Meth., Vol.99, 1972, 405+
+ 411.

39. З.Гузик, Сообщение ОИЯИ I3-6696, Дубна, 1972.
40. C.Verkerk, Proc. 1974 CERN School of Computing, Bergen, Norway, CERN 74-23, 223.
41. MECL Integrated Circuits Data Book, First edition, Motorola Inc., USA, 1971.
42. The Intergrated Circuits Catalogue for Disign Engineers, Texas Instr.Incorp., USA, 1971.
43. Fairchild Advanced Logic Book, Fairchild Sem., USA, 1972.
44. К.А.Валиев и др., Электронная техника, микроэлектроника, вып. 8(34), 1971, 16.
45. К.А.Валиев и др., Электронная промышленность, №7, 1972, 56.
46. SN 10.000, Electronic Design, Vol.20, No 12, 1972, 58.
47. ECL Integrated Circuits, Series SN 10.000, Texas Instr. Incorp., Bulletin No DL-S7211712, USA, May 1972.
48. The ECL Handbook, Fairchild Sem., March 1974.
49. Digital Integrated Circuits Data Book, 16th edition, Spring 1973.
50. MECL Integrated Circuits Data Book, Third edition, Motorola Inc., USA, 1973.
51. The TTL Data Book for Design Engineers Texas Instr., Incorp., USA, 1973.
52. Справочник по полупроводниковым диодам, транзисторам и интегральным схемам, п/р Н.Н. Горюнова, Энергия, М., 1972.
53. Electronic Design, Vol.20, No6, 1972, 28.
54. Bell Lab. Rep., Intern.Electronic Dev.Meeting., Oct.11+13.1971, Washington, 1971. Techn.Progr.Copyright 1971 by the JEEE, New York, 100.
55. И.И.Шагурин, Известия вузов СССР, Радиоэлектроника, XII, №II, 1969, I268.

56. MECL System Design Handbook, Second edition, Motorola Inc., USA, 1972.
57. J.S.Brothers et al., Proc. of Intern.Conf. on Microelectronics Eastbourne, 3 + 5.6.1969.
58. R.R.Marley, Electronic Products, March 1, 1971.
59. R.J.Widlar, Computer Design, May 1971.
60. Fairchild ser. 95100, Computer Design, v.11, No5, 1972,24.
61. Ю.Е.Наумов, Н.А.Авдеев, М.А.Бедредрековский, Помехоустойчивость устройств на интегральных логических схемах, Сов.радио, М., 1975.
62. Дж.Скарлетт, ТТЛ-интегральные схемы и их применение, Мир, М., 1974.
63. W.K.Springfield, Electronics, November 1, 1965, 90.
64. H.R.Каупр, JEE Transactions, Vol.EC-16, No2, 1967,185.
65. A.Schwarzmann, Electronics, October 2, 1967, 109.
66. R.Matick Transmission Lines for Digital and Communication Network, McGraw-Hill, USA 1969.
67. Ю.А.Чурин, Микроэлектроника, Сб.статей, вып.5, Сов.радио, М.,1972, 253.
68. T.Balph, Electronic Design, No18, September 2, 1972, 48.
69. Ю.А.Чурин, Переходные процессы в линиях связи быстродействующих схем ЭМ, Сов. радио, М., 1975.
70. С.В.Мешведь, Ю.Н.Симонов, Препринт ОИЯИ I3-3645, Дубна, 1967.
71. С.В.Мешведь, Ю.Н.Симонов, Препринт ОИЯИ I3-3646, Дубна, 1967.
72. С.Г.Басиладзе, Препринт ОИЯИ I3-9345, Дубна, 1975.
73. T.Balph, Electronic Design, No 17, August 17, 1972, 72.
74. I.Catt. IEEE Transaction, Vol. EC-16, No6, 1967, 743.
75. J.A.DeFalco, IEE Spectrum, July 1970, 44.
76. В.Г.Немудров, А.А.Шишкевич, О.Е.Петров, Микроэлектроника, т.2, вып.6, 1973, 505.

77. В.Г.Немудров, А.А.Шишкевич, Сборник научных трудов по проблемам микроэлектроники, Серия техническая, МИЭТ, вып.УІІІ, М., 1973.
78. С.И.Назаров, Микроэлектроника, Сб. статей, вып.7, Сов.радио, М., 1974; 234.
79. Г.Г.Казеннов и др., Микроэлектроника, Сб.статей, вып.8, Сов.радио, М., 1975, 216.
80. С.И.Назаров, Микроэлектроника, Сб.статей, вып.8, Сов.радио, М., 1975, 303.
81. Г.Г.Казеннов, В.Г.Немудров, И.А.Тесля, Микроэлектроника, Сб.статей, вып.8, Сов.радио, М., 1975, 314.
82. В.Г.Немудров, Ю.К.Кушнер, А.М.Хабаров, Микроэлектроника, Сб. статей, вып.8, Сов.радио, М., 1975, 337.
83. И.И.Шагурин, Микроэлектроника, т.4, вып.3, 1975, 220+228.
84. С.А.Сонсро, IEE-Trans., NS-20, No4, 1973, 32.
85. J.C.Tarle, H.Verweij, Nucl.Instr.and Meth., Vol.78, 1970, 93.
86. G.Amato et al. Труды Межд.конференции по аппаратуре в физике высоких энергий, Дубна, 8+ 12 сент., 1970, Издание ОИЯИ Д-5805, Дубна, 1970, 257.
87. J.L.Pellegrin, Reprot SLAC-TH-70-22, USA, 1970.
88. B.Bertolucci et al., IEEE Trans., NS-18, No 2, 1971.
89. H.Cunits et al., Nucl.Instr. and Meth., Vol.91, 1971, 211.
90. G.Charpak et al., Nucl.Instr. and Meth., Vol.97, 1971, 377.
91. М.Турала, Сообщение ОИЯИ РІЗ-6380, Дубна, 1972.
92. Е.А.Силаев, Сообщение ОИЯИ ІЗ-7006, Дубна, 1973.
93. С.Г.Басиладзе, Препринт ОИЯИ ІЗ-7250, Дубна, 1973; ПТЭ №3, 1974, 99.
94. G.Zchultz et al., Nucl.Instr. and Meth., Vol.115, 1974, 605.

95. С.Г.Басиладзе, П.К.Маньяков, Сообщение ОИЯИ I3-7387, Дубна, 1973.
96. R.Bouclier et al., Nucl.Instr. and Meth., Vol.115, 1974, 235.
97. J.Lindsay et al., CERN Report 74-12, NPD, May, 1974.
98. С.Г.Басиладзе, В.Тлачала, Препринт ОИЯИ I3-8336, Дубна, 1974; ПТЭ №4, 1975, 96.
99. В.Ф.Борейко и др., Препринт ОИЯИ P13-8705, Дубна, 1975.
100. С.Г.Басиладзе, Сообщение ОИЯИ I3-8911, Дубна, 1975.
101. Motorola MECL, Motorola Inc., USA, 1971.
102. W.J.McDonald, D.C.S.White, Nucl.Instr. and Meth., Vol.119, No 3, 1974, 527.
103. The Integrated Circuit Data Book, Supplement 1, Motorola Inc., USA, 1969.
104. S.Dhawan, IEEE Trans., NS-20, No 1, 1972, 166.
105. Ю.Б.Бушнин и др., ПТЭ №2, 1973, 84.
106. Ю.Б.Бушнин и др., ПТЭ №4, 1973, 140.
107. В.Ф.Борейко и др., Препринт ОИЯИ I3-8603, Дубна, 1975.
108. E.B.Sains, W.K.Dawson, IEEE-Trans., NS-22, No 1, 1975, 301.
109. С.Г.Басиладзе, В.Тлачала, Препринт ОИЯИ I3-8609, Дубна, 1975.
110. R.Foglio et al., Proc. 2nd Ispra Nucl.Electr. Symp., Stressa, Italy, May 20+23, 1975, 129.
111. A.Barna et al., Nucl.Instr. and Meth., Vol.75, No 2, 1969, 223.
112. J.F.Boutler et al., Nucl.Instr. and Meth., Vol.77, No 1, 1970, 153.
113. M.R.Mair, P.Sperr, Nucl.Instr. and Meth., Vol.87, No 1, 1970, 13.
114. R.D.Barton, M.E.King, Nucl.Instr. and Meth., Vol.97, No 2, 1971, 359.
115. R.F.Altnaus, L.W.Nagel, IEEE Trans., NS-19, No 1, 1972, 520.

- II6. I.J.Taylor, T.H.Becker, Nucl.Instr. and Meth., Vol.99, No 2, 1972, 387.
- II7. J.C.Tarle, H.Verweij, Nucl.Instr. and Meth., Vol.102, No 1, 1972, 131.
- II8. В.А.Арефьев, С.Г.Басиладзе, Сообщение ОИЯИ I3-6594, Дубна, 1972.
- II9. G.C.Bonazzola et al., Nucl.Instr. and Meth., vol. 98, No 2, 1972, 273.
- I20. H.Hoggerty et al., Nucl.Instr. and Meth., vol.115, No 1, 1974, 157.
- I21. S.G.Basiladze, Nucl.Instr. and Meth., vol.103, 1972, 357; Препринт ОИЯИ I3-5732, Дубна, 1971.
- I22. С.Г.Басиладзе, В.Тлачала, Сообщение ОИЯИ I3-7166, Дубна, 1973.
- I23. Standard Nucl.Instr.Modules, Rev. USAEC, TID-20893, Washington, Jan. 1966.
- I24. L.J.Herbst, Proc. of the 1973 Intern. Conf. on Instr. for High Energy Phys., Frascati, Italy, May 8 + 12, 592.
- I25. В.М.Аульченко, Ю.В.Коршунов, ПТЭ, №6, 1973, 75.
- I26. R.F.Althaus et al., Proc. of the 1973 Intern.Conf. on Instr. for High Energy Phys., Frascati, Italy, May 8 +12, 609.
- I27. M.R.Maier, P.Sperr, Nucl.Instr. and Meth., Vol.87, 1970, 13.
- I28. Ф.Габриэль, Труды VI Международного симпозиума ОИЯИ по ядерной электронике, Варшава, 23 +30 сент. 1971, Издание ОИЯИ ДI3-6210, Дубна, 1972, 75.
- I29. F.Gabriel et al., Nucl.Instr. and Meth., Vol.103, No 3, 1972, 501.
- I30. M.R.Mayer, D.A.Landis, Nucl.Instr. and Meth., Vol.117, No 1, 1974, 245.

131. J.Faust, R.S.Larsen, Report SLAC-PUB-1296, USA, Aug.1973.
132. В.В.Марченков, В.Г.Циунелис, Препринт ЛИЯФ № 150, Ленинград, Май 1975.
133. H.G.Jackson et al., Proc. of the 1966 Int.Conf. on Instr. for High Energy Phys., Stanford, USA, Sept. 9+ 10, 187.
134. F.Pozar, Nucl.Instr. and Meth., Vol.91, No1, 1971, 253.
135. С.Г.Басиладзе, В.Тлачала, ПТЭ №6, 1974, 83.
136. Ю.М.Валуев и др., Препринт ОИЯИ I3-8824, Дубна, 1975.
137. P.A.Kirsten, D.A.Mack, Proc.of Int.Symp. on Nucl.Electron., Versailles, France, Sept. 10+ 13, 1963, 55-1.
138. R.F.Altaus, L.W.Nagel, IEEE-Trans., NS-19, No1, 1971, 520.
139. W.S.Risk, Nucl.Instr. and Meth., Vol.97, 1971, 547.
140. P.A.Kirsten, IEEE Trans., NS-20, No5, 1973, 22.
141. А.Н.Козырев, В.С.Романов, ПТЭ №1, 1974, 71.
142. А.Г.Морозов, Е.А.Мелешко, Препринт ИАЭ № 24556 Москва, 1974.
143. С.Г.Басиладзе, А.Н.Парфенов, Препринт ОИЯИ I3-7672, Дубна, 1974; ПТЭ №1, 1975, 81.
144. Ф.Габриэль и др., Препринт ОИЯИ PI3-8915, Дубна, 1975.
145. В.М.Аульченко и др., Препринт ИЯФ СО АН СССР, №38-71, Новосибирск, 1971.
146. C.Prezzi, F.Sovo, Nucl.Instr. and Meth., Vol.68, No1, 1969, 45.
147. Y.Chatelus et al., Nucl.Instr. and Meth., Vol.119, No3, 1974, 589.
148. Ю.Б.Бушнин и др., Препринт ИФВЭ СЭФ74-106, Серпухов, 1974.
149. E.Atramson et al., Nucl.Instr. and Meth., Vol.126, No4, 1975, 529.
150. А.А.Немашко, В.М.Деньяк, ПТЭ №1, 1975, 92.
151. SEN Electronique, SAMAC Catalogue, Geneve, 1975, Mod. FLU 2062.
152. J.Urternahren, R.Muller, Nucl.Instr. and Meth., Vol.128, No2, 1975, 373.

172. S.S.Kurochkin et al. Proc. 2nd Ispra Nucl. Electron. Symp.,
Stressa, Italy, May 20 + 23, 1975, 459.
173. LRS Particle Physics Division Catalogue, USA, 1975, Mod.2228.
174. Р.Н.Краснокутский и др., Препринт ИФВЭ СЭФ 74-107, Серпухов,
1974.
175. В.М.Гребенюк, В.Г.Зинов, Препринт ОИЯИ I3-8828, Дубна, 1975.
176. Ф.Габриэль и др., Препринт ОИЯИ P13-8914, Дубна, 1975.
177. T.W.Henry, IEEE Trans., NS-20, No 5, 1973, 52.
178. S.Sentro, Nucl. Instr. and Meth., Vol.19, No 3, 1974, 595.
179. A.A.Arbel, R.Kurz, IEEE Trans., NS-22, No 1, 1975, 446.
180. В.А.Арефьев, С.Г.Басиладзе, ПТЭ №4, 1974, 58.
181. В.А.Арефьев и др., Труды VII Межд. симп. ОИЯИ по ядерной
электронике, Будапешт, сент.17+23, 1973, Издание ОИЯИ Д13-
-7616, Дубна, 1974, 318.
182. H.QUEHL et al., Nucl. Instr. and Meth., Vol.120, No1, 1974, 41.
183. Z.Haiduk, M.Turala Труды VII Межд. симп. ОИЯИ по ядерн.
электронике, Будапешт, сент. 17+23, 1973, Издание ОИЯИ Д13+
+ 7616, Дубна, 1974. 337.
184. Н.И.Журавлев и др., ПТЭ №3, 1974, 91.
185. С.Г.Басиладзе, ПТЭ №5, 1974, 74.
186. В.М.Гребенюк, ПТЭ № 2, 1975, 101.
187. С.Г.Басиладзе, ПТЭ №3, 1975, 89.
188. И.А.Голутвин и др., Препринт ОИЯИ I0-8352, Дубна, 1974.
189. А.И.Климов и др., Препринт ИАЭ № 2375, Москва, 1974.
190. ORTEC, Catalog D100, USA, 1975.
191. С.Г.Басиладзе, и др. Сообщение ОИЯИ I3-7613, Дубна, 1973.
192. Z.Guzik S.G.Basiladze, Nucl. Instr. and Meth, Vol.114, 1974,
83; Препринт ОИЯИ P13-6917, Дубна, 1973.
193. S.G.Basiladze, Z.Guzik, Nucl. Instr. and Meth., Vol.118, 1974,
285.

194. А.П.Кашук и др., Материалы VII Всесоюзной школы по автоматизации научных исследований, 27.2 + 10.3.1974, Издание ЛИЯФ, Ленинград.
195. A.Fucci et al., Proc. 2nd Ispra Nucl.Electron.Symp., Stressa, Italy, May 20 + 23, 1975, 303.
196. C.Enster et al., CERN Report 73-15, Oct., 1973.
197. H.Verweij, Proc. of the 1973 Intern. Conf. on Instr. for High Energy Phys., Frascati, Italy, May 8+12, 616.
198. D.C.Cheng et al., Proc. of the 1973 Intern. Conf. on Instr. for High Energy Phys., Frascati, Italy, May 8 + 12, 622.
199. H.Verweij, IEE Trans. NS-22, No 1, 437.
200. M.Turala, Proc. 2nd Ispra Nucl.Electron.Symp., Stressa, Italy, May 20 + 23, 1975, 365.
201. D.Aebisher et al., Nucl.Instr. and Meth., Vol.117, 1974, 131.
202. В.Г.Аблеев и др. Препринт ОИЯИ I3-8829, Дубна, 1975.
203. D.Besset et al. Proc. 2nd Ispra Nucl.Electron.Symp., Stressa, Italy, May 20+23, 1975, 361.

Рукопись поступила в издательский отдел
28 апреля 1976 года.