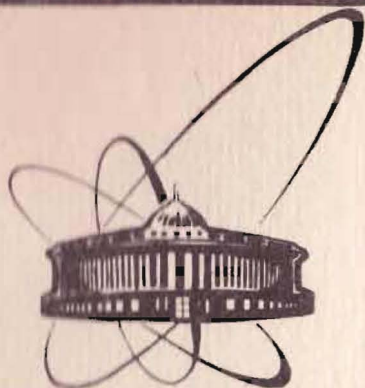


88-937

У 8952



сообщения
объединенного
института
ядерных
исследований
дубна

1991/89

P10-88-937

Н.И.Журавлев, Г.Крайпе, Т.Опалек, А.П.Павлов,
В.Т.Сидоров, А.Н.Синаев, А.А.Стахин, И.Н.Чурин

ЦИФРОВЫЕ БЛОКИ В СТАНДАРТЕ КАМАК
(выпуск XVI)

1988

В настоящей работе приводятся краткие характеристики и блок-схемы 16-й серии цифровых блоков в стандарте КАМАК, разработанных в Лаборатории ядерных проблем ОИЯИ.

Обозначение каждого блока состоит из двух букв и трех цифр. Первая буква К постоянна для всех блоков и означает, что блок выполнен в стандарте КАМАК. Вторая буква показывает принадлежность блока к определенному классу /см. таблицу/. Цифры означают номер разработки.

Таблица

Код ЛЯП	Класс блока
КА	Аналоговая обработка информации
КВ	Вывод цифровых данных
КИ	Интерфейсы внешних устройств, индикаторы
КК	Контроллеры, интерфейсы магистрали, драйверы ветви
КЛ	Логическая /цифровая/ обработка информации
КМ	Управляющие блоки с микропроцессорами
КП	Блоки, не вошедшие в другие группы
КР	Параллельный ввод цифровых данных
КС	Последовательный ввод цифровых данных
КТ	Тестовые блоки
КУ	Вспомогательные блоки управления
КЭ	Интерфейсы ЭВМ

Ниже приводится список блоков, рекомендуемых для использования в новых системах. Римские цифры I-XV означают соответственно номера ранее опубликованных выпусков /1-15/, а цифра XVI - настоящий выпуск. Вторая цифра означает номер страницы в соответствующей публикации.

1. КА 001 - преобразователь заряд-код /2x255 каналов/	V-6	55. КЛ 018 - управление инкрементной записью в память	XII-14
2. КА 002 - коммутатор аналоговых сигналов /0 ± 100 мкА/	V-8	56. КЛ 019 - управление инкрементной записью в память	XIII-8
3. КА 003 - коммутатор аналоговых сигналов /-6 ± 6 В/	V-10	57. КЛ 021 - управление многомерными измерениями	XII-18
4. КА 004 - коммутатор аналоговых сигналов /0 ± 127 В/	VI-6	58. КЛ 022 - цифровые окна /16 окон по 12 бит/	XIII-10
5. КА 007 - преобразователь амплитуда-код /8192 канала/	VIII-4	59. КЛ 023 - оперативная память микроЭВМ /48Кx8 бит/	XII-20
6. КА 009 - цифро-аналоговый преобразователь /2 x 10 бит/	X-4	60. КЛ 024 - оперативная память /4Кx24 бит/	XIII-12
7. КА 010 - преобразователь заряд-код /8 x 255 каналов/	XI-4	61. КЛ 025 - оперативная память /8Кx16 бит/	XIV-12
8. КА 011 - преобразователь амплитуда-код /4096 каналов/	XIV-4	62. КЛ 026 - оперативная память микроЭВМ /16Кx8 бит/	XIII-14
9. КВ 002 - выходной регистр /2 x 16 бит, ТТЛ/	III-4	63. КЛ 027 - преобразователь уровней НИМ-ТТЛ и ТТЛ-НИМ	XIII-16
10. КВ 003 - выходной регистр /16 бит, НИМ/	IV-6	64. КЛ 028 - разветвитель сигналов с уровнями ТТЛ	XIII-17
11. КВ 004 - часы	V-12	65. КЛ 029 - преобразователь уровней ТТЛ-НИМ /16 входов/	XV-22
12. КВ 005 - генератор импульсов /1 Гц ± 20 МГц/	V-14	66. КЛ 030 - регистратор двухмерных спектров /входн.блок/	XV-14
13. КВ 006 - выходной релейный регистр /2x16 бит/	XI-6	67. КЛ 031 - регистратор двухмерных спектров /выходн.блок/	XV-16
14. КИ 001 - индикатор магистрали /16 бит/	I-17	68. КЛ 032 - преобразователь длины слова /24-16 бит/	XVI-12
15. КИ 011 - интерфейс графического дисплея	V-20	69. КЛ 033 - буферный накопитель /4Кx16 бит/	XVI-14
16. КИ 015 - регистр ввода-вывода /16 бит, ТТЛ/	VI-16	70. КМ 080 - микроЭВМ на основе БИС серии КР580	XIV-14
17. КИ 016 - интерфейс многоканальных анализаторов	VII-8	71. КМ 086 - микроЭВМ на основе БИС серии КР1810	XV-10
18. КИ 018 - вывод информации с проволочных камер	VII-12	72. КП 002 - контроль напряжений питания крейта	VI-22
19. КИ 021 - последовательная межкрейтная связь	VII-18	73. КП 003 - источник питания /±12 В, 2 А/	VII-26
20. КИ 022 - последовательная межкрейтная связь	VII-20	74. КП 004 - программатор ППЗУ типа 74188	XII-22
21. КИ 023 - интерфейс матричного АЦПУ	VII-22	75. КП 005 - программатор ППЗУ типа К155РЕ3 и К556РТ4	XI-18
22. КИ 026 - индикатор магистрали /24 бита/	VIII-8	76. КП 006 - терминатор ветви КАМАК	XI-20
23. КИ 027 - интерфейс графопостроителя	VIII-10	77. КП 007 - терминатор шины малых и микроЭВМ	XI-21
24. КИ 029 - интерфейс цветного телевизионного монитора	IX-4	78. КП 008 - программатор СППЗУ типа К573РФ1 и К573РФ2	XIII-18
25. КИ 030 - интерфейс координатного шара	IX-6	79. КП 009 - программатор СППЗУ емкостью от 2К до 64К байт	XV-18
26. КИ 031 - интерфейс НМЛ ИЗОТ 5003/5005	IX-8	80. КР 002 - регистр констант /16 бит/	II-8
27. КИ 033 - интерфейс черно-белого телевизора	X-6	81. КР 005 - входной регистр /2x16 бит, ТТЛ/	II-14
28. КИ 036 - малогабаритный графический дисплей	XI-7	82. КР 007 - входной регистр /16 бит, ТТЛ/	IV-20
29. КИ 038 - интерфейс дисплея анализатора /16 бит/	XII-4	83. КР 010 - регистр констант /8 декад/	VI-23
30. КИ 039 - интерфейс КНМЛ РК-1	XII-6	84. КР 011 - входной регистр /16 бит, 10 нс, НИМ/	VIII-24
31. КИ 040 - интерфейс КНМЛ КРР-800	XII-8	85. КР 012 - входной регистр /16 бит, 10 нс, ЭСЛ/	XVI-16
32. КИ 042 - интерфейс шагового двигателя	XIV-6	86. КС 002 - двоичный счетчик /25 МГц, 2x16 бит/	I-6
33. КИ 044 - интерфейс дисплея анализатора /24 бита/	XIII-4	87. КС 008 - двоичный счетчик /25 МГц, 8x8 бит/	II-16
34. КИ 045 - интерфейс НГМД	XIII-6	88. КС 011 - счетчик-измеритель времени /25 МГц, 16 бит/	III-18
35. КИ 046 - графический интерфейс	XIV-8	89. КС 013 - установочный счетчик /20 МГц, 10 декад/	III-22
36. КИ 047 - последовательный интерфейс	XVI-4	90. КС 014 - десятичный счетчик /25 МГц, 4x8 декад/	III-24
37. КК 001 - контроллер с фиксированными программами	I-18	91. КС 017 - двоичный счетчик /25 МГц, 4x16 бит/	VI-24
38. КК 003 - проверочный контроллер	I-22	92. КС 018 - десятичный счетчик /100 МГц, 12 декад/	VII-28
39. КК 004 - универсальный контроллер крейта	III-8	93. КС 019 - двоичный счетчик /25 МГц, 8x16 бит/	IX-14
40. КК 005 - контроллер крейта типа А1	V-24	94. КС 020 - двоичный счетчик /150 кГц, 16x16 бит/	IX-16
41. КК 007 - интерфейс магистрали	IX-12	95. КС 021 - двоичный счетчик /200 МГц, 2x32 бит/	IX-18
42. КК 008 - драйвер ветви	X-12	96. КС 022 - счетчик-интенсиметр /100 МГц, 8 декад/	IX-20
43. КК 009 - контроллер крейта для ПЭВМ типа IBM-РС/XT	XV-4	97. КС 023 - двоичный счетчик /80 МГц, 16 бит/	XI-22
44. КК 010 - контроллер крейта для ПЭВМ типа IBM-РС/AT	XVI-8	98. КС 024 - таймер /2 экспозиции, 0,1 мс ± 144 суток/	XIV-16
45. КК 080 - управление магистралью для микроЭВМ КМ-080	XIV-10	99. КТ 002 - тестер контроллеров крейта	XV-20
46. КК 086 - управление магистралью для микроЭВМ КМ 086	XV-8	100. КТ 003 - тестер контроллеров типа А1	XVI-20
47. КЛ 001 - коммутатор логич. импульсов /16 вх., 1 вых./	III-10	101. КТ 004 - тестер многоканальных анализаторов	XVI-18
48. КЛ 002 - управляемая задержка /0,5 ± 63 нс/	III-12	102. КУ 002 - внешнее управление	II-20
49. КЛ 003 - коммутатор логич. импульсов /9 вх., 9 вых./	IV-18	103. КУ 004 - грейдер сигналов I для контроллера КК 005	III-26
50. КЛ 004 - буферный накопитель /64x16 бит/	V-26	104. КУ 006 - грейдер сигналов I для контроллера КК 001	IV-28
51. КЛ 006 - буферный накопитель /1Кx16 бит/	VIII-16	105. КЭ 001 - интерфейс ЭВМ СМ-3 и СМ-4 по КПД	IX-22
52. КЛ 011 - коммутатор логич. импульсов /1 вх., 8 вых./	VIII-20	106. КЭ 002 - интерфейс ЭВМ "Электроника-60" по КПД	IX-24
53. КЛ 014 - управление последовательной записью в память	XI-12	107. КЭ 003 - интерфейс ЭВМ "Электроника-60" по ПК	IX-26
54. КЛ 016 - стираемая постоянная память /32К байт/	XI-14	108. КЭ 004 - интерфейс ПЭВМ "Правец-82"	XIV-18

Ширина блока - 17,2 мм.

Назначение: двухсторонний обмен данными с подключаемым устройством по последовательной линии связи в соответствии со стандартом RS-232C (V.24) или "Токовая петля" (ТП).

Выбор стандарта для связи с подключаемым устройством производится с помощью установки перемычек на плате блока в соответствии с таблицей 1.

Связь с устройством осуществляется через находящийся на передней панели разъем РП15-23, назначение контактов которого показано на чертеже.

При обмене данными используются следующие сигналы, названия которых приведены в соответствии со стандартом RS-232C (V.24).

TxD (103) - выход: данные;
 RxD (104) - вход: данные;
 RTS (105) - выход: запрос от блока на передачу;
 CTS (106) - вход: готовность устройства к приему;
 DSR (107) - вход: готовность устройства к передаче;
 DTR (108) - выход: запрос от блока на прием;
 101, 102 - корпус.

При работе по стандарту RS-232C все сигналы подаются в линию связи и принимаются из нее через стандартные буферные интегральные схемы.

При работе по стандарту ТП достаточно двух двухпроводных линий связи - выхода и входа данных, но могут быть дополнительно использованы и приведенные выше управляющие сигналы. Все линии связи этого стандарта на обоих концах снабжены оптическими развязками. При неинвертированных сигналах уровню "0" соответствует протекание в линии тока 20 мА, уровню "1" - отсутствие тока, а при инвертированных сигналах - наоборот. Вид сигналов определяется перемычками в соответствии с табл. 2. Источник тока может быть включен или в передатчике, или в приемнике тока, следовательно, возможна как активная, так и пассивная их работа. Вид работы устанавливается перемычками в соответствии с табл. 3.

Основой блока является интегральная схема, представляющая собой универсальный асинхронный приемопередатчик (UART).

Формат слова данных в линии связи приведен на чертеже; слово состоит из бита "Старт", 5:8 битов данных, бита "Четность" и 1:2 битов "Стоп". Формат задается перемычками в соответствии с табл. 4.

Скорость обмена может иметь значения 1200, 2400, 4800, 9600 и 19200 бод; она задается перемычкой, соединяющей шину F с линией, на которой обозначена устанавливаемая скорость обмена.

При передаче слова данных из магистрали крейта в линию связи производятся следующие операции:

- по команде A(0)F(16)S1 данные с шин W1:W8 сигналом \overline{DS} подаются в буферный регистр DB1:DB8, а с него поступают на параллельные входы передающего сдвигового регистра;

- на время нахождения данных в буферном регистре прекращается сигнал ТВМТ и снимается сигнал L_{пр};

- под действием тактовых импульсов ТСП слово данных со сдвигового регистра в последовательном коде поступает на выход приемопередатчика SO, а с него - в линию связи TxD.

При приеме слова данных из линии связи в магистраль крейта производятся следующие операции:

- данные с линии связи RxD в последовательном коде поступают на вход приемопередатчика SI, и под действием тактовых импульсов RCP вводятся в приемный сдвиговый регистр, а по окончании ввода подаются с параллельных выходов этого регистра в буферный регистр RD1:RD8.

- при наличии данных в буферном регистре устанавливается сигнал DA и подается сигнал L_{пр}.

- по команде A(0)F(0) данные передаются в магистраль крейта на шины R1:R8, после чего формируется сигнал RDA, который снимает сигналы DA и L_{пр}.

Установка сигналов, управляющих работой блока, производится с помощью регистра управления командой A(0)F(17) при следующем назначении шин W:

Шина	Назначение	Сост. "0"	Сост. "1"
W1	Запрос на передачу RTS	нет	есть
W2	Запрос на прием DTR	нет	есть
W3	Блокировка L _{пер}	есть	нет
W4	Блокировка L _{пр}	есть	нет
W5	Внутренняя генерация сигнала CTS /готовности устройства к приему/	есть	нет

Чтение статуса отдельных узлов блока производится командой A(0)F(1) при следующем назначении шин R:

Шина	Назначение	Сост. "0"	Сост. "1"
R1	Готовность передатчика устройства (DSR)	не готов	готов
R2	Готовность приемника устройства (CTS)	не готов	готов
R3	Блокировка L _{пер}	есть	нет
R4	Блокировка L _{пр}	есть	нет
R5	Внутренняя генерация сигнала CTS	есть	нет
R7	Готовность передатчика блока (L _{пер})	не готов	готов
R8	Готовность приемника блока (L _{пр})	не готов	готов
R9	Переполнение буфера приемника блока (OR)	нет	есть
R10	Ошибка в формате (FE)	нет	есть
R11	Ошибка в четности (PE)	нет	есть

Сигнал L образуется при наличии сигнала готовности к передаче L_{пер} или к приему L_{пр} и отсутствии их блокировки.

Сигнал Z переводит в "0" регистры данных и управления в блоке и блокирует сигнал L.

Блок выполняет следующие команды с магистрали:

NA(0)F(0) - чтение данных Q=1
 NA(0)F(1) - чтение статусного слова Q=1
 NA(0)F(8) - проверка наличия сигнала L Q=L
 NA(0)F(16) - запись данных Q=1
 NA(0)F(17) - запись управляющего слова Q=1

Потребляемый ток: 250 мА по цепи +24 В; 700 мА по цепи +6 В;
 80 мА по цепи -24 В.

В приводимых ниже таблицах знак "+" означает наличие перемычки между площадками с указанными номерами на печатной плате, а знак "-" отсутствие перемычки, знак "GND" означает корпус блока.

Таблица 1

Выбор стандарта для связи с подключаемым устройством

Сигнал	RS-232C (V.24)	Токовая петля
RxD (104)	12-13+14	12+13-14
CTS (106)	6-7+8	6+7-8
DSR (107)	9-10+11	9+10-11

Таблица 2

Выбор обозначения сигналов "0" и "1" для стандарта "Токовая петля"

Сигнал	I=20 мА для значения "0"	I=20 мА для значения "1"
TxD (103)	24-25+26	24+25-26
RxD (104)	17+GND	17-GND
RTS (105)	21-22+23	21+22-23
CTS (106)	15+GND	15-GND
DSR (107)	16+GND	16-GND
DTR (108)	18-19+20	18+19-20

Таблица 3

Выбор местонахождения источников тока для стандарта "Токовая петля"

Сигнал	Источник в блоке	Источник в устройстве
TxD (103)	57+58-59+60-61+62	57-58+59-60+61-62
RxD (104)	39+40-41+42-43+44	39-40+41-42+43-44
RTS (105)	51+52-53+54-55+56	51-52+53-54+55-56
CTS (106)	27+28-29+30-31+32	27-28+29-30+31-32
DSR (107)	33+34-35+36-37+38	33-34+35-36+37-38
DTR (108)	45+46-47+48-49+50	45-46+47-48+49-50

Таблица 4

Выбор формата слова данных

Параметр	Значение	Положение перемычек
Длина слова данных (битов)	8	3-GND; 4-GND
	7	3+GND; 4-GND
	6	3-GND; 4+GND
	5	3+GND; 4+GND
	2	5-GND
Число импульсов "Стоп"	1	5+GND
	2	5-GND
Контроль по четности	выключен	1-GND
	включен	1+GND
Тип контроля по четности	четность	2-GND
	нечетность	2+GND

КИ047
ПОСЛЕДОВ.
ИНТЕРФЕЙС



Выбор скорости приема-передачи

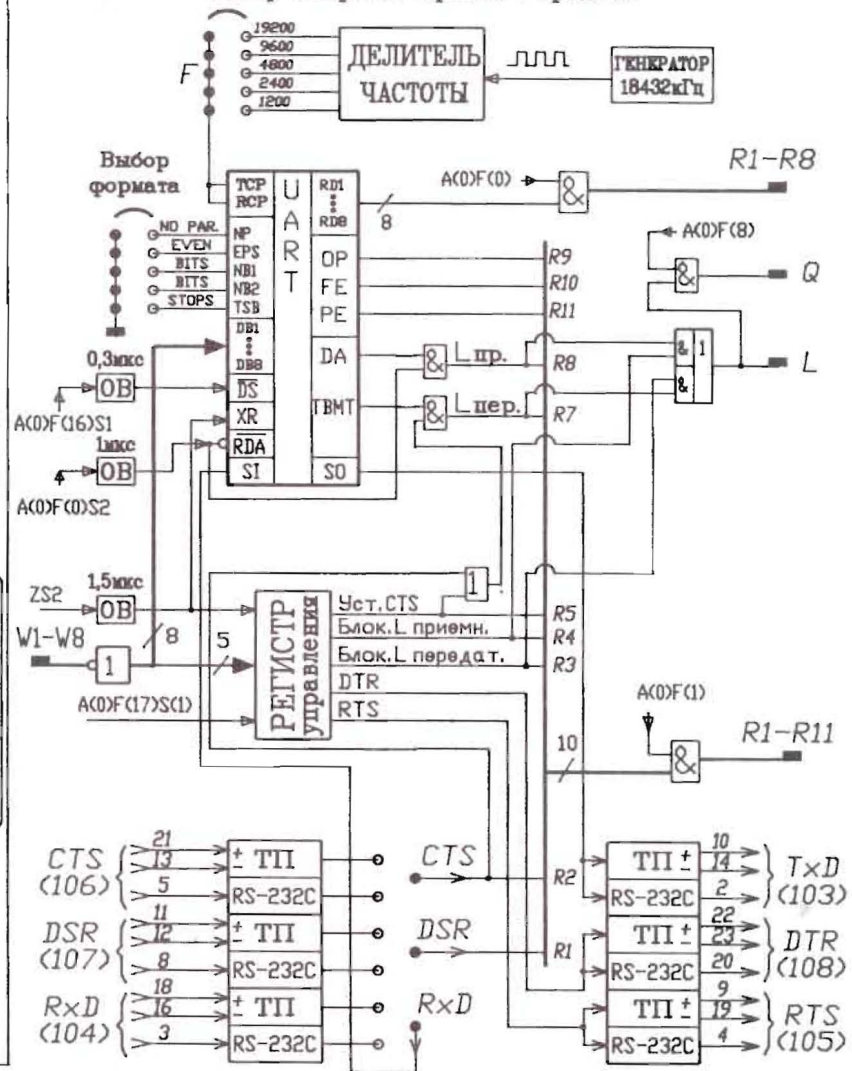


Рис. 1. Передняя панель и блок-схема последовательного интерфейса КИ 047.

Ширина блока 32,4 мм.

Назначение: чтение и запись по программному каналу 16-разрядных слов и выполнение управляющих операций под управлением ПЭВМ типа IBM PC/AT.

Максимальное удаление крейта от ПЭВМ составляет 10 м.

Контроллер может работать в системе, содержащей до 7 крейтов. В контроллере имеются аппаратные средства для быстрой обработки сигналов запроса L, тестирования самого контроллера и магистрали крейта, а также выполнения многокрейтных операций.

Пересылка отдельного слова данных при тактовой частоте 6 МГц аппаратно занимает 1,5 мкс. Пересылка данных при работе на ассемблере и генерации команд КАМАК по заранее заданному списку занимает до 2,2 мкс на слово. Быстродействие в режиме передачи массива составляет от 7,5 до 10 мкс на слово в зависимости от режима.

Связь контроллера с ПЭВМ осуществляется через отдельную плату связи ПК 010, устанавливаемую в один из разъемов расширения шины ввода-вывода.

На этой плате расположены 16-разрядный двунаправленный буфер данных и 14-разрядный однонаправленный буфер адреса, буфер управляющих сигналов, схема обработки ответа крейта, 8-разрядный селектор адреса системы крейтов, а также два 8-разрядных переключателя для задания базового адреса системы крейтов (A15÷A22) и выбора уровня прерывания IRQ в соответствии с таблицей:

Разряды переключателя S1	1	2	3	4	5	6	7	8
Сигнал	A15	A16	A17	A18	A19	A20	A21	A22
Разряды переключателя S2	1	2	3	4	5	6	7	8
Сигнал	A23	-	IRQ15	IRQ12	IRQ11	IRQ10	ORQ5	IRQ3

При задании адреса каждой установленный в "1" разряд переключателя означает, что соответствующий адресный бит будет равен "0".

При выборе одного из шести уровней прерывания от системы крейтов устанавливается в "1" соответствующий разряд переключателя S2.

На передней панели блока размещены: индикатор "Крейт выбран", коаксиальный разъем для внешнего сигнала L, который должен иметь логические уровни NIM, и два разъема типа PPI5-50 для связи с ПЭВМ и другими крейтами КАМАК со следующим назначением контактов:

1 - CA02 (F2)	18 - экран для адресов	34 - CA01 (F1)
2 - CA04 (F8)	19 - экран для адресов	35 - CA03 (F4)
3 - CA06 (A1)	20 - экран для адресов	36 - CA05 (F16)
4 - CA08 (A4)	21 - экран для адресов	37 - CA07 (A2)
5 - CA10 (N1)	22 - экран для адресов	38 - CA09 (A8)
6 - CA12 (N4)	23 - экран для CRES	39 - CA11 (N2)
7 - CA14 (N16)	24 - экран для CRDY	40 - CA13 (N8)
8 - CRDY (ответ)	25 - CSRQ (прерывание)	41 - CRES (сброс)
9 - CRD (чтение)	26 - экран для CSRQ	42 - CWT (запись)
10 - CDO0 (данные)	27 - экран для CWT	43 - CD01 (данные)
11 - CDO2 (данные)	28 - экран для CRD	44 - CDO3 (данные)
12 - CDO4 (данные)	29 - экран для данных	45 - CDO5 (данные)
13 - CDO6 (данные)	30 - экран для данных	46 - CD07 (данные)
14 - CDO8 (данные)	31 - экран для данных	47 - CD09 (данные)
15 - CD10 (данные)	32 - экран для данных	48 - CD11 (данные)
16 - CD12 (данные)	33 - экран для данных	49 - CD13 (данные)
17 - CD14 (данные)		50 - CD15 (данные)

В контроллере применяется прямая адресации всех регистров:
 - по линиям CA1÷CA5 выбирается функция КАМАК F;
 - по линиям CA6÷CA9 - субадрес A;
 - по линиям CA10÷CA14 - номер станции N.
 Передача слов данных между платой связи и контроллером осуществляется по линиям данных CDO÷CD15.

Выполнение цикла магистрали КАМАК производится как одна операция обращения ПЭВМ в виде команды записи или чтения 16-разрядного слова по адресу соответствующего регистра аналогично обращению к памяти. Управляющую команду (F8=1) ПЭВМ выполняет как команду чтения слова: по разрядам данных 0 и 1 считываются соответственно состояния сигналов X и Q.

Поле относительных адресов, занимаемое системой крейтов, состоит из зоны регистров исполнительных модулей выбранного крейта и зоны управляющих и статусных регистров контроллеров /РУС/. Оно соответствует таблице:

5C00 ÷ 5FFF-N(23)A(15÷0)F(31÷0)	2C00 ÷ 2FFF-N(11)A(15÷0)F(31÷0)
5800 ÷ 5BFF-N(22)A(15÷0)F(31÷0)	2800 ÷ 2BFF-N(10)A(15÷0)F(31÷0)
5400 ÷ 57FF-N(21)A(15÷0)F(31÷0)	2400 ÷ 27FF-N(09)A(15÷0)F(31÷0)
5000 ÷ 53FF-N(20)A(15÷0)F(31÷0)	2000 ÷ 23FF-N(08)A(15÷0)F(31÷0)
4C00 ÷ 4FFF-N(19)A(15÷0)F(31÷0)	1C00 ÷ 1FFF-N(07)A(15÷0)F(31÷0)
4800 ÷ 4BFF-N(18)A(15÷0)F(31÷0)	1800 ÷ 1BFF-N(06)A(15÷0)F(31÷0)
4400 ÷ 47FF-N(17)A(15÷0)F(31÷0)	1400 ÷ 17FF-N(05)A(15÷0)F(31÷0)
4000 ÷ 43FF-N(16)A(15÷0)F(31÷0)	1000 ÷ 13FF-N(04)A(15÷0)F(31÷0)
3C00 ÷ 3FFF-N(15)A(15÷0)F(31÷0)	0C00 ÷ 0FFF-N(03)A(15÷0)F(31÷0)
3800 ÷ 3BFF-N(14)A(15÷0)F(31÷0)	0800 ÷ 0BFF-N(02)A(15÷0)F(31÷0)
3400 ÷ 37FF-N(13)A(15÷0)F(31÷0)	0400 ÷ 07FF-N(01)A(15÷0)F(31÷0)
3000 ÷ 33FF-N(12)A(15÷0)F(31÷0)	0000 ÷ 03FF-зона РУС контроллеров

Адрес, соответствующий команде NAF, определяется по формуле:

$$NAF_ADDRESS = BASE_ADDRESS + N * 400H + A * 40H + F * 2H.$$

Например, команде N(20)A(8)F(9) будет соответствовать адрес 5212.

Зона РУС контроллеров используется следующим образом:

70 ÷ 7F - многокрейтные команды Z, C, I;	30 ÷ 3F - РУС крейта 3
60 ÷ 6F - РУС крейта 6	20 ÷ 2F - РУС крейта 2
50 ÷ 5F - РУС крейта 5	10 ÷ 1F - РУС крейта 1
40 ÷ 4F - РУС крейта 4	00 ÷ 0F - РУС крейта 0

Адрес РУС в контроллере определяется по формуле:

$$CSR_ADDRESS = BASE_ADDRESS + CRATE * 10H + CSR_NUMB.$$

Например, РУС 6 в контроллере 3 будет иметь адрес 0036.

Все РУС контроллера состоят из двух байтов, поэтому они имеют четные номера, соответствующие адресу младшего байта.

РУС, размещаемые в контроллере крейта, имеют следующее назначение:

		ЗАПИСЬ																							
		Разряды слов																							
N	РУС	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
E		Сброс сигнала I																							
C		Установка сигнала I																							
A		Генерация сигналов C, B, S1, S2																							
8		Генерация сигналов Z, B, S1, S2																							
6		Тестовая установка X и Q																							
4		Инициализация контроллера																							
2		Выбор крейта																							
0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	IE	-	-	FS16	FS8	FS4	FS2	FS1

N ПУС	ЧТЕНИЕ															
	Разряды слова															
E	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
C	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
A	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
8	W16	W15	W14	W13	W12	W11	W10	W9	W8	W7	W6	W5	W4	W3	W2	W1
6	Z	N16	N8	N4	N2	N1	A8	A4	A2	A1	F16	F8	F4	F2	F1	C
4	-	-	-	-	Q	X	I	CRE	-	-	-	-	CCF	PF	FL	ITS
2	L23	L22	L21	L20	L19	L18	L17	L16	L15	L14	L13	L12	L11	L10	L9	L8
0	L7	L6	L5	L4	L3	L2	L1	LO	IE	-	-	FS16	FS8	FS4	FS2	FS1

При записи в ПУС 0 в разряды 0÷4 заносится номер флага, выбираемый по линиям данных в соответствии со следующей таблицей:

FS(0)	-	внешний сигнал L	FS(27)	-	"ИЛИ" L0÷L23
FS(1)÷FS(23)	-	L1÷L23	FS(28)	-	-6В в норме
FS(24)	-	"ИЛИ" L0÷L7	FS(29)	-	+12В и -12В в норме
FS(25)	-	"ИЛИ" L8÷L15	FS(30)	-	+24В и -24В в норме
FS(26)	-	"ИЛИ" L16÷L23	FS(31)	-	логический "0"

Запись "1" в разряд 7 (IE) этого ПУС означает разрешение прерывания ПЭВМ при появлении флага, нарушении питания или ошибок цикла КАМАК.

При операции записи во все ПУС, кроме ПУС 0, информация на линиях данных CDO-CD15 не имеет значения.

При записи в ПУС 2 происходит выбор крейта путем установки в "1" триггера выбора крейта, который выдает сигнал CRE. Возможен также выбор крейта путем выполнения операции записи в ПУС 0 или ПУС 1 или операции чтения из ПУС 0÷5.

При записи в ПУС 4 или при подаче сигнала CRES из ПЭВМ производится инициализация контроллера: в ПУС 0 устанавливается флаг FS(31) и запрещаются все прерывания, в ПУС 2 переводятся в "0" триггеры выбора крейта, ошибки питания и ошибки генератора цикла КАМАК, снимается сигнал I.

При записи в ПУС 6 устанавливаются в "1" триггеры X и Q, что может быть использовано при тестировании контроллера.

При записи в ПУС 8, А, С, Е генерируется цикл КАМАК и выполняется соответствующая общекрейтная команда. При адресах 78, 7А, 7С, 7Е соответствующая команда выполняется во всех крейтах системы.

При чтении ПУС 0, 2 выдается информация об установленных битах выбора флага FS, о разрешении прерывания IE и о состоянии немаскированных сигналов L0÷L7, L8÷L15 и L16÷L23.

При чтении ПУС 4 передается состояние источников прерывания:

- ITS - отсутствие любого прерывания;
- FL - наличие выбранного флага;
- PF - исчезновение и последующее восстановление напряжения +6В;
- CCF - ошибка генерации В, S1 и S2 в цикле КАМАК,

кроме того, выдается информация о состоянии сигналов CRE (выбор крейта) и I, а также о наличии сигналов X и Q в последнем цикле КАМАК.

ПУС 6 и 8 предназначены для тестирования контроллера. При чтении слова из ПУС 6 выдается информация о наличии сигналов С, F1÷F16, A1÷A8, N1÷N16 и Z в последнем цикле КАМАК.

При чтении слова из ПУС 8 генерируется цикл КАМАК и выдается информация о наличии сигналов на линиях W1÷W16 в предыдущем цикле КАМАК.

Потребляемый ток: 1,3 А - по цепи +6 В.

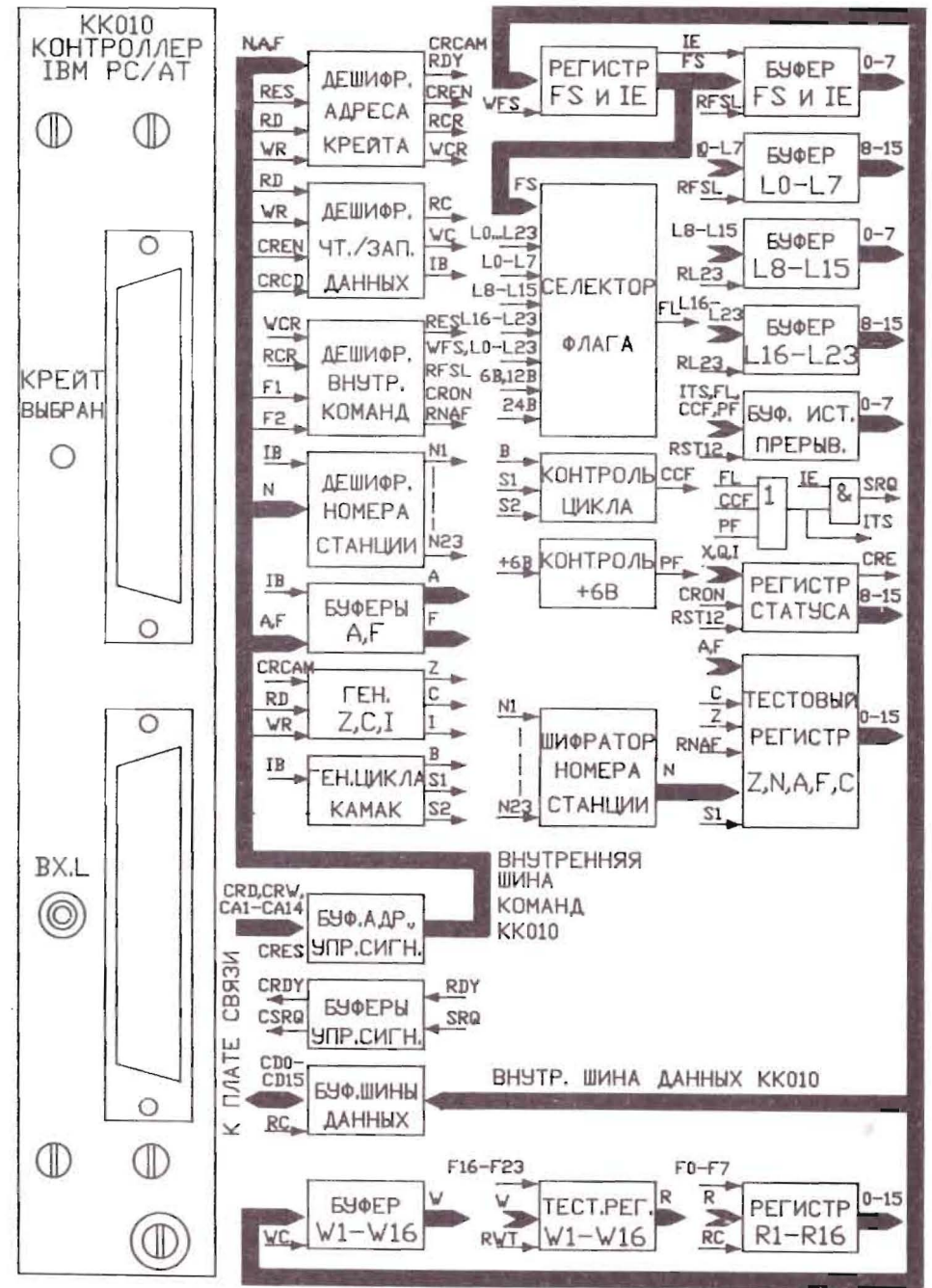


Рис.2. Передняя панель и блок-схема контроллера крейта КК 010.

ПРЕОБРАЗОВАТЕЛЬ ДЛИНЫ СЛОВА КЛ 032

Ширина блока - 17,2 мм.

Назначение: организация чтения и записи в модулях крейта 24-разрядных слов с помощью 16-разрядного контроллера.

Блок функционально представляет собой расширение контроллера. Он может размещаться на любой рабочей станции крейта.

В блоке содержатся дешифратор команд, регистры чтения, записи и контроля записи, а также буферы магистрали для каждого регистра.

При подаче команд с функциями чтения $F(0:7)$ в модуль, оперирующий 24-разрядными словами, выполняются следующие операции:

- младший и средний байты данных при подаче команды чтения поступают в контроллер крейта по шинам $R1:R16$;
- старший байт данных с шин $R17:R24$ записывается в блок КЛ 032 во время выполнения команды чтения по комбинации сигналов на магистрали $\bar{N}F(0:7)S1$;
- затем старший байт данных может быть считан из блока КЛ 032 в контроллер командой $NA(1)F(0)$ по шинам $R1:R8$.

При подаче команд с функциями записи $F(16:23)$ в модуль, оперирующий 24-разрядными словами, выполняются следующие операции:

- сначала записывается старший байт слова данных в блок КЛ 032 командой $NA(0)F(16)$ по шинам $W1:W8$;
- затем младший и средний байты соответствующей командой записи заносятся в выбранный модуль по шинам $W1:W16$;
- одновременно старший байт с блока КЛ 032 по комбинации сигналов $\bar{N}F(16:23)$ выставляется из блока КЛ 032 на шины $W17:W24$ и с них записывается в выбранный модуль.

В блоке предусмотрена возможность проверки информации, подаваемой из него на шины $W17:W24$ во время действия команды записи в выбранный модуль. Для этого данные, поступающие из блока на указанные шины, по комбинации сигналов $\bar{N}F(16:23)S1$ заносятся в регистр контроля записи. Занесенную информацию можно считать в контроллер командой $NA(0)F(0)$ по шинам $R1:R8$.

Все регистры устанавливаются в состояние "0" по сигналу $ZS2$. Блок выполняет следующие команды с магистрали:

- | | |
|---|------|
| $NA(0)F(0)$ - контрольное чтение старшего байта после 24-разрядной записи | Q=1 |
| $NA(1)F(0)$ - чтение старшего байта 24-разрядного слова | Q=1 |
| $NA(0)F(16)$ - запись старшего байта 24-разрядного слова | Q=1. |
- Потребляемый ток 0,3 А по цепи +6 В.

КЛ032

24p ← 16p

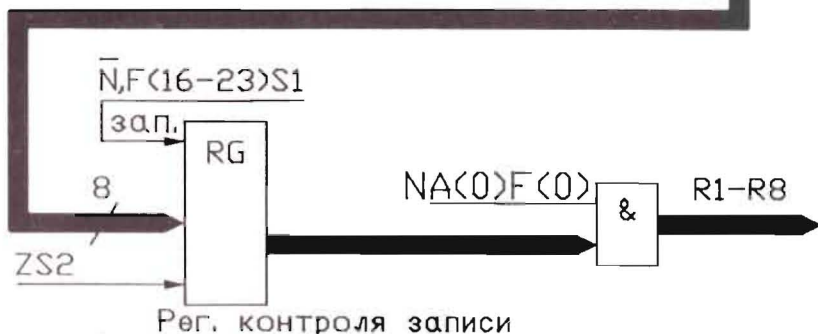
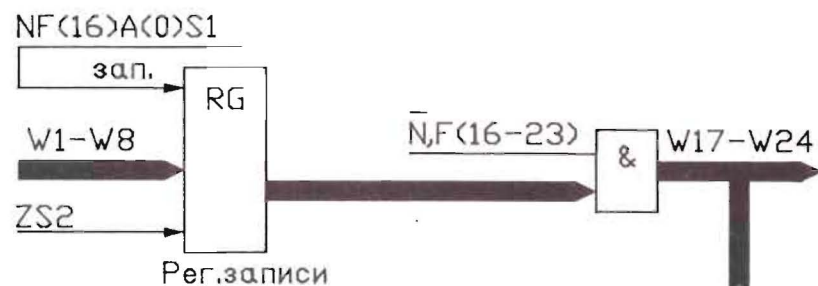
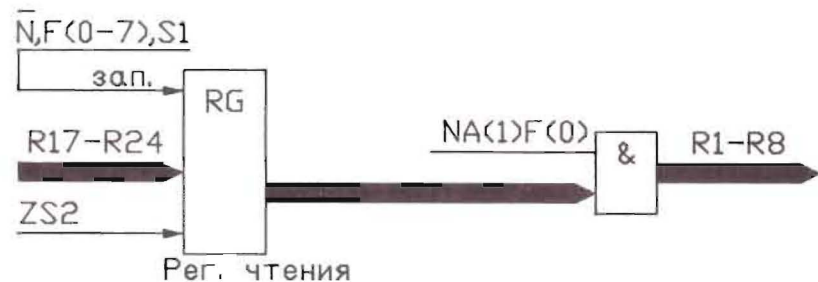
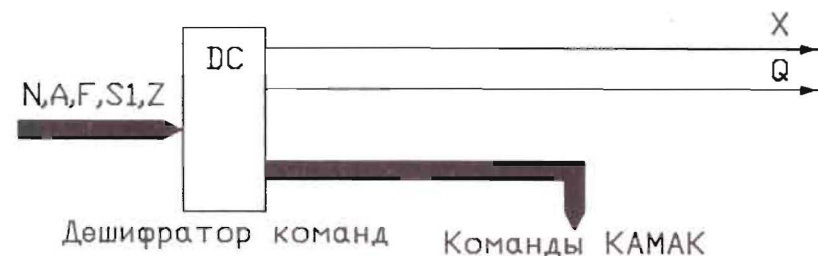


Рис.3. Передняя панель и блок-схема преобразователя длины слова КЛ 032.

БУФЕРНЫЙ НАКОПИТЕЛЬ КЛ 033

Ширина блока - 17,2 мм.

Назначение: запись поступающих от внешнего устройства 16-разрядных слов в последовательные ячейки памяти.

Емкость накопителя устанавливается с помощью регистра емкости памяти в пределах от 1 слова до 4К слов командой F(17) по шинам W1:W12.

Время доступа к памяти - 0,5 мкс.

Режим работы блока определяется триггером записи-чтения T_{зап/чт.}

В режиме записи данные заносятся в память при подаче сигнала "Вызов".

Запись в память производится под управлением адресного счетчика.

После каждой операции записи в блоке вырабатывается сигнал "Ответ", и содержимое адресного счетчика увеличивается на 1.

Оканчивается режим записи и устанавливается режим чтения при достижении адресным счетчиком значения, занесенного в регистр емкости памяти, при поступлении сигнала "Конец массива" или по команде A(0)F(25).

При переходе в режим чтения содержимое адресного счетчика заносится в регистр записанных слов, а сам счетчик переходит в "0".

В режиме чтения блок выдает сигналы L и блокировки, которые запрещают поступление сигналов "Вызов" и также подаются на внешнее устройство.

Чтение содержимого ячеек памяти производится под управлением адресного счетчика в режиме ULS; после каждой операции чтения содержимое адресного счетчика увеличивается на 1.

Режим чтения заканчивается при достижении адресным счетчиком значения, занесенного в регистр записанных слов.

После этого снимаются сигналы L и блокировки и вновь устанавливается режим записи.

Блок позволяет производить многократное чтение содержимого памяти. Для этого командой F(17) по шине W13=1 триггер T_{повт.} предварительно устанавливается в "1".

Тогда после перехода блока в режим чтения триггер T_{блок} перейдет в "1" и останется в этом состоянии после окончания режима чтения, запрещая поступление сигналов "Вызов".

Повторный режим чтения устанавливается командой A(0)F(25). По окончании очередного цикла чтения триггер T_{блок} может быть переведен в "0" командой A(1)F(25), после чего устанавливается режим записи.

Два блока могут работать поочередно с одним внешним устройством при соединении выхода "Каскад" каждого блока с входом "Каскад" другого.

Связь с внешним устройством осуществляется через расположенный на передней панели разъем PП15-23 со следующим назначением контактов:

- | | | |
|---------------------------|---------------------------|--------------|
| 1:16 - Входы данных; | 20 - "Ответ"; | 23 - Корпус. |
| 18 - "Конец массива" (+); | 21 - "Конец массива" (-); | |
| 19 - "Вызов"; | 22 - "Блокировка"; | |

Длительность входных сигналов ≥ 50 нс, а сигнала "Ответ" - 150 нс. Сигнал Z устанавливает режим записи и емкость памяти 4К слов.

Блок выполняет следующие команды с магистрали:

- | | |
|--|-----|
| NA(0)F(0) - чтение содержимого ячеек памяти | Q=1 |
| NA(0)F(8) - проверка наличия сигнала L | Q=L |
| NA(0)F(9) - действует аналогично сигналу Z | Q=0 |
| NA(0)F(17) - установка регистра емкости памяти по шинам W1:W12 и триггера T _{повт.} по шине W13 | Q=1 |
| NA(0)F(25) - установка режима чтения | Q=0 |
| NA(1)F(25) - сброс триггера T _{блок} | Q=0 |
- Потребляемый ток 1,1 А по цепи +6 В, 60 мА - по цепи -6 В.

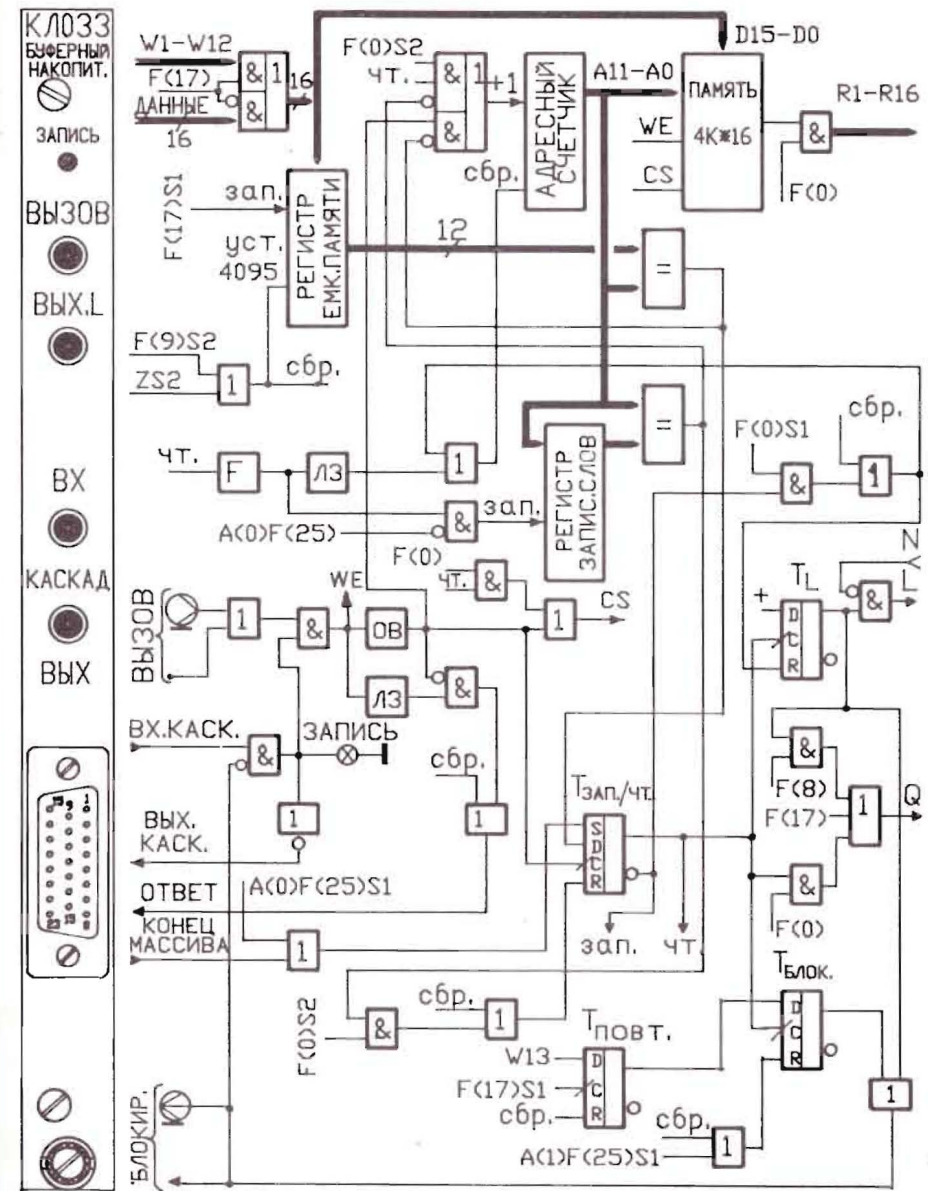


Рис. 4. Передняя панель и блок-схема буферного накопителя КЛ 033.

ВХОДНОЙ РЕГИСТР КР 012

Ширина блока - 17,2 мм.

В блоке содержится 16-разрядный регистр, предназначенный для запоминания данных, поступающих от внешнего устройства.

Занесение данных в регистр производится внешним управляющим сигналом.

Связь блока с внешним устройством осуществляется через разъем МРН-44, находящийся на передней панели.

Информация должна подаваться на разъем по скрученным парам в уровнях ЭСЛ.

Для данных отведены контакты разъема 1÷32, а для управляющего сигнала - 33÷34, причем на нечетный контакт каждой пары должен подаваться верхний уровень сигнала, а на четный, имеющий номер, на единицу больший - нижний уровень.

Кроме того, управляющий сигнал может быть подан в уровнях НИМ через коаксиальный разъем, установленный на передней панели.

Все входные импульсы должны иметь длительность ≥ 10 нс.

Задержка управляющего сигнала относительно сигналов данных внутри блока составляет 10 нс.

Перекрытие между управляющим сигналом и сигналами данных внутри блока должно быть ≥ 7 нс.

В зависимости от положения переключателя, расположенного на задней панели блока, образование сигнала L производится в следующих случаях:

- в положении L_y - при окончании управляющего сигнала;
- в положении L_x - при наличии "1" хотя бы в одном разряде данных после окончания управляющего сигнала.

Выход сигнала L на магистраль может блокироваться командой с магистрали.

Сигналы I и L запрещают действие управляющего сигнала.

Сигналы Z и C производят сброс содержимого регистра и триггера L; сигнал Z производит также блокировку выхода сигнала L на магистраль.

Для чтения данных используются шины R1:R16.

Блок выполняет следующие команды с магистрали:

NA(0)F(0) - чтение содержимого регистра, сброс триггера L	Q=1
NA(0)F(2) - чтение и сброс содержимого регистра, сброс триггера L	Q=1
NA(0)F(8) - проверка состояния триггера L	Q=L
NA(0)F(9) - сброс содержимого регистра, сброс триггера L	Q=0
NA(0)F(10) - сброс триггера L	Q=L
NA(0)F(24) - блокировка выхода сигнала L	Q=0
NA(0)F(26) - разблокировка выхода сигнала L	Q=0

Потребляемый ток 1 А по цепи +6 В и 0,8 А по цепи -6 В.

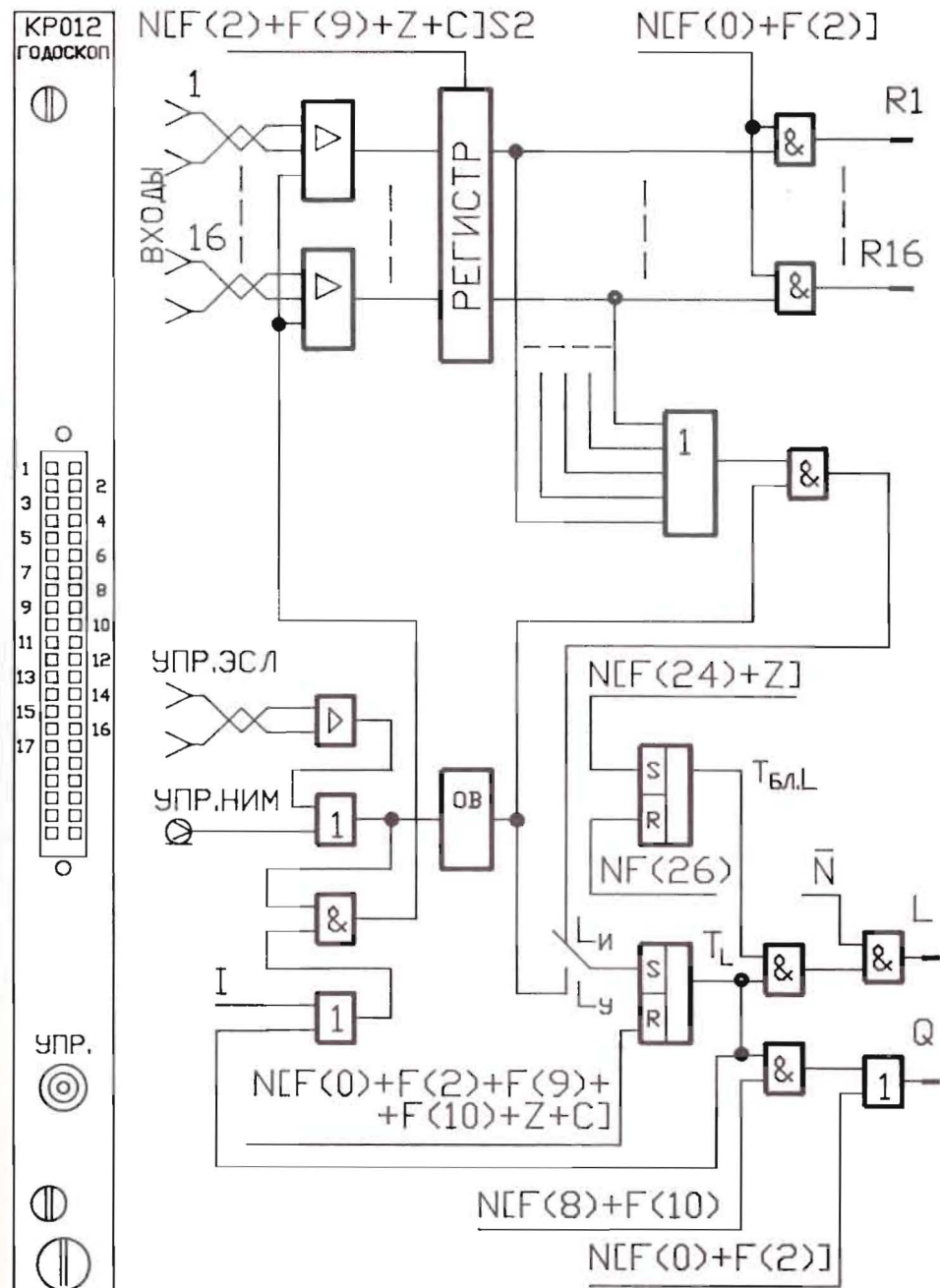


Рис.5. Передняя панель и блок-схема входного регистра КР 012.

ТЕСТЕР МНОГОКАНАЛЬНЫХ АНАЛИЗАТОРОВ КТ 004

Ширина блока - 17,2 мм.

Назначение: настройка и проверка входящих в состав многоканальных анализаторов МАК-2 и МАК-3 блоков инкрементной записи (КЛ 018 и КЛ 019), памяти (КЛ 025 и КЛ 024) и интерфейсов дисплея (КИ 038 и КИ 044).

Блок состоит из двух отдельных частей, одна из которых используется для совместной настройки блоков инкрементной записи и памяти, а другая - для настройки интерфейсов дисплея. Общим для обеих частей является только переключатель П, который при настройке различных блоков выполняет разные функции.

При совместной настройке блоков инкрементной записи и памяти тестер подключается вместо АЦП и соединяется с блоком инкрементной записи через разъем РП15-23.

С помощью переключателя П устанавливается частота импульсов от генератора Г на выходе делителя частоты в виде $F=10^n$ Гц, где $n=0:6$. В первом положении переключателя импульсы на выходе делителя частоты отсутствуют. При нажатии кнопки "Один" в любом положении переключателя импульсы от генератора прерываются, и подается одиночный импульс.

Сигналом с выхода делителя частоты устанавливаются в "1" триггер $T_{МВ}$ и триггер $T_{ВЫЗ}$, образующие соответственно сигналы "Мертвое время" и "Вызов". Затем производится инкрементирование содержимого ячейки памяти, адрес которой определяется 12-битовым счетчиком, после чего в тестер поступает сигнал "Код принят", по которому добавляется 1 в счетчик и сбрасываются триггеры $T_{МВ}$ и $T_{ВЫЗ}$.

При правильной работе анализатора во всех ячейках памяти должно быть одно и то же содержимое.

Импульсы с делителя частоты также подаются на выход блока.

При настройке интерфейсов дисплея тестер подключается вместо блока памяти и соединяется с блоком инкрементной записи через разъем РПММ1-44.

В этом режиме из блока инкрементной записи в тестер поступают адрес по шинам А11:А0 и сигналы "Чтение" и "Запись", а в блок подаются сигнал "Готовность" и данные по шинам D15:D0 для блока КИ 038 и по шинам D23:D0 для блока КИ 044.

Тестер содержит ПЗУ емкостью 256 24-разрядных слов, выполненное на микросхемах К556РТ4. В нем хранятся изображения для вывода на экран.

Выбор изображения осуществляется переключателем П.

Схематический вид этих изображений приведен на чертеже. В двух первых положениях переключателя на экран выводится линейно нарастающее напряжение, причем скорость нарастания во 2-м положении в 16 раз больше, чем в первом. Имеющийся набор изображений позволяет проверять работоспособность отдельных узлов интерфейса дисплея и регулировать размеры и положение изображения на экране.

Сигнал Z сбрасывает в нуль счетчик и триггеры блока.

Разъем РП15-23 имеет следующее назначение контактов:

- | | |
|-----------------------------|------------------------------|
| 1:12 - адрес ячейки памяти; | 19 - сигнал "Мертвое время"; |
| 17 - сигнал "Вызов"; | 23 - корпус. |
| 18 - сигнал "Код принят"; | |

Разъем РПММ1-44 имеет следующее назначение контактов:

- | | |
|------------------------------|---------------------------|
| 1:12 - вход адреса А0:А11; | 41 - сигнал "Запись"; |
| 13:37 - выход данных D0:D23; | 42 - сигнал "Готовность"; |
| 40 - сигнал "Чтение"; | 44 - корпус. |

18 Потребляемый ток: 1 А по цепи +6 В.

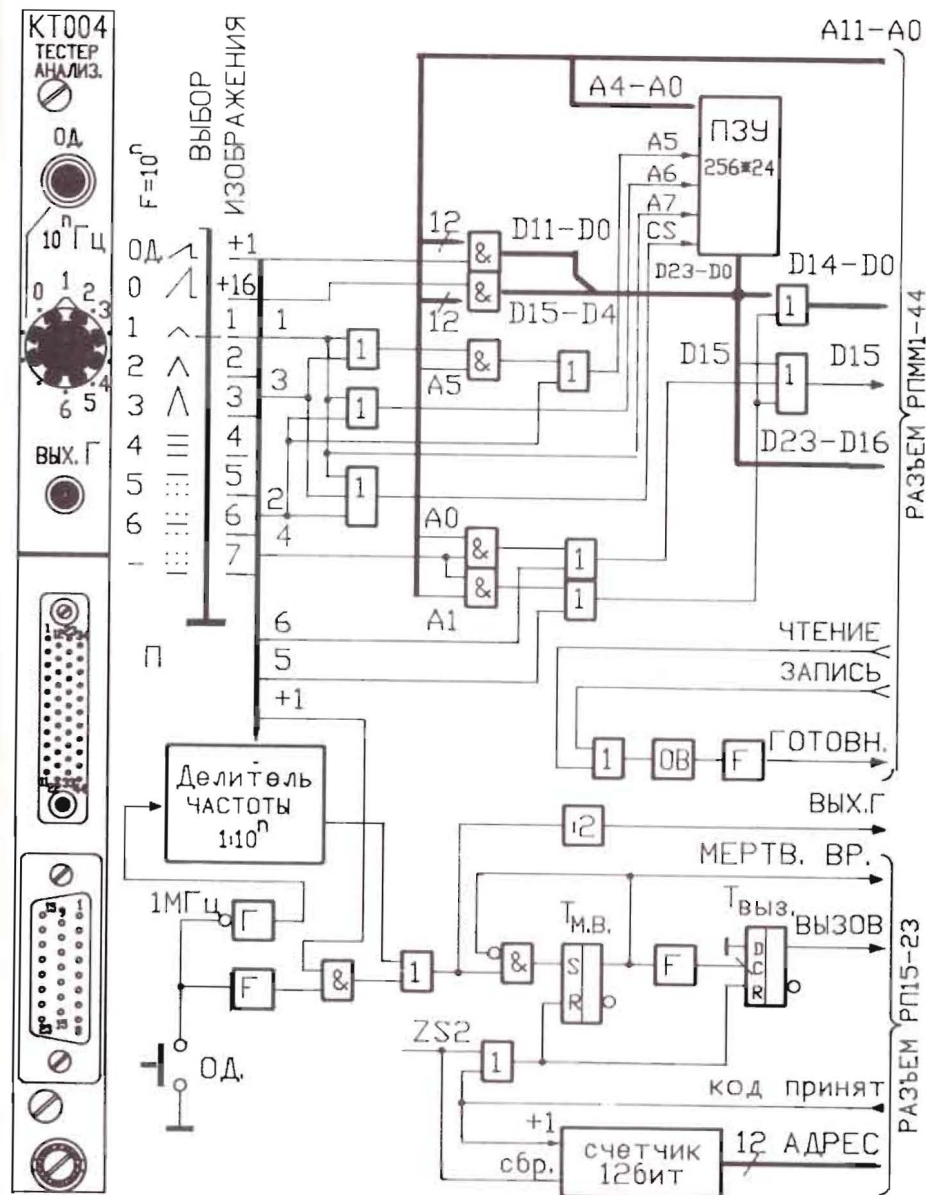


Рис.6. Передняя панель и блок-схема тестера многоканальных анализаторов КТ 004.

ТЕСТЕР КОНТРОЛЛЕРОВ ТИПА А1 КТ 003

Ширина блока - 68,8 мм.

Назначение: ручная проверка и наладка контроллеров типа А1 (КК 005 и других, удовлетворяющих стандарту EUR 4600).

Блок представляет собой ручной драйвер ветви с дополнительными узлами проверки.

Проверяемый контроллер типа А1 устанавливается на 25-ю станцию крейта, а блок КТ 003 - на любую рабочую станцию.

Связь между блоками по магистрали ветви производится через разъемы РПММ1-66, расположенные на передних панелях обоих блоков, а сигналы GL подаются в контроллер через разъемы РПММ1-50, расположенные на задних панелях блоков.

С помощью генератора цикла ветви можно подавать сигнал ВТА или сигнал общего сброса ветви ВЗ. Переключателями может быть выбрана или непрерывная подача этих сигналов с частотой порядка 10 кГц, или их разовая подача.

При проверке работы контроллера требуемая команда задается с помощью тумблерных регистров BCR, BN, BA и BF, и через соответствующие буферы подается в ветвь. Для проверки наличия в контроллере сигналов GL задается команда BG с помощью одноименного тумблера, и через соответствующий буфер подается в ветвь.

Двухтумблерный регистр контрольных слов позволяет формировать четыре 16-битовых слова: все биты равны "0", все биты равны "1", четные биты равны "0", а нечетные - "1", и наоборот.

Контрольные слова при командах записи BF(16÷23) подаются в ветвь через буфер BRW; при командах чтения с тестера F(0÷7) подаются в магистраль крейта через буфер R; кроме того, они через буфер GL поступают на разъем грейдера L для проверки наличия в контроллере сигналов GL при подаче команды BG или BN(30)BA(0÷7)BF(0).

Результаты проверки можно наблюдать на светодиодных индикаторах, на которых показывается состояние линий BQ, BX, BD и BRW/W. Выбор индикации линий BRW или W производится тумблером, управляющим работой мультиплексора MS. При функциях чтения тумблер должен устанавливаться в положение BRW, а при функциях записи - в положение W.

Проверку работы можно вести также с помощью осциллографа.

Блок КТ 003 содержит терминатор сигналов ветви.

Разъем РПММ1-66 имеет следующее назначение контактов:

- | | | |
|-------------------|-----------|----------------------------------|
| 1: 7 - BCR1÷BCR7; | 25 - BX; | 31÷37 - ВТВ1÷ВТВ7; |
| 9:13 - BN1÷BN16; | 26 - BD; | 39÷46 - BRW1÷BRW8; |
| 14÷17 - BA1÷BA8; | 27 - BG; | 48÷55 - BRW9÷BRW16; |
| 19÷23 - BF1÷BF16; | 28 - BZ; | 8,18,29,38,47,56,65,66 - корпус. |
| 24 - BQ; | 30 - ВТА; | |

Разъем РПММ1-50 имеет следующее назначение контактов:

- | | |
|-------------------------------------|----------------------------|
| 1 - операция GL; | 48 - внешний сигнал D; |
| 2:46 (четные) - сигналы L1÷L23; | 49 - запрет внутреннего D; |
| 3:45 (нечетные) - сигналы GL1÷GL22; | 50 - корпус. |
| 47 - контроллер выбран; | |

Потребляемый ток: 0,75 А по цепи +6 В.

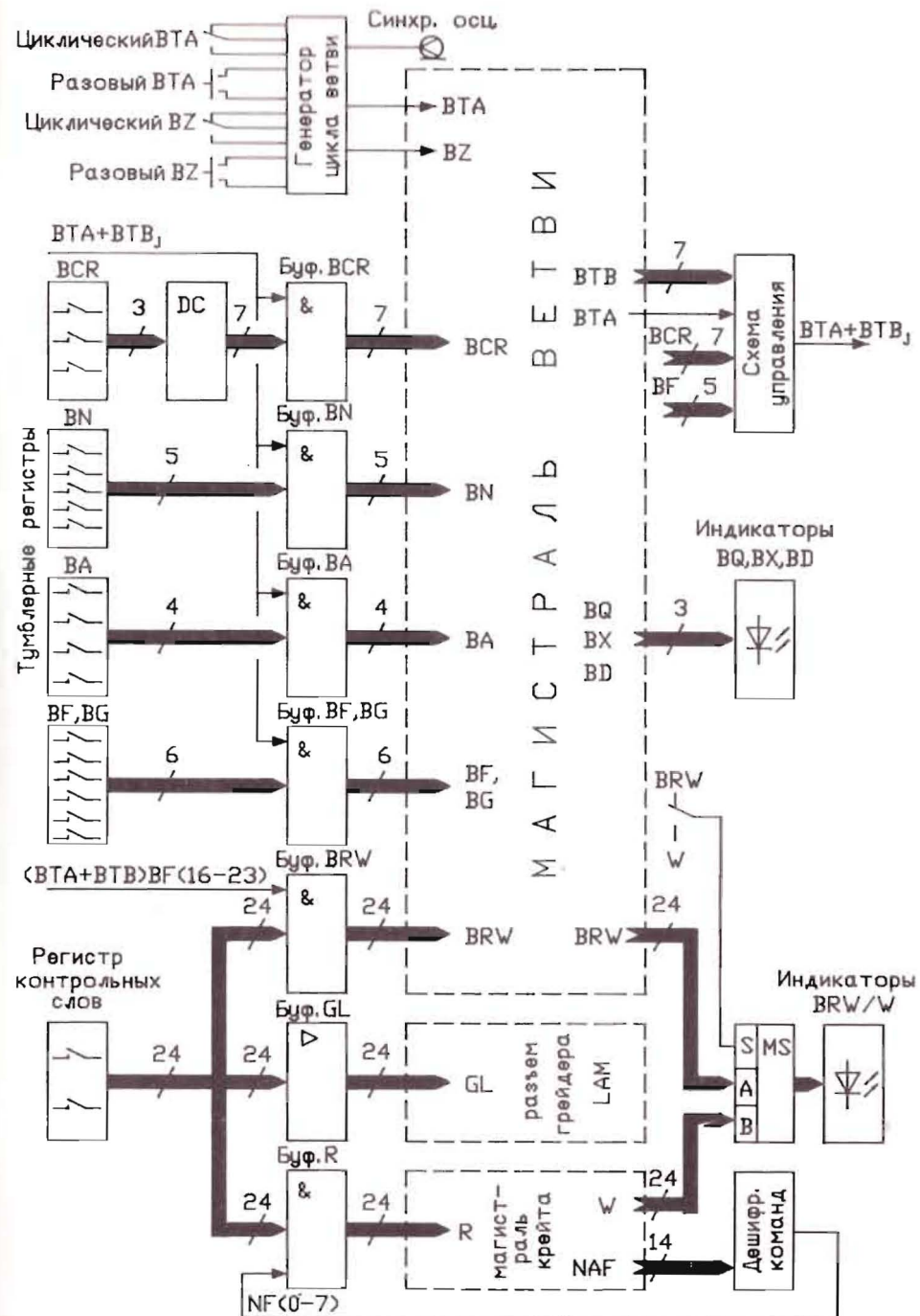


Рис. 7. Блок-схема тестера контроллеров типа А1 КТ 003.

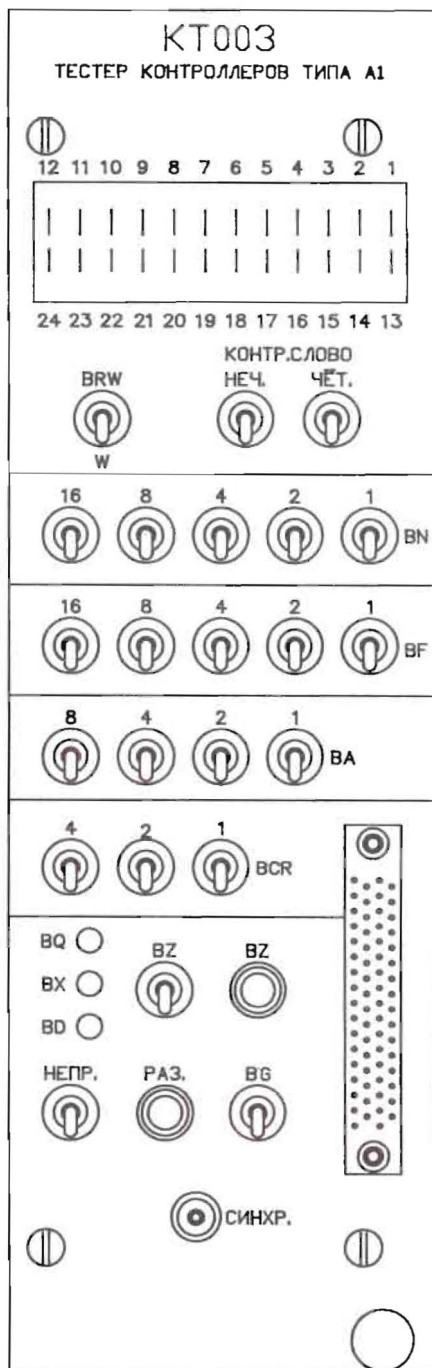


Рис.8. Передняя панель тестера контроллера типа А КТ 003.

ЛИТЕРАТУРА

1. Журавлев Н.И. и др. ОИЯИ, 10-7332, Дубна, 1973.
2. Журавлев Н.И. и др. ОИЯИ, 10-8114, Дубна, 1974.
3. Журавлев Н.И. и др. ОИЯИ, 10-8754, Дубна, 1975.
4. Журавлев Н.И. и др. ОИЯИ, 10-9479, Дубна, 1976.
5. Антюхов В.А. и др. ОИЯИ, 10-10576, Дубна, 1977.
6. Антюхов В.А. и др. ОИЯИ, 10-11636, Дубна, 1978.
7. Антюхов В.А. и др. ОИЯИ, 10-12912, Дубна, 1979.
8. Антюхов В.А. и др. ОИЯИ, 10-80-650, Дубна, 1980.
9. Вьонг Дао Ви и др. ОИЯИ, 10-81-755, Дубна, 1981.
10. Антюхов В.А. и др. ОИЯИ, 10-82-844, Дубна, 1982.
11. Антюхов В.А. и др. ОИЯИ, 10-83-900, Дубна, 1983.
12. Василев Д. и др. ОИЯИ, P10-84-860, Дубна, 1984.
13. Антюхов В.А. и др. ОИЯИ, P10-85-922, Дубна, 1985.
14. Антюхов В.А. и др. ОИЯИ, P10-86-854, Дубна, 1986.
15. Антюхов В.А. и др. ОИЯИ, P10-87-928, Дубна, 1987.

Рукопись поступила в издательский отдел
30 декабря 1988 года.