

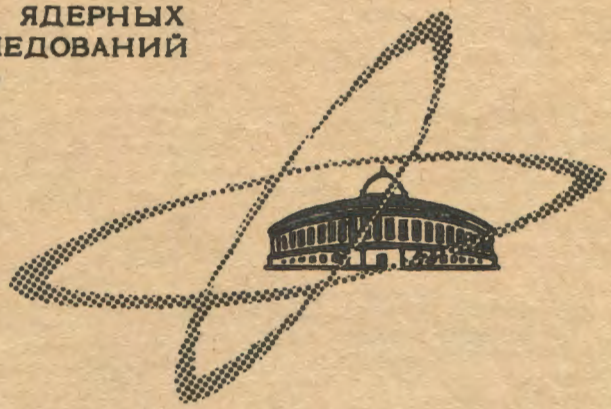
30/xi-70

Д-792

ОБЪЕДИНЕННЫЙ
ИНСТИТУТ
ЯДЕРНЫХ
ИССЛЕДОВАНИЙ

Дубна

13-5367



Л. Дубик, З. Цисек

ЛАБОРАТОРИЯ ЯДЕРНЫХ ПРОБЛЕМ

ПЕРЕСЧЕТНАЯ ДЕКАДА
НА ЧАСТОТУ 200 МГЦ

1970

13-5367

Л. Дубик, З. Цисек

ПЕРЕСЧЕТНАЯ ДЕКАДА
НА ЧАСТОТУ 200 МГц

Направлено в ПТЭ

8579/2
2/6458

Загрузочная способность сцинтилляционных и черенковских счётчиков, граничные частоты формирователей и схем совпадений^{/1,2/} достигают значений $(1+2) \cdot 10^8$ имп/сек, что вызывает необходимость применения пересчётных приборов, способных работать при таких частотах.

В данной работе приводится схема и описание работы декады на германиевых туннельных диодах и транзисторах, работающей на частотах до 200 Мгц.

Блок-схема декады приведена на рис. 1. Декада состоит из следующих функциональных узлов: двоичной ячейки ($:2$), формирующего каскада (Φ_1), пятеричной ячейки ($:5$), выходного формирователя и дешифратора со схемой индикации состояния декады. Принципиальная схема двоичной ячейки^{/3/} показана на рис. 2а. Принцип ее работы поясняется рис. 2б. Собственно двоичная ячейка состоит из диодов $D_1 + D_4$, $TД_1$, транзисторов T_1 и T_2 и сопротивлений, через которые осуществляется управление работой диодного ключа (рис. 3). В состоянии с малым напряжением $TД_1$ не нагружен, и через него проходит ток I_A , близкий к току максимума диода. Открытый транзистор T_2 (через него ток I_A замыкается на источник питания) шунтирует сопротивление R_5 в делителе обратной связи, что вызывает прохождение тока через диоды

D_1 и D_3 . В этом состоянии ток через диоды D_2, D_4 не протекает. Поступивший на вход отрицательный импульс переключает ток из диода D_1 в диод D_3 , перебрасывая рабочую точку $TД_1$ в положение Б, при этом через транзистор T_1 будет протекать ток $\alpha_1 (J_A - J_B)$. Проводящий транзистор T_1 шунтирует сопротивление R_4 , что вызывает прохождение тока через диоды D_2, D_4 . Следующий входной отрицательный импульс, поступающий через диоды D_2, D_4 , перебросит $TД_1$ в исходное состояние. Длительность входных импульсов должна быть короче мертвого времени ячейки, в противном случае триггер будет генерировать с собственной частотой (≈ 280 МГц) на протяжении длительности входного импульса. Амплитуда входного импульса должна быть не меньше 0,3 в и не больше 3 в. Быстродействие ячейки $D_1, D_4, TД_1, T_1, T_2$ определяется суммой времен установления прямого тока транзистора, переключения $TД_1$ и временем запираания (отпираания) диодов $D_1 + D_4$. Проведенный расчёт для указанных в схеме типов диодов и транзисторов показывает, что граничная частота для такого триггера составляет ≈ 260 МГц. Положительный перепад напряжения с коллектора T_1 поступает на каскад T_4 . Транзистор T_4 выполняет две функции: поворачивает фазу и дифференцирует перепад входного напряжения. Отрицательный импульс тока с коллектора транзистора T_4 с длительностью ≈ 3 нсек запускает одновибратор $TД_2$. Применение одновибратора с линией задержки вызвано тем, что при максимальных частотах наблюдается уменьшение амплитуды ($\approx 25\%$) с каскада T_4 , что при ином способе формирования приводит к ненадежности работы последующей схемы. Длина времязадающего кабеля - 0,4 м, волновое сопротивление - 25 см, что обеспечивает надежную работу одновибратора $TД_2$ до частоты порядка 100 МГц. Сформированный одновибратором $TД_2$ отрицательный импульс с длительностью 4 нсек поступает на каскад усилителя T_5 , который запускает пятеричную ячейку.

Для пересчёта на 5 выбрана гибридная кольцевая схема с гальваническими связями^{/4/} (см. рис. 4), что исключает возможность

записи нескольких единиц в кольцо, как это имеет место^{/5/} при емкостных связях между каскадами пятеричной ячейки. Туннельные диоды $ТД_1 + ТД_5$ могут находиться в трех состояниях (см. рис. 4б). На рис. 4а показаны рабочие точки туннельных диодов в исходном состоянии. Положительный входной импульс, подаваемый на общий вход, перебрасывает туннельный диод, находящийся в состоянии "п" (подготовлен), в состояние "1". Транзистор T_2 входит в насыщение и сбрасывает $ТД_3$ в состояние "0". Транзистор T_3 запирается, а $ТД_4$ переходит в состояние "п". После пяти входных импульсов схема возвращается в исходное состояние.

В данной работе пятеричная ячейка выполнена с некоторыми изменениями по сравнению со схемами этого типа, описанными в литературе^{/4/}. Для уменьшения тока базы насыщенного транзистора, а тем самым для увеличения быстродействия туннельный диод подсоединяется к базе транзистора при помощи делителя (рис. 5а), что позволяет уменьшить коэффициент насыщения транзистора. Препятствием для полного вывода транзисторов из насыщения (при фиксированной температуре) является разброс номиналов сопротивлений и параметров транзисторов. Решить этот вопрос можно некоторым усложнением схемы, применив вместо каскадов $T_6 - T_{10}$ дифференциальные пары.

На рис. 5б показана нагрузочная характеристика ТД при параметрах ячейки, показанной на рис. 5а.

Построение сделано для худшего (точки 1,2,3,4,5) и лучшего (точки 1', 2', 3', 4', 5') случаев. Под "худшим" случаем подразумевается самое неблагоприятное совпадение отклонений параметров деталей от номинала.

Точки 5 и 5' характеризуют режим работы транзистора для этих двух случаев. Из рис. 5б видно, что ток базы насыщенного транзистора при использовании делителя может принимать значения от 0,2 до 1,2 ма.

Применение делителей в базовых цепях позволило увеличить граничную частоту пятеричной ячейки с 47 до 110 МГц.

Разброс токов максимума туннельных диодов на быстродействие схемы не влияет (он определяет минимальный ток запуска схемы), а разброс параметров диффузионной ветви ТД невелик. Управление работой пересчётной схемы осуществляется транзистором T_3 , включенным по схеме с ОБ. В исходном состоянии транзистор T_3 заперт, так как смещение в точки А и Б не подается. Работа в режиме "управление" осуществляется нажатием кнопки "СТОП", при этом в точки А и Б подаются потенциалы, открывающие транзистор T_3 . Открытый транзистор T_3 вызывает запираание диодов D_1-D_4 , в результате схема оказывается нечувствительной к входным импульсам. Отрицательный импульс (0,8В на 50Ω), подаваемый на вход управления схемы, закрывает транзистор T_3 , и во время воздействия импульса управления возможен запуск схемы. Минимальная временная выдержка в таком режиме составляет 10 нсек при времени нарастания и спада управляющего импульса, равном 2 нсек. Выходной формирователь состоит из усилительного каскада T_{11} , дифференцирующей цепочки $C_7 - R_{52}$, эмиттерного повторителя T_{12} и ограничивающего положительный выброс диода D_5 . Выходной импульс - отрицательный с длительностью по основанию 20 нсек и амплитудой 0,5 в на 50-омной нагрузке. Для индикации состояния декады сигналы с пятеричной ячейки подаются в точки Д,Е,Ж,И,К (транзисторы $T_{13}-T_{17}$ на рис. 6), а с двоичной ячейки - в точки В,Г (транзисторы T_{28}, T_{30}). Комбинации состояний пересчётки показаны на рис. 7.

Для однозначного определения состояния декады используется один сигнал с двоичной и два с пятеричной ячейки.

Когда декада находится в состоянии "0", транзисторы T_{15} и T_{17} заперты положительными потенциалами от туннельных диодов $TД_5$ и $TД_7$. Транзисторы T_{13} , T_{14} и T_{16} при этом насыщены. Отрицательный

потенциал с коллекторов T_{15} и T_{17} запирает диоды D_{13} , D_{14} , D_{17} , D_{18} (остальные диоды смещены в прямом направлении). Напряжение питания приложено через сопротивления R_{72} , R_{77} к базам транзисторов T_{18} и T_{19} , так как точка А подсоединена к запертым диодам D_{14} и D_{18} . Транзисторы T_{20} и T_{27} заперты ввиду того, что точки Б, В, Г и Д соединены с землей через насыщенные транзисторы и открытые диоды. С двоичной ячейки подается низкий потенциал в точку В (T_{28}) и высокий - в точку Г (T_{30}). Транзистор T_{28} насыщается, замыкая эмиттер транзистора T_{18} на землю. Напряжение питания подается на лампочку индикации L_0 через два насыщенных транзистора (T_{18} и T_{28}) и ограничивающее сопротивление R_{82} . Транзистор T_{29} заперт, и лампочка L_1 не горит. Операции "СТАРТ" и "СТОП" (управление) выполняются на двух реле типа РП-4 и сопротивлениях.

Описанная выше декада прошла успешные испытания на долговременную стабильность и надежность работы в течение 200 часов.

В заключение авторы пользуются случаем выразить благодарность В.Г. Зинову, И.Ф. Колпакову и В.И. Рыкалину за полезные обсуждения.

Л и т е р а т у р а

1. В.Г. Горбенко и др. Препринт ОИЯИ, 13-3095, Дубна, 1967.
2. Ю.Б. Бушнин и др. Препринт ИФВЭ, 67-36-К, 1967.
3. Z.C. Tan. NJM, 63 (1968), p. 333-336.
4. E. Baldinger, A. Smeon. NJM, 33 (1965), p. 363.
5. К.Э. Эрглис, В.Т. Субботин. ПТЭ, 1 (1968).

Рукопись поступила в издательский отдел

21 сентября 1970 года.

Применение делителей в базовых цепях позволило увеличить граничную частоту пятеричной ячейки с 47 до 110 Мгц.

Разброс токов максимума туннельных диодов на быстродействие схемы не влияет (он определяет минимальный ток запуска схемы), а разброс параметров диффузионной ветви ТД невелик. Управление работой пересчётной схемы осуществляется транзистором T_3 , включенным по схеме с ОБ. В исходном состоянии транзистор T_3 заперт, так как смещение в точки А и Б не подается. Работа в режиме "управление" осуществляется нажатием кнопки "СТОП", при этом в точки А и Б подаются потенциалы, открывающие транзистор T_3 . Открытый транзистор T_3 вызывает запираание диодов D_1-D_4 , в результате схема оказывается нечувствительной к входным импульсам. Отрицательный импульс (0,8в на 50Ω), подаваемый на вход управления схемы, закрывает транзистор T_3 , и во время воздействия импульса управления возможен запуск схемы. Минимальная временная выдержка в таком режиме составляет 10 нсек при времени нарастания и спада управляющего импульса, равном 2 нсек. Выходной формирователь состоит из усилительного каскада T_{11} , дифференцирующей цепочки $C_7 - R_{52}$, эмиттерного повторителя T_{12} и ограничивающего положительный выброс диода D_5 . Выходной импульс - отрицательный с длительностью по основанию 20 нсек и амплитудой 0,5 в на 50-омной нагрузке. Для индикации состояния декады сигналы с пятеричной ячейки подаются в точки Д,Е,Ж,И,К (транзисторы $T_{13}-T_{17}$ на рис. 6), а с двоичной ячейки - в точки В,Г (транзисторы T_{28}, T_{30}). Комбинации состояний пересчётки показаны на рис. 7.

Для однозначного определения состояния декады используется один сигнал с двоичной и два с пятеричной ячейки.

Когда декада находится в состоянии "0", транзисторы T_{15} и T_{17} заперты положительными потенциалами от туннельных диодов $ТД_5$ и $ТД_7$. Транзисторы T_{13} , T_{14} и T_{16} при этом насыщены. Отрицательный

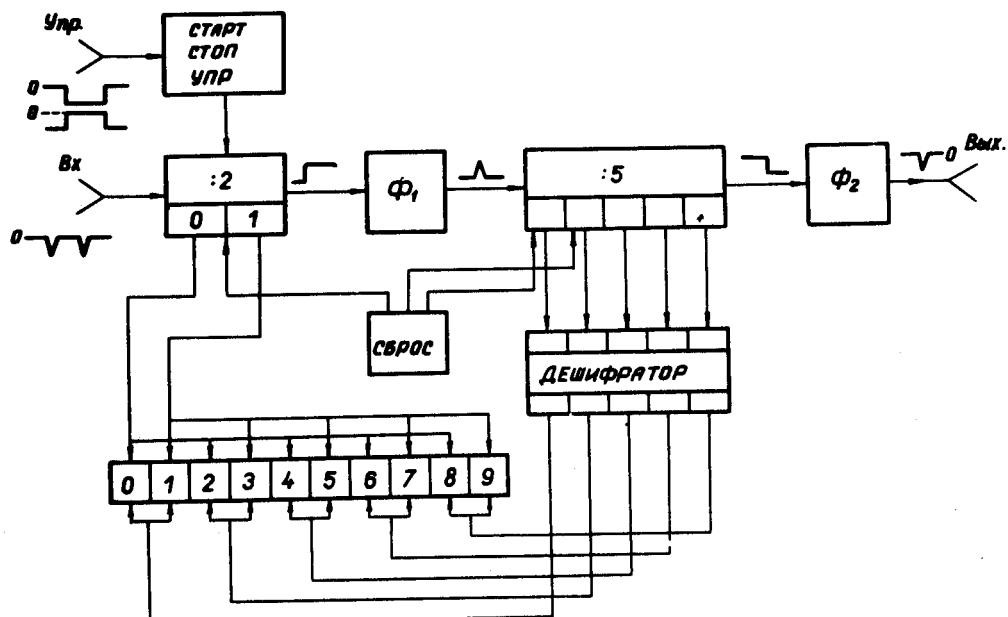


Рис. 1. Блок-схема декады.

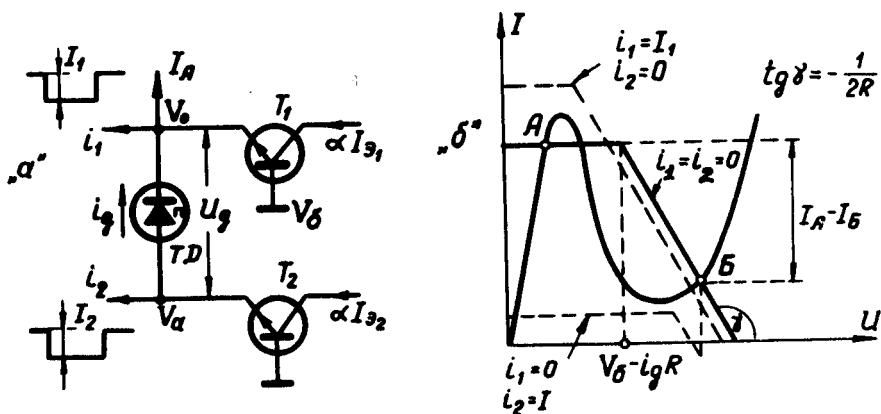


Рис. 2. а) Упрощенная схема двоичной ячейки; б) принцип работы схемы.

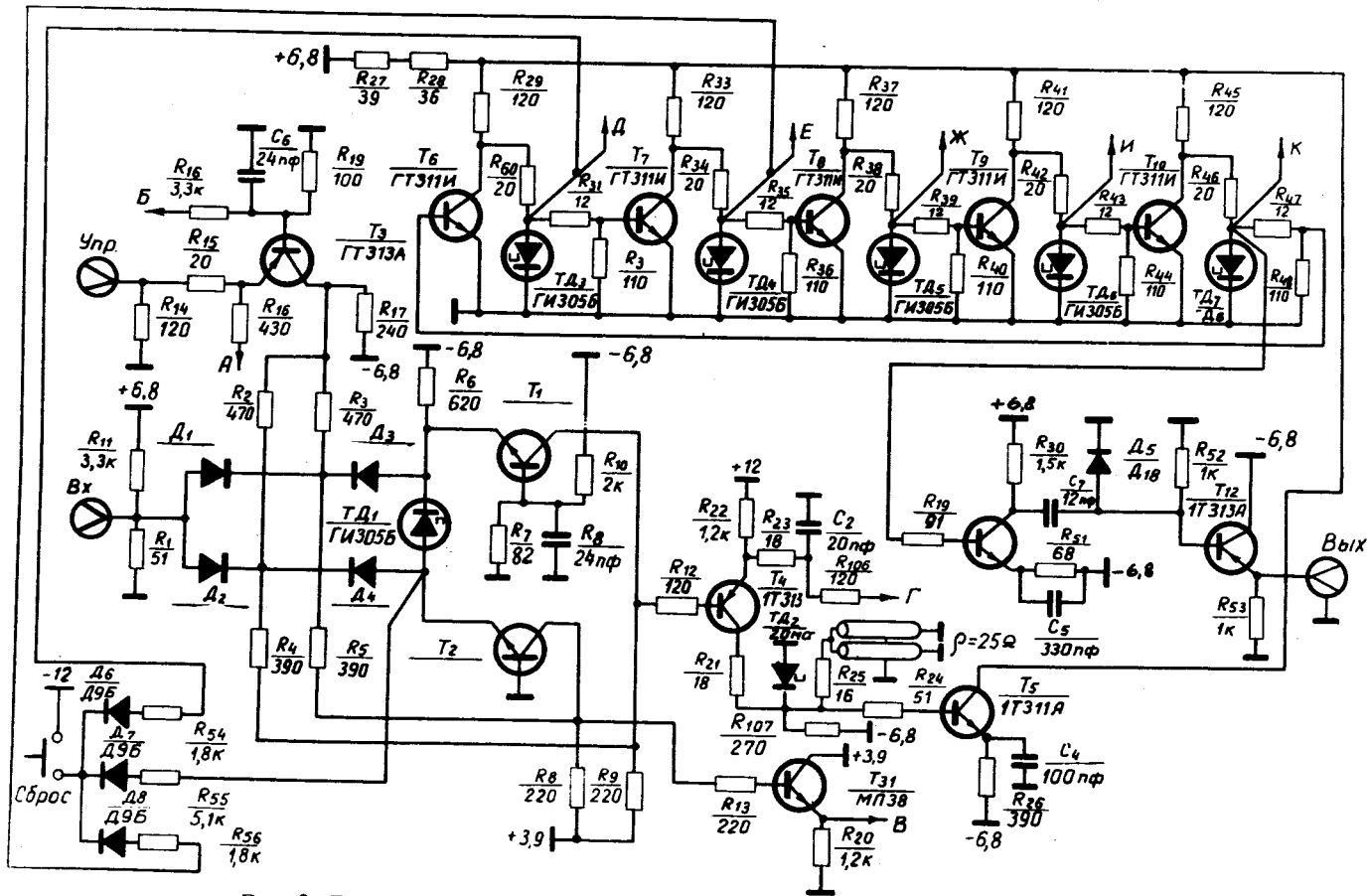
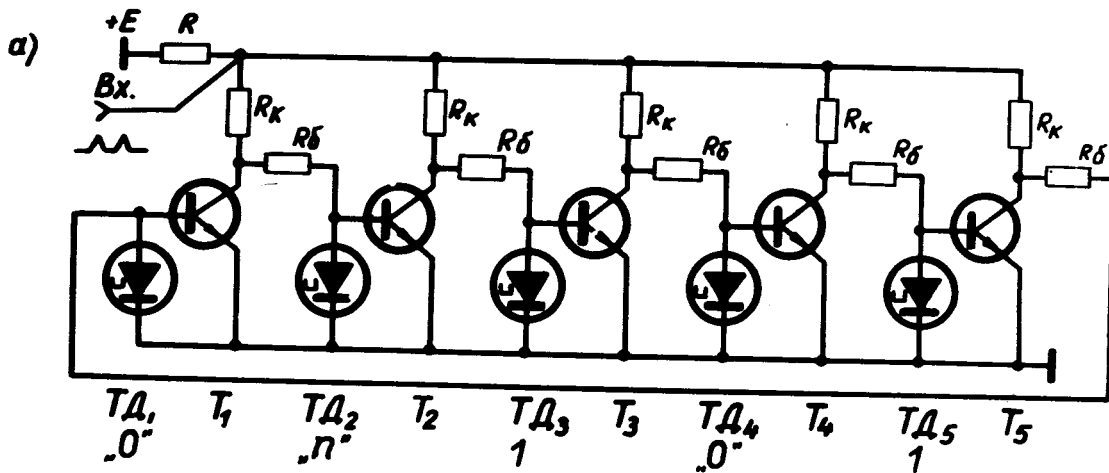
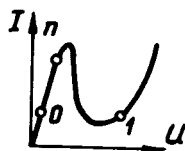


Рис. 3. Принципиальная схема декады на 200 Мгц. Д - германиевые импульсные диоды с зарядом переключения ≤ 20 пк, T_1, T_2 - германиевые транзисторы с $f_a \geq 1$ Гц.



б)



„0” - выключено
 „п” - подготовлено
 „1” - включено

Рис. 4. а) Упрощенная схема пятеричной ячейки в исходном состоянии.

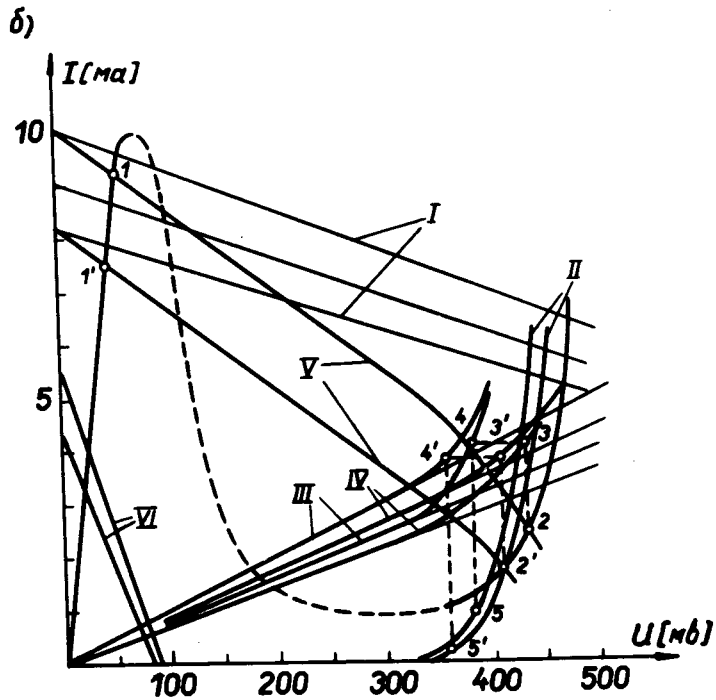
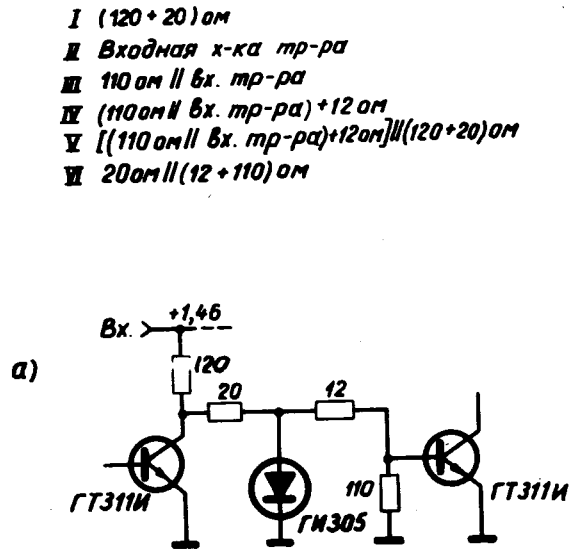


Рис. 5. Объяснения - в тексте.

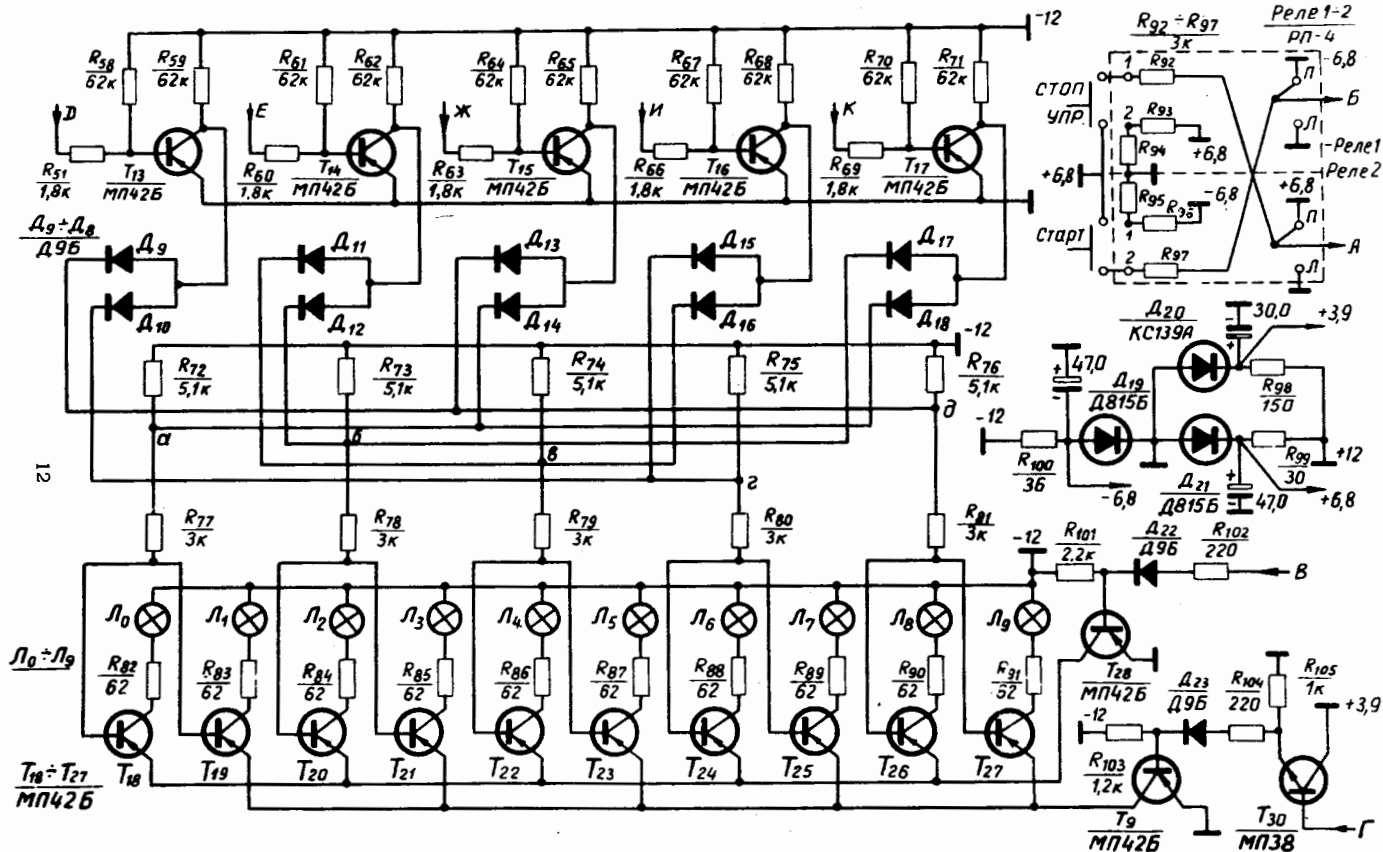


Рис. 6. Схема индикации состояния декады, показанной на рис. 3.

Состояние декады	Состояние двоичной ячейки		Состояние пятеричной ячейки				
	Коллектор T_1	Коллектор T_2	D	E	Ж	И	K
0	+	-	-	-	+	-	+
1	-	+	-	-	+	-	+
2	+	-	-	+	-	-	+
3	-	+	-	+	-	-	+
4	+	-	-	+	-	+	-
5	-	+	-	+	-	+	-
6	+	-	+	-	-	+	-
7	-	+	+	-	-	+	-
8	+	-	+	-	+	-	-
9	-	+	+	-	+	-	-
0	+	-	-	-	+	-	+

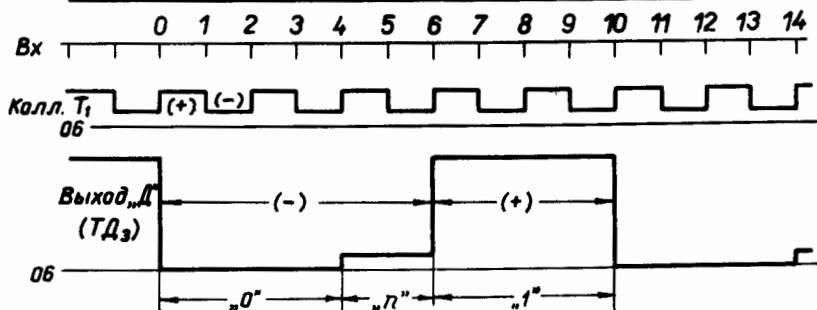


Рис. 7. Диаграмма состояния декады.